

2.2.2.1 ステータスレジスタ

図 2-5 に示す STATUS レジスタは、ALU の演算フラグ、リセット状態およびデータメモリのバンク選択ビットが割り当てられています。

STATUS レジスタは他のレジスタと同様、命令の結果格納先になることができます。STATUS レジスタが Z、DC または C ビットに影響を与える命令の結果格納先になった場合は、これら 3 つのビットへのライトは行われません。これらのビットはデバイスのロジックに従って、セットまたはクリアされます。さらに、TO および PD ビットはライトできません。したがって、STATUS レジスタを結果格納先とした命令の結果は、意図したものと異なる場合があります。

例えば、CLRF STATUS は、上位 3 ビットをクリアし、Z ビットをセットします。これによって、STATUS レジスタは 000u u1uu (u= 不変) のままです。

したがって、BCF、BSF、SWAPF および MOVWF の命令を使用して STATUS レジスタを変更することを推奨します。これらの命令は STATUS レジスタの Z、C または DC ビットに影響を与えないからです。ステータスビットに影響しない他の命令については「命令セット」の章をご覧ください。

注意 1: C および DC ビットは、それぞれ減算で borrow および digit borrow ビットとして動作します。使用例については、SUBLW および SUBWF 命令を参照してください。

図 2-5: ステータスレジスタ (アドレス 03h, 83h, 103h, 183h)

	R/W-0	R/W-0	R/W-0	R-1	R-1	R/W-x	R/W-x	R/W-x
	IRP	RP1	RP0	\overline{TO}	\overline{PD}	Z	DC	C
bit7								bit0
bit 7:	IRP: レジスタバンク選択ビット (間接アドレス指定に使用) 1 = Bank 2, 3 (100h - 1FFh) 0 = Bank 0, 1 (00h - FFh)							
bit 6-5:	RP1:RP0: レジスタバンク選択ビット (直接アドレス指定に使用) 11 = Bank 3 (180h - 1FFh) 10 = Bank 2 (100h - 17Fh) 01 = Bank 1 (80h - FFh) 00 = Bank 0 (00h - 7Fh) 各バンクは 128 バイトです。							
bit 4:	\overline{TO}: タイムアウトビット 1 = 電源 ON 後、CLRWDT 命令または SLEEP 命令の実行後 0 = WDT タイムアウト発生							
bit 3:	\overline{PD}: パワーダウンビット 1 = 電源 ON 後または CLRWDT 命令による 0 = SLEEP 命令の実行による							
bit 2:	Z: ゼロビット 1 = 計算またはロジック演算の結果がゼロ 0 = 計算またはロジック演算の結果がゼロでない							
bit 1:	DC: デジットキャリー/ボロービット (ADDWF, ADDLW, SUBLW, SUBWF 命令用) ($\overline{\text{ボロー}}$ の場合は極性が逆になります) 1 = 結果により下位 4 ビット目からキャリーが発生した 0 = 結果により下位 4 ビット目からキャリーが発生しなかった							
bit 0:	C: キャリー/ボロービット (ADDWF, ADDLW, SUBLW, SUBWF 命令用) 1 = 結果により最上位ビットからキャリーが発生した 0 = 結果により最上位ビットからキャリーが発生しなかった 注意: $\overline{\text{ボロー}}$ の場合は極性が逆になります。2 番目のオペランドの 2 の補数を加算することにより減算が実行されます。ローテート (RRF, RLF) 命令の場合は、このビットはソースレジスタの上位または下位ビットと共にロードされます。							

R = リード可能ビット
 W = ライト可能ビット
 U = 使用しないビット、0 とリードされる
 -n = POR リセット後の値