

PIC16F87X

表 2-1: 特殊機能レジスタ一覧

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other resets (2)	
Bank 0												
00h ⁽⁴⁾	INDF	FSR の内容のアドレスのデータメモリ (物理的に存在しない)								0000 0000	0000 0000	
01h	TMR0	タイマ 0 モジュールのレジスタ								xxxx xxxx	uuuu uuuu	
02h ⁽⁴⁾	PCL	プログラムカウンタ (PC) の最下位バイト								0000 0000	0000 0000	
03h ⁽⁴⁾	STATUS	IRP	RP1	RP0	\overline{TO}	\overline{PD}	Z	DC	C	0001 1xxx	000q quuu	
04h ⁽⁴⁾	FSR	間接データメモリアドレスポインタ								xxxx xxxx	uuuu uuuu	
05h	PORTA	—	—	ライト時の PORTA データラッチ: リード時の PORTA ビン						--0x 0000	--0u 0000	
06h	PORTB	ライト時の PORTB データラッチ: リード時の PORTB ビン								xxxx xxxx	uuuu uuuu	
07h	PORTC	ライト時の PORTC データラッチ: リード時の PORTC ビン								xxxx xxxx	uuuu uuuu	
08h ⁽⁵⁾	PORTD	ライト時の PORTD データラッチ: リード時の PORTD ビン								xxxx xxxx	uuuu uuuu	
09h ⁽⁵⁾	PORTE	—	—	—	—	—	RE2	RE1	RE0	---- -xxx	---- -uuu	
0Ah ^(1,4)	PCLATH	—	—	—	プログラムカウンタ上位 5 ビットへのライトバッファ						---0 0000	---0 0000
0Bh ⁽⁴⁾	INTCON	GIE	PEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF	0000 000x	0000 000u	
0Ch	PIR1	PSPIF ⁽³⁾	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000	
0Dh	PIR2	—	(6)	—	EEIF	BCLIF	—	—	CCP2IF	-r-0 0--0	-r-0 0--0	
0Eh	TMR1L	16 ビット TMR1 レジスタの最下位バイトへのホールディングレジスタ								xxxx xxxx	uuuu uuuu	
0Fh	TMR1H	16 ビット TMR1 レジスタの最上位バイトへのホールディングレジスタ								xxxx xxxx	uuuu uuuu	
10h	T1CON	—	—	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{T1SYNC}$	TMR1CS	TMR1ON	--00 0000	--uu uuuu	
11h	TMR2	タイマ 2 モジュールのレジスタ								0000 0000	0000 0000	
12h	T2CON	—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	-000 0000	
13h	SSPBUF	同期シリアルポート受信バッファ / 送信レジスタ								xxxx xxxx	uuuu uuuu	
14h	SSPCON	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	0000 0000	
15h	CCPR1L	キャプチャ / コンペア / PWM レジスタ 1 (LSB)								xxxx xxxx	uuuu uuuu	
16h	CCPR1H	キャプチャ / コンペア / PWM レジスタ 1 (MSB)								xxxx xxxx	uuuu uuuu	
17h	CCP1CON	—	—	CCP1X	CCP1Y	CCP1M3	CCP1M2	CCP1M1	CCP1M0	--00 0000	--00 0000	
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x	
19h	TXREG	USART 送信データレジスタ								0000 0000	0000 0000	
1Ah	RCREG	USART 受信データレジスタ								0000 0000	0000 0000	
1Bh	CCPR2L	キャプチャ / コンペア / PWM レジスタ 2 (LSB)								xxxx xxxx	uuuu uuuu	
1Ch	CCPR2H	キャプチャ / コンペア / PWM レジスタ 2 (MSB)								xxxx xxxx	uuuu uuuu	
1Dh	CCP2CON	—	—	CCP2X	CCP2Y	CCP2M3	CCP2M2	CCP2M1	CCP2M0	--00 0000	--00 0000	
1Eh	ADRESH	A/D 変換結果レジスタ High バイト								xxxx xxxx	uuuu uuuu	
1Fh	ADCON0	ADCS1	ADCS0	CHS2	CHS1	CHS0	GO/DONE	—	ADON	0000 00-0	0000 00-0	

凡例: x = 不定, u = 不変, q = 条件に応じて変化する値, - = なし, 0 とリードされる, r = 将来使用
網掛部分の番地はビットがありません。0 とリードされます。

注意 1: プログラムカウンタの上位バイトには直接アクセスできません。PCLATH は PC<12:8> のホールディングレジスタです。PCLATH の内容はプログラムカウンタの上位バイトに転送されます。

- 2: 他の (電源 ON でない) リセットには MCLR 外部リセットおよびウォッチドッグタイマリセットがあります。
- 3: PSPIE および PSPIF ビットは 28 ピンデバイスではリザーブビットになります。常に 0 にします。
- 4: このレジスタはどのバンクからもアドレスできます。
- 5: PORTD、PORTE、TRISD および TRISE は 28 ピンデバイスには物理的に存在しません。0 とリードされます。
- 6: PIR2<6> および PIE2<6> は将来使用されるかもしれません。0 にしておいてください。

PIC16F87X

表 2-1: 特殊機能レジスタ一覧 (Cont. 1 d)

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other resets (2)	
Bank 1												
80h ⁽⁴⁾	INDF	FSR の内容のアドレスのデータメモリ (物理的に存在しない)								0000 0000	0000 0000	
81h	OPTION_REG	RBP \bar{U}	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111	
82h ⁽⁴⁾	PCL	プログラムカウンタ (PC) の最下位バイト								0000 0000	0000 0000	
83h ⁽⁴⁾	STATUS	IRP	RP1	RP0	$\bar{T}O$	$\bar{P}D$	Z	DC	C	0001 1xxx	000q quuu	
84h ⁽⁴⁾	FSR	間接データメモリアドレスポインタ								xxxx xxxx	uuuu uuuu	
85h	TRISA	—	—	PORTA データ方向レジスタ						--11 1111	--11 1111	
86h	TRISB	PORTB データ方向レジスタ								1111 1111	1111 1111	
87h	TRISC	PORTC データ方向レジスタ								1111 1111	1111 1111	
88h ⁽⁵⁾	TRISD	PORTD データ方向レジスタ								1111 1111	1111 1111	
89h ⁽⁵⁾	TRISE	IBF	OBF	IBOV	PSPMODE	—	PORTE データ方向ビット				0000 -111	0000 -111
8Ah ^(1,4)	PCLATH	—	—	—	プログラムカウンタ上位 5 ビットへのライトレジスタ						---0 0000	---0 0000
8Bh ⁽⁴⁾	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u	
8Ch	PIE1	PSPIE ⁽³⁾	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000	
8Dh	PIE2	—	(6)	—	EEIE	BCLIE	—	—	CCP2IE	-r-0 0--0	-r-0 0--0	
8Eh	PCON	—	—	—	—	—	—	$\bar{P}OR$	$\bar{B}OR$	---- -rqq	---- -ruu	
8Fh	—	なし								—	—	
90h	—	なし								—	—	
91h	SSPCON2	GCEN	ACKSTAT	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN	0000 0000	0000 0000	
92h	PR2	タイマ 2 周期レジスタ								1111 1111	1111 1111	
93h	SSPADD	同期シリアルポート (I ² C モード) アドレスレジスタ								0000 0000	0000 0000	
94h	SSPSTAT	SMP	CKE	D/ \bar{A}	P	S	R/ \bar{W}	UA	BF	0000 0000	0000 0000	
95h	—	なし								—	—	
96h	—	なし								—	—	
97h	—	なし								—	—	
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010	
99h	SPBRG	ボーレートジェネレータレジスタ								0000 0000	0000 0000	
9Ah	—	なし								—	—	
9Bh	—	なし								—	—	
9Ch	—	なし								—	—	
9Dh	—	なし								—	—	
9Eh	ADRESL	A/D 変換結果レジスタ Low バイト								xxxx xxxx	uuuu uuuu	
9Fh	ADCON1	ADFM	—	—	—	PCFG3	PCFG2	PCFG1	PCFG0	--0- 0000	--0- 0000	

凡例: x = 不定、u = 不変、q = 条件に応じて変化する値、- = なし、0 とリードされる、r = 将来使用網掛部分の番地はビットがありません。0 とリードされます。

注意 1: プログラムカウンタの上位バイトには直接アクセスできません。PCLATH は PC<12:8> のホールディングレジスタです。PCLATH の内容はプログラムカウンタの上位バイトに転送されます。

- 他の (電源 ON でない) リセットには MCLR 外部リセットおよびウォッチドッグタイマリセットがあります。
- PSPIE および PSPIF ビットは 28 ビンデバイスではリザーブビットになります。常に 0 にします。
- このレジスタはどのバンクからもアドレスできます。
- PORTD、PORTE、TRISD および TRISE は 28 ビンデバイスには物理的に存在しません。0 とリードされます。
- PIR2<6> および PIE2<6> は将来使用されるかもしれません。0 にしておいてください。