



MICROCHIP

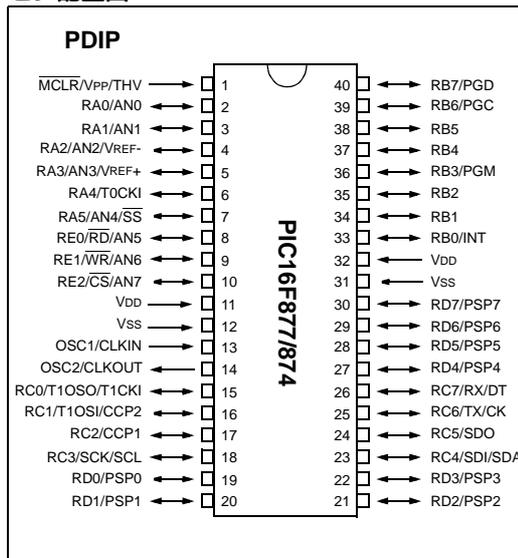
# PIC16F87X

## 28/40 ピン CMOS フラッシュ 8 ビット マイクロコントローラ

### マイクロコントローラの主要特性

- 高性能 RISC CPU
- 命令数 : 35
- 命令実行サイクル : 1 サイクル (分岐命令は 2 サイクル)
- 動作速度 : DC - 20MHz クロック入力  
DC - 200ns 命令サイクル
- FLASH プログラムメモリ : 最大 8K x 14 ワード  
データメモリ (RAM) : 最大 368 x 8 バイト  
EEPROM データメモリ : 最大 256 x 8 バイト
- H PIC16C73/74/76/77 とピン互換です。
- 割り込み要因 : 最大 14
- ハードウェアスタック : 8 レベル
- 直接、間接、相対の各アドレッシングモード
- パワーオンリセット (POR)
- パワーアップタイマー (PWRT) および  
オシレータスタートアップタイマー (OST)
- 専用のオンチップ RC 発振器付きウォッチドッグタイマー (WDT)
- コードプロテクション
- 消費電流が小さいスリープモード
- 複数のオシレータモード
- 低電力、高速 CMOS フラッシュ EEPROM テクノロジー
- 完全スタティック設計
- 2 ピンによる In-Circuit Serial Programming™
- H 5V プログラミング
- H 2 ピンによるインサーキットデバッグ
- プログラムメモリをリード / ライト可能
- 広い動作電圧範囲 : 2.0V ~ 5.5V
- 大きいシンク / ソース電流 : 25mA
- 民生、産業の動作温度範囲
- 小さい消費電流 :
  - < 2mA typ. @ 5V, 4MHz
  - < 20 μA typ. @ 3V, 32kHz
  - スタンバイ電流 < 1 μA typ. @ 2V

### ピン配置図

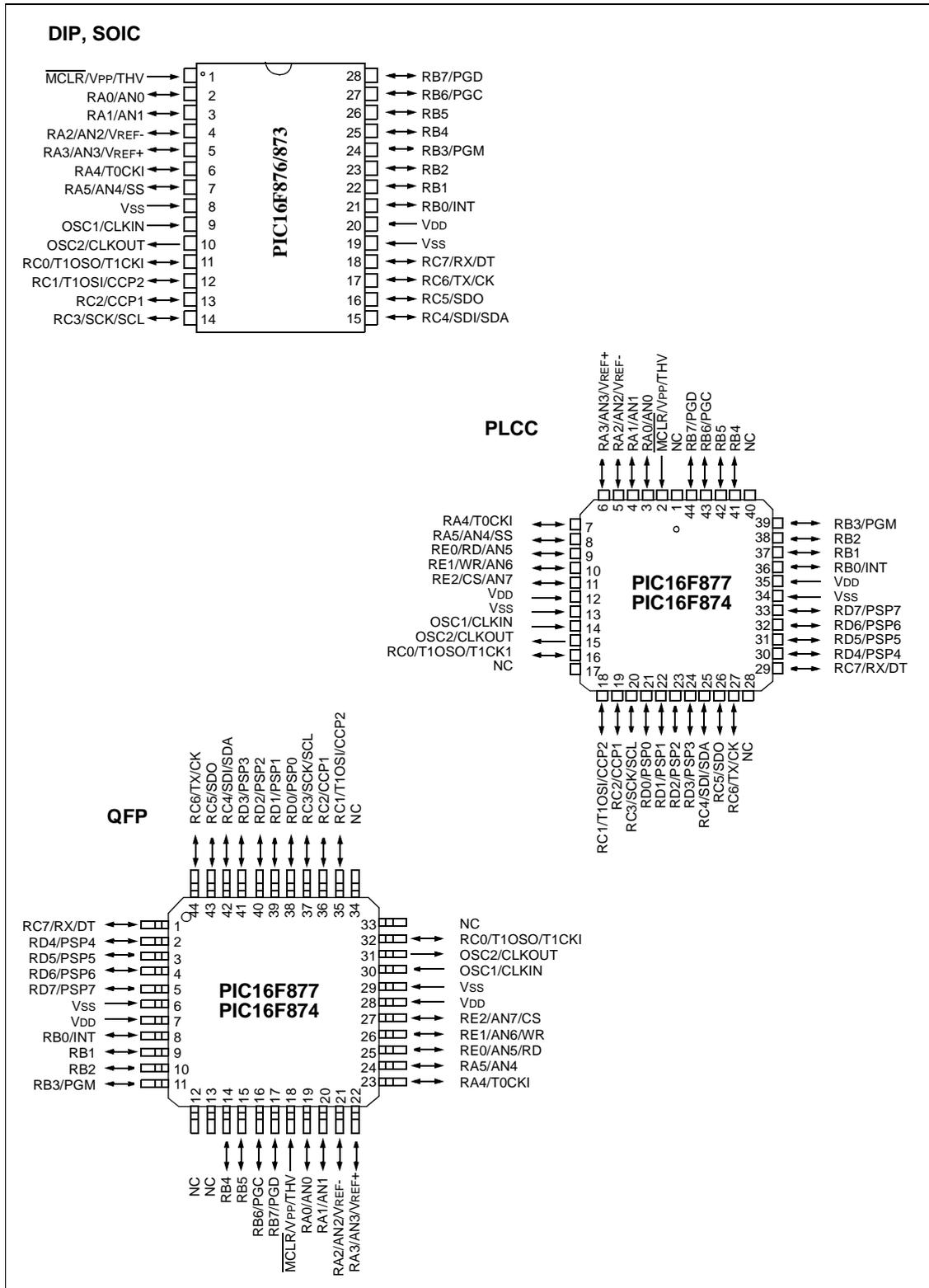


### 周辺機能の特徴

- タイマー0: 8ビット・プリスケアラ付き 8ビットタイマー / カウンタ
- タイマー1: プリスケアラ付き 16ビットタイマー / カウンタ、外部水晶 / クロックによりスリープ中もインクリメントが可能
- タイマー2: 8ビットの周期レジスタ、プリスケアラ、ポストスケアラ付きの 8ビットタイマー / カウンタ
- 2つのキャプチャー、コンペア、PWM モジュール
- キャプチャーは 16ビット、最大分解能 12.5n秒、コンペアは 16ビット、最大分解能 200n秒、PWM の最大分解能は 10ビット
- H 10ビット マルチチャネル AD 変換器
- H 同期シリアルポート (SSP) SPI™ (マスター / スレーブ)、I<sup>2</sup>C™ (マスター / スレーブ)
- H ユニバーサル同期・非同期 レシーバー・トランスミッター (USART/SCI) 9ビット・アドレス検出
- 8ビット幅パラレルスレーブポート (PSP) 外部 RD、WR、CS 制御 (40/44 ピンのみ)
- ブラウンアウトリセット (BOR)

# PIC16F87X

## ピン配置図



# PIC16F87X

主要機能 PICmicro™ ミッド・レンジ リファレンスマニュアル (DS33023)	PIC16F873	PIC16F874	PIC16F876	PIC16F877
動作周波数	DC - 20 MHz			
リセット (と遅延)	POR, BOR (PWRT, OST)	POR, BOR (PWRT, OST)	POR, BOR (PWRT, OST)	POR, BOR (PWRT, OST)
フラッシュプログラムメモリ (14 ビットワード)	4K	4K	8K	8K
データメモリ (バイト)	192	192	368	368
EEPROM データメモリ	128	128	256	256
割り込み	13	14	13	14
I/O ポート	Ports A,B,C	Ports A,B,C,D,E	Ports A,B,C	Ports A,B,C,D,E
タイマー	3	3	3	3
キャプチャ / コンペア / PWM モジュール	2	2	2	2
シリアル通信	MSSP, USART	MSSP, USART	MSSP, USART	MSSP, USART
パラレル通信	—	PSP	—	PSP
10 ビット AD モジュール	5 入力チャネル	8 入力チャネル	5 入力チャネル	8 入力チャネル
命令セット	35 命令	35 命令	35 命令	35 命令

# PIC16F87X

## 目次

1.0 デバイス概要	5
2.0 メモリ構成	11
3.0 I/O ポート	29
4.0 データ EEPROM およびフラッシュプログラムメモリ	41
5.0 Timer0 モジュール	47
6.0 Timer1 モジュール	49
7.0 Timer2 モジュール	53
8.0 キャプチャ / コンペア / PWM (CCP) モジュール	55
9.0 マスター同期シリアルポート (MSSP) モジュール	61
10.0 ユニバーサル同期・非同期レシーバー・トランスミッター (USART)	105
11.0 AD 変換器 (A/D) モジュール	121
12.0 CPU の特殊機能	133
13.0 命令セット	151
14.0 開発サポート	153
15.0 電気的特性	157
16.0 DC および AC 特性のグラフ / 表	177
17.0 パッケージ	179
付録 A: 改訂履歴	187
付録 B: デバイスの相違点	187
付録 C: コンバージョンの注意点	187
索引	191

## お客様へ

### 最新のデータシート

このデータシートの最新版を入手するには、以下のインターネットホームページにアクセスしてください。

[www.microchip.com](http://www.microchip.com), [www.microchip.co.jp](http://www.microchip.co.jp)

各ページの欄外下にあるドキュメント番号を確認すれば、データシートのバージョンを判断できます。ドキュメント番号の最後の文字がバージョン番号です。たとえば、DS30000A はドキュメント DS30000 の A バージョンになります。

### エラッタシート

デバイスには、データシートとの動作上の相違点や推奨する回避方法などを記載したエラッタシートが発行されている場合があります。エラッタシートは、デバイスやドキュメントに関する問題が明らかになった時点で発行されます。エラッタでは該当するシリコンのバージョンとドキュメントのバージョンを明記します。

各デバイスにエラッタシートが発行されているかを確認するには、以下のいずれかをご確認ください。

- マイクロチップのインターネットホームページ ([www.microchip.com](http://www.microchip.com), [www.microchip.co.jp](http://www.microchip.co.jp))
- お近くのマイクロチップ営業拠点 (最終ページを参照してください)
- マイクロチップコーポレートドキュメントセンター (U.S. FAX: (602) 786-7277)

営業拠点またはドキュメントセンターにお問い合わせの際は、お使いのデバイス名、シリコンのバージョンおよびデータシートのバージョンとドキュメント番号をお知らせください。

### このデータシートの訂正

当社では、当社製品やドキュメントの品質を高めるために常に努力をしております。このドキュメントも正確を期すために非常に多くの時間を費やしておりますが、多少の見落としがあるかもしれません。もし見落としや間違っている情報にお気づきになりましたら、以下の方法で当社までお知らせください。

- FAX: 045-471-6122
- E メール: [tech@microchip.co.jp](mailto:tech@microchip.co.jp)

より良いドキュメントをつくるために皆様のご協力に感謝いたします。

# PIC16F87X

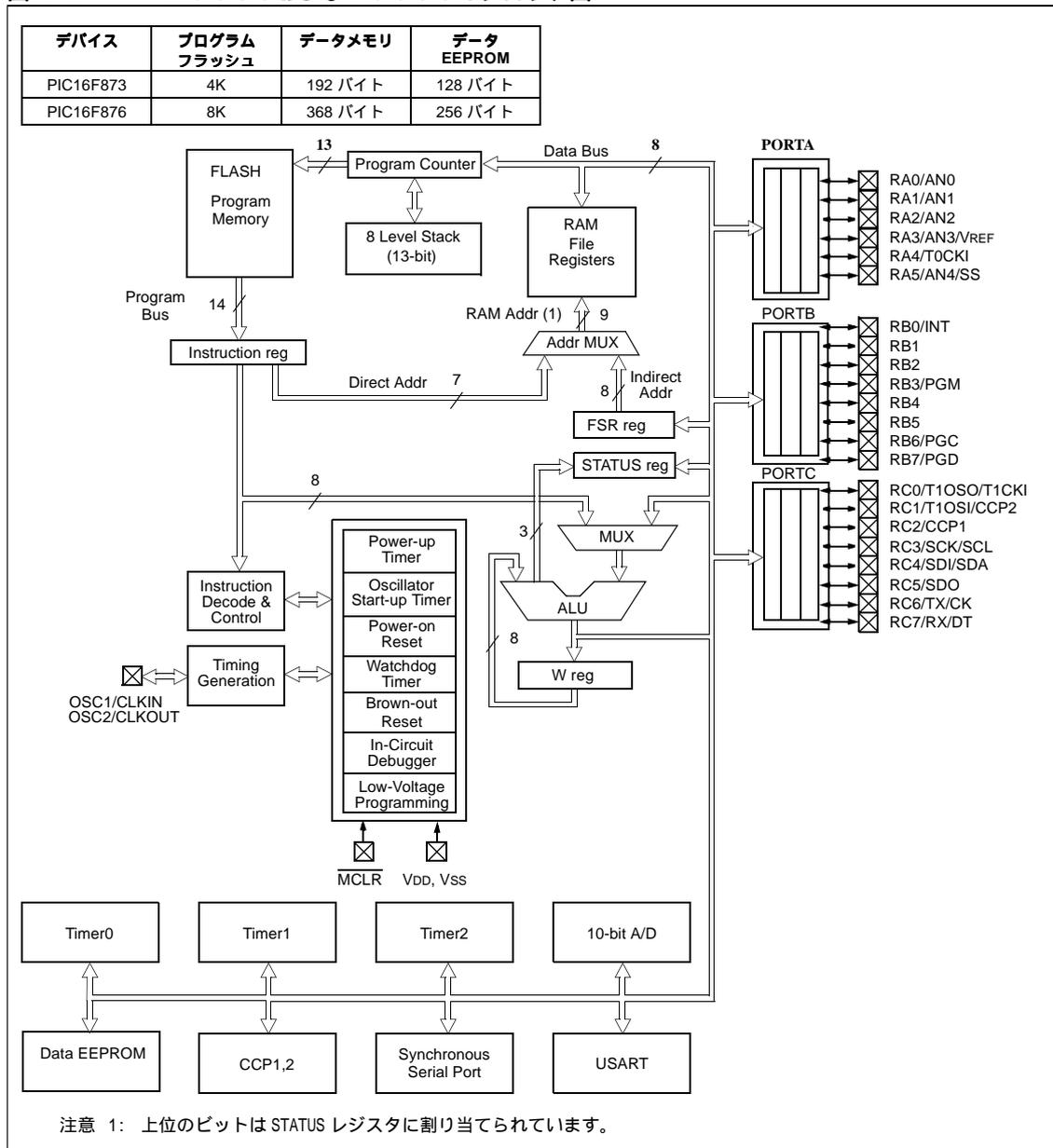
## 1.0 デバイス概要

このドキュメントではデバイスの情報について説明します。更に詳しい情報は、PICmicro™ ミッド・レンジリファレンスマニュアル( DS33023) で説明されています。お近くの Microchip 販売代理店に問い合わせて入手するか、Microchip社のホームページからダウンロードできます。このリファレンスマニュアルは、このデータシートを補足する位置づけになっています。デバイスのアーキテクチャや周辺モジュールの動作をよりよく理解していただくために、このマニュアルのご一読をお勧めします。

このデータシートには 4 種類のデバイス (PIC16F873、PIC16F874、PIC16F876、PIC16F877) を載せています。PIC16F876/873 は 28 ピンパッケージで、PIC16F877/874 は 40 ピンパッケージです。28 ピンのデバイスには、パラレルパッケージポートを搭載していません。

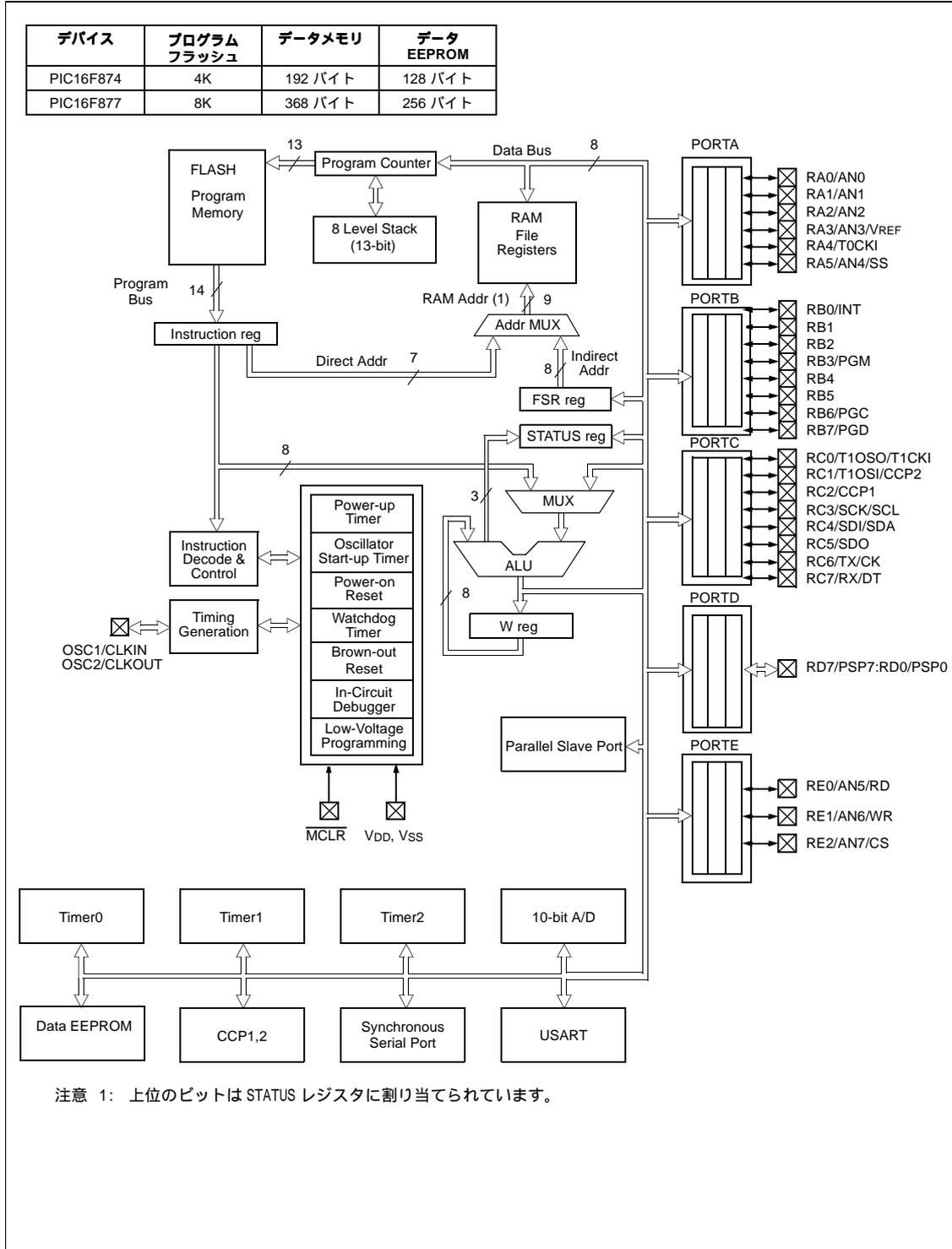
次の 2 つの図はピン数で分類したデバイスのブロック図です。図 1-1 に 28 ピンデバイスを、図 1-2 に 40 ピンデバイスを示します。28 ピンおよび 40 ピンのピンアウトはそれぞれ表 1-1 と表 1-2 に示します。

図 1-1: PIC16F873 および PIC16F876 のブロック図



# PIC16F87X

図 1-2: PIC16F874 および PIC16F877 のブロック図



# PIC16F87X

表 1-1 PIC16F873 および PIC16F876 ピンアウトの説明

ピンの名称	DIP Pin#	SOIC Pin#	I/O/P Type	Buffer Type	説明
OSC1/CLKIN	9	9	I	ST/CMOS <sup>(3)</sup>	オシレータ水晶入力 / 外部クロックソース入力
OSC2/CLKOUT	10	10	O	—	オシレータ水晶出力。水晶オシレータモード時に水晶またはセラミック発振子に接続。RC モードでは、OSC2 は OSC1 の 1/4 の周波数の CLKOUT (命令サイクル) を出力します。
MCLR/VPP/THV	1	1	I/P	ST	マスター・クリア (リセット) 入力またはプログラム電圧入力または高電圧テストモード制御。このピンはデバイスのアクティブ・ロー・リセットになります。
RA0/AN0	2	2	I/O	TTL	PORTA は双方向 I/O ポートです。 RA0 はアナログ入力 0 として選択可能。
RA1/AN1	3	3	I/O	TTL	RA1 はアナログ入力 1 として選択可能。
RA2/AN2/VREF-	4	4	I/O	TTL	RA2 はアナログ入力 2、または負極アナログリファレンス電圧として選択可能。
RA3/AN3/VREF+	5	5	I/O	TTL	RA3 はアナログ入力 3、または正極アナログリファレンス電圧として選択可能。
RA4/T0CKI	6	6	I/O	ST	RA4 はタイマー 0 モジュールのクロック入力として選択可能。出力はオープンドレインタイプ。
RA5/SS/AN4	7	7	I/O	TTL	RA5 はアナログ入力 4 または同期シリアルポートのスレーブセレクトとして選択可能。
RB0/INT	21	21	I/O	TTL/ST <sup>(1)</sup>	PORTB は双方向 I/O ポートです。PORTB は全入力力で内部弱プルアップがソフトウェアで選択可能です。 RB0 は外部割り込みピンとして選択可能。
RB1	22	22	I/O	TTL	
RB2	23	23	I/O	TTL	
RB3/PGM	24	24	I/O	TTL	RB3 低電圧プログラミング入力として選択可能。
RB4	25	25	I/O	TTL	ピン変化による割り込み
RB5	26	26	I/O	TTL	ピン変化による割り込み
RB6/PGC	27	27	I/O	TTL/ST <sup>(2)</sup>	ピン変化による割り込み、またはイン・サーキットデバッグ。シリアルプログラミングクロック。
RB7/PGD	28	28	I/O	TTL/ST <sup>(2)</sup>	ピン変化による割り込み、またはイン・サーキットデバッグ。シリアルプログラミングデータ。
RC0/T1OSO/T1CKI	11	11	I/O	ST	PORTC は双方向 I/O ポートです。 RC0 はタイマー 1 オシレータ出力、またはタイマ 1 クロック入力として選択可能。
RC1/T1OSI/CCP2	12	12	I/O	ST	RC1 はタイマー 1 オシレータ入力、またはキャプチャ 2 入力 / コンペア 2 出力 / PWM2 出力として選択可能。
RC2/CCP1	13	13	I/O	ST	RC2 はキャプチャ 1 入力 / コンペア 1 出力 / PWM1 出力として選択可能。
RC3/SCK/SCL	14	14	I/O	ST	RC3 は SPI および I <sup>2</sup> C モードどちらでも同期シリアルクロック入力 / 出力として選択可能。
RC4/SDI/SDA	15	15	I/O	ST	RC4 は SPI データイン (SPI モード) またはデータ I/O (I <sup>2</sup> C モード) として選択可能。
RC5/SDO	16	16	I/O	ST	RC5 は SPI データアウト (SPI モード) として選択可能。
RC6/TX/CK	17	17	I/O	ST	RC6 は USART 非同期送信、または同期クロックとして選択可能。
RC7/RX/DT	18	18	I/O	ST	RC7 は USART 非同期受信または同期データとして選択可能。
Vss	8, 19	8, 19	P	—	ロジックおよび I/O ピン用接地基準。
VDD	20	20	P	—	ロジックおよび I/O ピン用正極電源。

凡例: I = 入力 O = 出力 I/O = 入力 / 出力 P = 電源  
- = なし TTL = TTL 入力 ST = シュミットトリガ入力

注意 1: 外部割り込み入力の場合は、シュミットトリガ入力になります。  
2: シリアルプログラミングモードのときは、シュミットトリガ入力になります。  
3: RC オシレータモードのときはシュミットトリガ入力になり、それ以外の場合は CMOS 入力になります。

# PIC16F87X

表 1-2 PIC16F874 および PIC16F877 ピンアウトの説明

ピンの名称	DIP Pin#	PLCC Pin#	QFP Pin#	I/O/P Type	Buffer Type	説明
OSC1/CLKIN	13	14	30	I	ST/CMOS <sup>(4)</sup>	オシレータ水晶入力 / 外部クロックソース入力
OSC2/CLKOUT	14	15	31	O	—	オシレータ水晶出力。水晶オシレータモード時に水晶またはレゾネータに接続。RC モードでは、OSC1 の 1/4 の周波数の CLKOUT (命令サイクル) を出力します。
MCLR/VPP/THV	1	2	18	I/P	ST	マスター・クリア (リセット) 入力、プログラム電圧入力または高電圧テストモード制御。このピンはデバイスのアクティブ・ロー・リセットになります。
RA0/AN0	2	3	19	I/O	TTL	PORTA は双方向 I/O ポートです。 RA0 はアナログ入力として選択可能。 RA1 はアナログ入力として選択可能。 RA2 はアナログ入力 2、または下限アナログリファレンス電圧として選択可能。 RA3 はアナログ入力 3、または上限アナログリファレンス電圧として選択可能。 RA4 は Timer0 タイマー / カウンタへのクロック入力として選択可能。出力はオープンドレインタイプ。 RA5 はアナログ入力 4、または同期シリアルポート用スレーブセレクトとして選択可能。
RA1/AN1	3	4	20	I/O	TTL	
RA2/AN2/VREF-	4	5	21	I/O	TTL	
RA3/AN3/VREF+	5	6	22	I/O	TTL	
RA4/T0CKI	6	7	23	I/O	ST	
RA5/ $\overline{SS}$ /AN4	7	8	24	I/O	TTL	
RB0/INT	33	36	8	I/O	TTL/ST <sup>(1)</sup>	PORTB は双方向 I/O ポートです。PORTB は全入力内で内部弱プルアップがソフトウェアで選択可能です。 RB0 は外部割り込みピンとして選択可能。  RB3 は低電圧プログラミング入力として選択可能。 ピン変化による割り込み ピン変化による割り込み ピン変化による割り込み、またはイン・サーキット・デバッグ。シリアルプログラミングクロック。 ピン変化による割り込み、またはイン・サーキット・デバッグ。シリアルプログラミングデータ。
RB1	34	37	9	I/O	TTL	
RB2	35	38	10	I/O	TTL	
RB3/PGM	36	39	11	I/O	TTL	
RB4	37	41	14	I/O	TTL	
RB5	38	42	15	I/O	TTL	
RB6/PGC	39	43	16	I/O	TTL/ST <sup>(2)</sup>	
RB7/PGD	40	44	17	I/O	TTL/ST <sup>(2)</sup>	

凡例： I = 入力    O = 出力    I/O = 入力 / 出力    P = 電源  
          - = なし                    TTL = TTL 入力            ST = シュミットトリガ入力

- 注意 1: 外部割り込み入力の場合はシュミットトリガ入力になります。  
 2: シリアルプログラミングモードのときはシュミットトリガ入力になります。  
 3: 汎用 I/O のときはシュミットトリガ入力になり、(マイクロプロセッサバスとのインターフェース用) パラレルスレーブポートのときは TTL 入力になります。  
 4: RC オシレータモードのときはシュミットトリガ入力になり、それ以外の時は CMOS 入力になります。

# PIC16F87X

表 1-2 PIC16F874 および PIC16F877 ピンアウトの説明 (Cont. 1 d)

ピンの名称	DIP Pin#	PLCC Pin#	QFP Pin#	I/O/P Type	Buffer Type	説明
RC0/T1OSO/T1CKI	15	16	32	I/O	ST	PORTC は双方向 I/O ポートです。 RC0 はタイマー 1 オシレータ出力、またはタイマー 1 クロック入力として選択可能。 RC1 はタイマー 1 オシレータ入力、またはキャプチャ 2 入力 / コンペア 2 出力 / PWM2 出力として選択可能。 RC2 はキャプチャ 1 入力 / コンペア 1 出力 / PWM1 出力として選択可能。 RC3 は SPI および I <sup>2</sup> C モードでシリアルクロック入力 / 出力として選択可能。 RC4 は SPI データイン (SPI モード) または、データ I/O (I <sup>2</sup> C モード) として選択可能。 RC5 は SPI データアウト (SPI モード) として選択可能。 RC6 は USART 非同期送信、または同期クロックとして選択可能。 RC7 は USART 非同期受信、または同期データとして選択可能。
RC1/T1OSI/CCP2	16	18	35	I/O	ST	
RC2/CCP1	17	19	36	I/O	ST	
RC3/SCK/SCL	18	20	37	I/O	ST	
RC4/SDI/SDA	23	25	42	I/O	ST	
RC5/SDO	24	26	43	I/O	ST	
RC6/TX/CK	25	27	44	I/O	ST	
RC7/RX/DT	26	29	1	I/O	ST	
RD0/PSP0	19	21	38	I/O	ST/TTL <sup>(3)</sup>	PORTD は双方向 I / O ポートです。パラレルスレーブポートにもなります。
RD1/PSP1	20	22	39	I/O	ST/TTL <sup>(3)</sup>	
RD2/PSP2	21	23	40	I/O	ST/TTL <sup>(3)</sup>	
RD3/PSP3	22	24	41	I/O	ST/TTL <sup>(3)</sup>	
RD4/PSP4	27	30	2	I/O	ST/TTL <sup>(3)</sup>	
RD5/PSP5	28	31	3	I/O	ST/TTL <sup>(3)</sup>	
RD6/PSP6	29	32	4	I/O	ST/TTL <sup>(3)</sup>	
RD7/PSP7	30	33	5	I/O	ST/TTL <sup>(3)</sup>	
RE0/RD $\bar{}$ /AN5	8	9	25	I/O	ST/TTL <sup>(3)</sup>	PORTE は双方向 I/O ポートです。 RE0 はパラレルスレーブポートのリード制御信号、またはアナログ入力 5 として選択可能。 RE1 はパラレルスレーブポートのライト制御信号、またはアナログ入力 6 として選択可能。 RE2 はパラレルスレーブポートのセレクト制御信号、またはアナログ入力 7 として選択可能。
RE1/WR $\bar{}$ /AN6	9	10	26	I/O	ST/TTL <sup>(3)</sup>	
RE2/CS $\bar{}$ /AN7	10	11	27	I/O	ST/TTL <sup>(3)</sup>	
VSS	12,31	13,34	6,29	P	—	ロジックおよび I/O ピン用接地基準。
VDD	11,32	12,35	7,28	P	—	ロジックおよび I/O ピン用正極電源。
NC	—	1,17,28,40	12,13,33,34		—	内部で接続されていないピン。これらのピンは未接続のままにしてください。

凡例: I = 入力 0 = 出力 I/O = 入力 / 出力 P = 電源  
- = なし TTL = TTL 入力 ST = シュミットトリガ入力

- 注意 1: 外部割り込み入力の場合はシュミットトリガ入力になります。  
2: シリアルプログラミングモードの場合はシュミットトリガ入力になります。  
3: 汎用 I/O のときはシュミットトリガ入力になり、(マイクロプロセッサバスとのインターフェース用) パラレルスレーブポートのときは TTL 入力になります。  
4: RC オシレータモードのときはシュミットトリガ入力になり、それ以外の時は CMOS 入力になります。

# PIC16F87X

---

NOTES:

# PIC16F87X

## 2.0 メモリ構成

PIC16F87X には 3 つのメモリ領域があります。プログラムメモリとデータメモリは、それぞれの領域に独自のバスがあるので、同じオシレータサイクルで各領域へアクセスすることが可能です。EEPROM のデータメモリについては、4.0 章で説明します。

デバイスメモリについての更に詳しい情報は、PICmicro™ ミッド・レンジ リファレンスマニュアル (DS33023) を参照してください。

### 2.1 プログラムメモリの構成

PIC16F87X には、8K × 14 のプログラムメモリ空間をアドレス指定できる 13 ビットのプログラムカウンタがあります。PIC16F877/876 デバイスには 8K × 14 ワードの、PIC16F873/874 には 4K × 14 のフラッシュプログラムメモリがあります。上記の領域を超えてアクセスした場合は、ラップアラウンドします。

リセットベクタは 0000h、割り込みベクタは 0004h です。

図 2-1: PIC16F877/876 プログラムメモリとスタック配置図

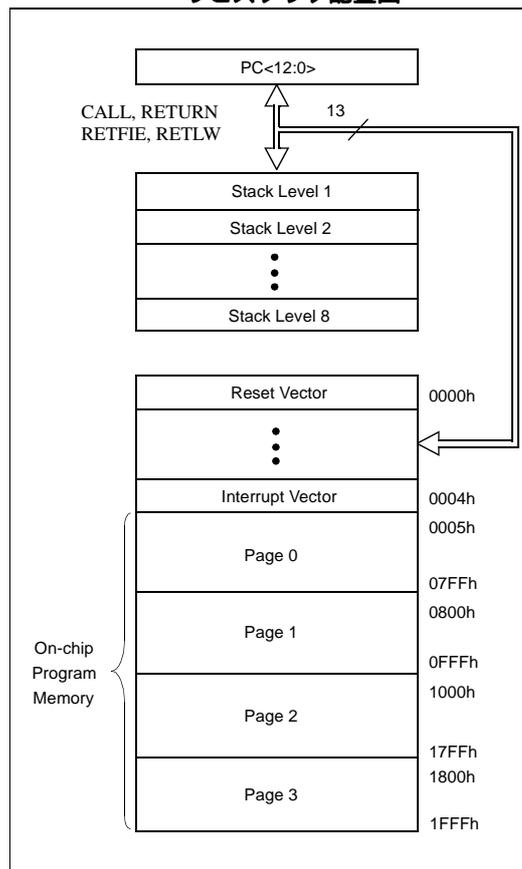
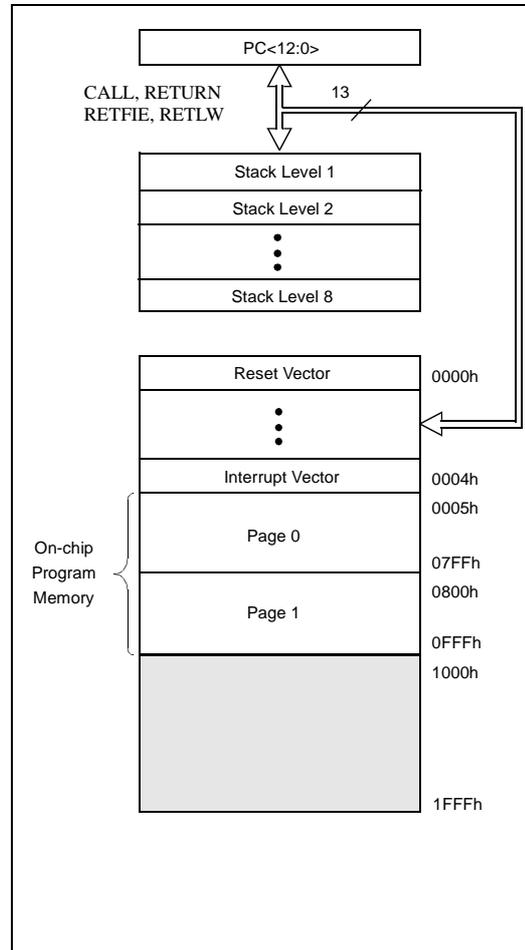


図 2-2: PIC16F874/873 プログラムメモリとスタック配置図



# PIC16F87X

---

## 2.2 データメモリ構成

データメモリは複数の領域に区分されます。領域には汎用レジスタと特殊機能レジスタがあります。ビット RP1 および RP0 でバンクを選択できます。

RP1	RP0	(STATUS<6:5>)
-----	-----	---------------

= 00 → Bank0

= 01 → Bank1

= 10 → Bank2

= 11 → Bank3

各バンクは最大 7Fh(128 バイト) です。各バンクの下位番地は特殊機能レジスタが割り当てられています。上位番地はスタティック RAM の汎用レジスタが割り当てられています。すべてのバンクには特殊機能レジスタがあります。「頻繁に使用する」特殊機能レジスタは、別のバンクでもアクセスできるようになっています。

<b>注意：</b> EEPROM データメモリの説明はこのデータシートの 4.0 章にあります。
---

### 2.2.1 汎用レジスタファイル

汎用レジスタファイルは、直接またはファイル選択レジスタ FSR を通じて間接的にアクセスされます。

# PIC16F87X

図 2-3: PIC16F877/876 レジスタファイル配置図

Indirect addr. (*)		Indirect addr. (*)		Indirect addr. (*)		Indirect addr. (*)		File Address
TMR0	00h	OPTION_REG	80h	TMR0	100h	OPTION_REG	180h	
PCL	01h	PCL	81h	PCL	101h	PCL	181h	
STATUS	02h	STATUS	82h	STATUS	102h	STATUS	182h	
FSR	03h	FSR	83h	FSR	103h	FSR	183h	
PORTA	04h	TRISA	84h		104h		184h	
PORTB	05h	TRISA	85h		105h		185h	
PORTC	06h	TRISB	86h	PORTB	106h	TRISB	186h	
PORTD (1)	07h	TRISC	87h		107h		187h	
PORTE (1)	08h	TRISD (1)	88h		108h		188h	
PCLATH	09h	TRISE (1)	89h		109h		189h	
INTCON	0Ah	PCLATH	8Ah	PCLATH	10Ah	PCLATH	18Ah	
PIR1	0Bh	INTCON	8Bh	INTCON	10Bh	INTCON	18Bh	
PIR2	0Ch	PIE1	8Ch	EEDATA	10Ch	EECON1	18Ch	
TMR1L	0Dh	PIE2	8Dh	EEADR	10Dh	EECON2	18Dh	
TMR1H	0Eh	PCON	8Eh	EEDATH	10Eh	Reserved(2)	18Eh	
T1CON	0Fh		8Fh	EEADRH	10Fh	Reserved(2)	18Fh	
TMR2	10h		90h		110h		190h	
T2CON	11h	SSPCON2	91h		111h		191h	
SSPBUF	12h	PR2	92h		112h		192h	
SSPCON	13h	SSPADD	93h		113h		193h	
CCPR1L	14h	SSPSTAT	94h		114h		194h	
CCPR1H	15h		95h		115h		195h	
CCP1CON	16h		96h	汎用レジスタ	116h	汎用レジスタ	196h	
RCSTA	17h		97h		117h		197h	
TXREG	18h	TXSTA	98h	16 バイト	118h	16 バイト	198h	
RCREG	19h	SPBRG	99h		119h		199h	
CCPR2L	1Ah		9Ah		11Ah		19Ah	
CCPR2H	1Bh		9Bh		11Bh		19Bh	
CCP2CON	1Ch		9Ch		11Ch		19Ch	
ADRESH	1Dh		9Dh		11Dh		19Dh	
ADCON0	1Eh	ADRESL	9Eh		11Eh		19Eh	
	1Fh	ADCON1	9Fh		11Fh		19Fh	
	20h		A0h		120h		1A0h	
汎用レジスタ		汎用レジスタ		汎用レジスタ		汎用レジスタ		
96 バイト		80 バイト		80 バイト		80 バイト		
	7Fh	アクセス 70h-7Fh	EFh F0h FFh	アクセス 70h-7Fh	16Fh 170h 17Fh	アクセス 70h - 7Fh	1EFh 1F0h 1FFh	
Bank 0		Bank 1		Bank 2		Bank 3		

■ データメモリなし。0 とリードされます。  
\* 物理的に存在しません。  
注意 1: このレジスタは 28 ピンデバイスにはありません。  
2: このレジスタは将来使用される場合があります。0 にしておいてください。

# PIC16F87X

図 2-4: PIC16F874/873 レジスタファイル配置図

						File Address	
Indirect addr. (*)	00h	Indirect addr. (*)	80h	Indirect addr. (*)	100h	Indirect addr. (*)	180h
TMR0	01h	OPTION_REG	81h	TMR0	101h	OPTION_REG	181h
PCL	02h	PCL	82h	PCL	102h	PCL	182h
STATUS	03h	STATUS	83h	STATUS	103h	STATUS	183h
FSR	04h	FSR	84h	FSR	104h	FSR	184h
PORTA	05h	TRISA	85h		105h		185h
PORTB	06h	TRISB	86h	PORTB	106h	TRISB	186h
PORTC	07h	TRISC	87h		107h		187h
PORTD (1)	08h	TRISD (1)	88h		108h		188h
PORTE (1)	09h	TRISE (1)	89h		109h		189h
PCLATH	0Ah	PCLATH	8Ah	PCLATH	10Ah	PCLATH	18Ah
INTCON	0Bh	INTCON	8Bh	INTCON	10Bh	INTCON	18Bh
PIR1	0Ch	PIE1	8Ch	EEDATA	10Ch	EECON1	18Ch
PIR2	0Dh	PIE2	8Dh	EEADR	10Dh	EECON2	18Dh
TMR1L	0Eh	PCON	8Eh	EEDATH	10Eh	Reserved(2)	18Eh
TMR1H	0Fh		8Fh	EEADRH	10Fh	Reserved(2)	18Fh
T1CON	10h		90h		110h		190h
TMR2	11h	SSPCON2	91h				
T2CON	12h	PR2	92h				
SSPBUF	13h	SSPADD	93h				
SSPCON	14h	SSPSTAT	94h				
CCPR1L	15h		95h				
CCPR1H	16h		96h				
CCP1CON	17h		97h				
RCSTA	18h	TXSTA	98h				
TXREG	19h	SPBRG	99h				
RCREG	1Ah		9Ah				
CCPR2L	1Bh		9Bh				
CCPR2H	1Ch		9Ch				
CCP2CON	1Dh		9Dh				
ADRESH	1Eh	ADRESL	9Eh				
ADCON0	1Fh	ADCON1	9Fh				
	20h		A0h		120h		1A0h
General Purpose Register 96 Bytes		General Purpose Register 96 Bytes		accesses 20h-7Fh		accesses A0h - FFh	
	7Fh		FFh		16Fh 170h		1EFh 1F0h
Bank 0		Bank 1		Bank 2	17Fh	Bank 3	1FFh

■ データメモリなし。0とリードされます。  
 \* 物理的に存在しません。  
 注意 1: このレジスタは28ピンデバイスにはありません。  
 2: このレジスタは将来使用される場合があります。0にしておいてください。

## 2.2.2 特殊機能レジスタ

特殊機能レジスタは、CPU と周辺モジュールに使用され、デバイス動作を制御します。特殊機能レジスタはスタティック RAM です。レジスタのリストを表 2-1 に示します。

特殊機能レジスタは、コア機能 (CPU) と周辺機能の 2 種類に分類できます。コア機能に関連したレジスタは、この章で説明します。周辺機能の動作に関連したレジスタに関しては、周辺機能の章で説明します。

# PIC16F87X

表 2-1: 特殊機能レジスタ一覧

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other resets (2)	
Bank 0												
00h <sup>(4)</sup>	INDF	FSR の内容のアドレスのデータメモリ (物理的に存在しない)								0000 0000	0000 0000	
01h	TMR0	タイマ 0 モジュールのレジスタ								xxxx xxxx	uuuu uuuu	
02h <sup>(4)</sup>	PCL	プログラムカウンタ (PC) の最下位バイト								0000 0000	0000 0000	
03h <sup>(4)</sup>	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxxx	000q quuu	
04h <sup>(4)</sup>	FSR	間接データメモリアドレスポインタ								xxxx xxxx	uuuu uuuu	
05h	PORTA	—	—	ライト時の PORTA データラッチ : リード時の PORTA ビン						--0x 0000	--0u 0000	
06h	PORTB	ライト時の PORTB データラッチ : リード時の PORTB ビン								xxxx xxxx	uuuu uuuu	
07h	PORTC	ライト時の PORTC データラッチ : リード時の PORTC ビン								xxxx xxxx	uuuu uuuu	
08h <sup>(5)</sup>	PORTD	ライト時の PORTD データラッチ : リード時の PORTD ビン								xxxx xxxx	uuuu uuuu	
09h <sup>(5)</sup>	PORTE	—	—	—	—	—	RE2	RE1	RE0	---- -xxx	---- -uuu	
0Ah <sup>(1,4)</sup>	PCLATH	—	—	—	プログラムカウンタ上位 5 ビットへのライトバッファ						---0 0000	---0 0000
0Bh <sup>(4)</sup>	INTCON	GIE	PEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF	0000 000x	0000 000u	
0Ch	PIR1	PSPIF <sup>(3)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000	
0Dh	PIR2	—	(6)	—	EEIF	BCLIF	—	—	CCP2IF	-r-0 0--0	-r-0 0--0	
0Eh	TMR1L	16 ビット TMR1 レジスタの最下位バイトへのホールディングレジスタ								xxxx xxxx	uuuu uuuu	
0Fh	TMR1H	16 ビット TMR1 レジスタの最上位バイトへのホールディングレジスタ								xxxx xxxx	uuuu uuuu	
10h	T1CON	—	—	T1CKPS1	T1CKPS0	T1OSCEN	$\overline{T1SYNC}$	TMR1CS	TMR1ON	--00 0000	--uu uuuu	
11h	TMR2	タイマ 2 モジュールのレジスタ								0000 0000	0000 0000	
12h	T2CON	—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	-000 0000	
13h	SSPBUF	同期シリアルポート受信バッファ / 送信レジスタ								xxxx xxxx	uuuu uuuu	
14h	SSPCON	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	0000 0000	
15h	CCPR1L	キャプチャ / コンペア / PWM レジスタ 1 (LSB)								xxxx xxxx	uuuu uuuu	
16h	CCPR1H	キャプチャ / コンペア / PWM レジスタ 1 (MSB)								xxxx xxxx	uuuu uuuu	
17h	CCP1CON	—	—	CCP1X	CCP1Y	CCP1M3	CCP1M2	CCP1M1	CCP1M0	--00 0000	--00 0000	
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x	
19h	TXREG	USART 送信データレジスタ								0000 0000	0000 0000	
1Ah	RCREG	USART 受信データレジスタ								0000 0000	0000 0000	
1Bh	CCPR2L	キャプチャ / コンペア / PWM レジスタ 2 (LSB)								xxxx xxxx	uuuu uuuu	
1Ch	CCPR2H	キャプチャ / コンペア / PWM レジスタ 2 (MSB)								xxxx xxxx	uuuu uuuu	
1Dh	CCP2CON	—	—	CCP2X	CCP2Y	CCP2M3	CCP2M2	CCP2M1	CCP2M0	--00 0000	--00 0000	
1Eh	ADRESH	A/D 変換結果レジスタ High バイト								xxxx xxxx	uuuu uuuu	
1Fh	ADCON0	ADCS1	ADCS0	CHS2	CHS1	CHS0	GO/DONE	—	ADON	0000 00-0	0000 00-0	

凡例 : x = 不定、u = 不変、q = 条件に応じて変化する値、- = なし、0 とリードされる、r = 将来使用  
網掛部分の番地はビットがありません。0 とリードされます。

- 注意 1: プログラムカウンタの上位バイトには直接アクセスできません。PCLATH は PC<12:8> のホールディングレジスタです。PCLATH の内容はプログラムカウンタの上位バイトに転送されます。
- 2: 他の (電源 ON でない) リセットには MCLR 外部リセットおよびウォッチドッグタイマリセットがあります。
  - 3: PSPIE および PSPIF ビットは 28 ピンデバイスではリザーブビットになります。常に 0 にします。
  - 4: このレジスタはどのバンクからもアドレスできます。
  - 5: PORTD、PORTE、TRISD および TRISE は 28 ピンデバイスには物理的に存在しません。0 とリードされます。
  - 6: PIR2<6> および PIE2<6> は将来使用されるかもしれません。0 にしておいてください。

# PIC16F87X

表 2-1: 特殊機能レジスタ一覧 (Cont. 1 d)

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other resets (2)	
<b>Bank 1</b>												
80h <sup>(4)</sup>	INDF	FSR の内容のアドレスのデータメモリ (物理的に存在しない)								0000 0000	0000 0000	
81h	OPTION_REG	RBP $\bar{U}$	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111	
82h <sup>(4)</sup>	PCL	プログラムカウンタ (PC) の最下位バイト								0000 0000	0000 0000	
83h <sup>(4)</sup>	STATUS	IRP	RP1	RP0	$\bar{T}O$	$\bar{P}D$	Z	DC	C	0001 1xxx	000q quuu	
84h <sup>(4)</sup>	FSR	間接データメモリアドレスポインタ								xxxx xxxx	uuuu uuuu	
85h	TRISA	—	—	PORTA データ方向レジスタ						--11 1111	--11 1111	
86h	TRISB	PORTB データ方向レジスタ								1111 1111	1111 1111	
87h	TRISC	PORTC データ方向レジスタ								1111 1111	1111 1111	
88h <sup>(5)</sup>	TRISD	PORTD データ方向レジスタ								1111 1111	1111 1111	
89h <sup>(5)</sup>	TRISE	IBF	OBF	IBOV	PSPMODE	—	PORTE データ方向ビット				0000 -111	0000 -111
8Ah <sup>(1,4)</sup>	PCLATH	—	—	—	プログラムカウンタ上位 5 ビットへのライトレジスタ						---0 0000	---0 0000
8Bh <sup>(4)</sup>	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u	
8Ch	PIE1	PSPIE <sup>(3)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000	
8Dh	PIE2	—	(6)	—	EEIE	BCLIE	—	—	CCP2IE	-x-0 0--0	-x-0 0--0	
8Eh	PCON	—	—	—	—	—	—	$\bar{P}OR$	$\bar{B}OR$	---- -qqq	---- -uuu	
8Fh	—	なし								—	—	
90h	—	なし								—	—	
91h	SSPCON2	GCEN	ACKSTAT	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN	0000 0000	0000 0000	
92h	PR2	タイマ 2 周期レジスタ								1111 1111	1111 1111	
93h	SSPADD	同期シリアルポート (I <sup>2</sup> C モード) アドレスレジスタ								0000 0000	0000 0000	
94h	SSPSTAT	SMP	CKE	D/ $\bar{A}$	P	S	R/ $\bar{W}$	UA	BF	0000 0000	0000 0000	
95h	—	なし								—	—	
96h	—	なし								—	—	
97h	—	なし								—	—	
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010	
99h	SPBRG	ボーレートジェネレータレジスタ								0000 0000	0000 0000	
9Ah	—	なし								—	—	
9Bh	—	なし								—	—	
9Ch	—	なし								—	—	
9Dh	—	なし								—	—	
9Eh	ADRESL	A/D 変換結果レジスタ Low バイト								xxxx xxxx	uuuu uuuu	
9Fh	ADCON1	ADFM	—	—	—	PCFG3	PCFG2	PCFG1	PCFG0	--0- 0000	--0- 0000	

凡例: x = 不定、u = 不変、q = 条件に応じて変化する値、- = なし、0 とリードされる、r = 将来使用網掛部分の番地はビットがありません。0 とリードされます。

注意 1: プログラムカウンタの上位バイトには直接アクセスできません。PCLATH は PC<12:8> のホールディングレジスタです。PCLATH の内容はプログラムカウンタの上位バイトに転送されます。

- 2: 他の (電源 ON でない) リセットには MCLR 外部リセットおよびウォッチドッグタイマリセットがあります。
- 3: PSPIE および PSPIF ビットは 28 ピンデバイスではリザーブビットになります。常に 0 にします。
- 4: このレジスタはどのバンクからもアドレスできます。
- 5: PORTD、PORTE、TRISD および TRISE は 28 ピンデバイスには物理的に存在しません。0 とリードされます。
- 6: PIR2<6> および PIE2<6> は将来使用されるかもしれません。0 にしておいてください。

# PIC16F87X

表 2-1: 特殊機能レジスタ一覧 (Cont. 1 d)

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other resets (2)
<b>Bank 2</b>											
100h <sup>(4)</sup>	INDF	FSR の内容のアドレスのデータメモリ (物理的には存在しない)								0000 0000	0000 0000
101h	TMR0	タイマ 0 モジュールのレジスタ								xxxx xxxx	uuuu uuuu
102h <sup>(4)</sup>	PCL	プログラムカウンタ (PC) の最下位バイト								0000 0000	0000 0000
103h <sup>(4)</sup>	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxxx	000q quuu
104h <sup>(4)</sup>	FSR	間接データメモリアドレスポインタ								xxxx xxxx	uuuu uuuu
105h	—	なし								—	—
106h	PORTB	ライト時の PORTB データラッチ : リード時の PORTB ピン								xxxx xxxx	uuuu uuuu
107h	—	なし								—	—
108h	—	なし								—	—
109h	—	なし								—	—
10Ah <sup>(1,4)</sup>	PCLATH	—	—	—	プログラムカウンタ上位 5 ビットへのライトバッファ					---0 0000	---0 0000
10Bh <sup>(4)</sup>	INTCON	GIE	PEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF	0000 000x	0000 000u
10Ch	EEDATA	EEPROM データレジスタ								xxxx xxxx	uuuu uuuu
10Dh	EEADR	EEPROM アドレスレジスタ								xxxx xxxx	uuuu uuuu
10Eh	EEDATH	—	—	EEPROM データレジスタ High バイト						xxxx xxxx	uuuu uuuu
10Fh	EEADRH	—	—	—	EEPROM アドレスレジスタ High バイト					xxxx xxxx	uuuu uuuu
<b>Bank 3</b>											
180h <sup>(4)</sup>	INDF	FSR の内容のアドレスのデータメモリ (物理的には存在しない)								0000 0000	0000 0000
181h	OPTION_REG	RBPV	INTEDG	TOCS	TOSE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
182h <sup>(4)</sup>	PCL	プログラムカウンタ (PC) の最下位バイト								0000 0000	0000 0000
183h <sup>(4)</sup>	STATUS	IRP	RP1	RP0	$\overline{TO}$	$\overline{PD}$	Z	DC	C	0001 1xxxx	000q quuu
184h <sup>(4)</sup>	FSR	間接データメモリアドレスポインタ								xxxx xxxx	uuuu uuuu
185h	—	なし								—	—
186h	TRISB	PORTB データ方向レジスタ								1111 1111	1111 1111
187h	—	なし								—	—
188h	—	なし								—	—
189h	—	なし								—	—
18Ah <sup>(1,4)</sup>	PCLATH	—	—	—	PC の上位 5 ビットへのライトバッファ					---0 0000	---0 0000
18Bh <sup>(4)</sup>	INTCON	GIE	PEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF	0000 000x	0000 000u
18Ch	EECON1	EEPGD	—	—	—	WRERR	WREN	WR	RD	x--- x000	x--- u000
18Dh	EECON2	EEPROM コントロールレジスタ 2 (物理的には存在しない)								---- ----	---- ----
18Eh	—	予約、常に 0 にする。								0000 0000	0000 0000
18Fh	—	予約、常に 0 にする。								0000 0000	0000 0000

凡例 : x = 不定, u = 不変, q = 条件に応じて変化する値, - = なし, 0 とリードされる, r = 将来使用  
網掛部分の番地はビットがありません。0 とリードされます。

- 注意 1: プログラムカウンタの上位バイトには直接アクセスできません。PCLATH は PC<12:8> のホールディングレジスタです。PCLATH の内容はプログラムカウンタの上位バイトに転送されます。
- 2: 他の (電源 ON でない) リセットには MCLR 外部リセットおよびウォッチドッグタイマリセットがあります。
- 3: PSPIE および PSPIF ビットは 28 ピンデバイスではリザーブビットになります。常に 0 にします。
- 4: このレジスタはどのバンクからもアドレスできます。
- 5: PORTD、PORTE、TRISD および TRISE は 28 ピンデバイスには物理的に存在しません。0 とリードされます。
- 6: PIR2<6> および PIE2<6> は将来使用されるかもしれません。0 にしておいてください。

## 2.2.2.1 ステータスレジスタ

図 2-5 に示す STATUS レジスタは、ALU の演算フラグ、リセット状態およびデータメモリのバンク選択ビットが割り当てられています。

STATUS レジスタは他のレジスタと同様、命令の結果格納先になることができます。STATUS レジスタが Z、DC または C ビットに影響を与える命令の結果格納先になった場合は、これら 3 つのビットへのライトは行われません。これらのビットはデバイスのロジックに従って、セットまたはクリアされます。さらに、TO および PD ビットはライトできません。したがって、STATUS レジスタを結果格納先とした命令の結果は、意図したものと異なる場合があります。

例えば、CLRF STATUS は、上位 3 ビットをクリアし、Z ビットをセットします。これによって、STATUS レジスタは 000u u1uu (u= 不変) のままです。

したがって、BCF、BSF、SWAPF および MOVWF の命令を使用して STATUS レジスタを変更することを推奨します。これらの命令は STATUS レジスタの Z、C または DC ビットに影響を与えないからです。ステータスビットに影響しない他の命令については「命令セット」の章をご覧ください。

**注意 1:** C および DC ビットは、それぞれ減算で borrow および digit borrow ビットとして動作します。使用例については、SUBLW および SUBWF 命令を参照してください。

図 2-5: ステータスレジスタ (アドレス 03h, 83h, 103h, 183h)

R/W-0	R/W-0	R/W-0	R-1	R-1	R/W-x	R/W-x	R/W-x
IRP	RP1	RP0	TO	PD	Z	DC	C
bit7							bit0
<p>bit 7: <b>IRP:</b> レジスタバンク選択ビット (間接アドレス指定に使用)            1 = Bank 2, 3 (100h - 1FFh)            0 = Bank 0, 1 (00h - FFh)</p> <p>bit 6-5: <b>RP1:RP0:</b> レジスタバンク選択ビット (直接アドレス指定に使用)            11 = Bank 3 (180h - 1FFh)            10 = Bank 2 (100h - 17Fh)            01 = Bank 1 (80h - FFh)            00 = Bank 0 (00h - 7Fh)            各バンクは 128 バイトです。</p> <p>bit 4: <b>TO:</b> タイムアウトビット            1 = 電源 ON 後、CLRWDT 命令または SLEEP 命令の実行後            0 = WDT タイムアウト発生</p> <p>bit 3: <b>PD:</b> パワーダウンビット            1 = 電源 ON 後または CLRWDT 命令による            0 = SLEEP 命令の実行による</p> <p>bit 2: <b>Z:</b> ゼロビット            1 = 計算またはロジック演算の結果がゼロ            0 = 計算またはロジック演算の結果がゼロでない</p> <p>bit 1: <b>DC:</b> デジットキャリー / ボロービット (ADDWF、ADDLW、SUBLW、SUBWF 命令用) (ボローの場合は極性が逆になります)            1 = 結果により下位 4 ビット目からキャリーが発生した            0 = 結果により下位 4 ビット目からキャリーが発生しなかった</p> <p>bit 0: <b>C:</b> キャリー / ボロービット (ADDWF、ADDLW、SUBLW、SUBWF 命令用)            1 = 結果により最上位ビットからキャリーが発生した            0 = 結果により最上位ビットからキャリーが発生しなかった            注意: ボローの場合は極性が逆になります。2 番目のオペランドの 2 の補数を加算することにより減算が実行されます。ローテート (RRF、RLF) 命令の場合は、このビットはソースレジスタの上位または下位ビットと共にロードされます。</p>							

R = リード可能ビット  
 W = ライト可能ビット  
 U = 使用しないビット、0 とリードされる  
 -n = POR リセット後の値

# PIC16F87X

## 2.2.2.2 OPTION\_REG レジスタ

OPTION\_REG レジスタは、リード/ライト可能なレジスタで、TMRO プリスケアラ/ WDT ポストスケアラ (どちらかに割り当て可能なレジスタ)、外部割込み、TMRO、PORTB プルアップの設定ビット割り当てられているリード/ライト可能なレジスタです。

**注意:** TMRO レジスタに対して 1:1 のプリスケアラ割り当てを実現するには、プリスケアラをウォッチドッグタイマに割り当てます。

図 2-6: OPTION\_REG レジスタ (アドレス 81h、181h)

R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1	R/W-1
RBPU	INTEDG	TOCS	TOSE	PSA	PS2	PS1	PS0
bit7							bit0

R= リード可能ビット  
 W= ライト可能ビット  
 U= 使用しないビット  
 「0」としてリードされる  
 - n= POR リセットによる値

bit 7: **RBPU:** PORTB プルアップイネーブルビット  
 1 = PORTB プルアップを使用しない  
 0 = PORTB プルアップ (入力ピンのみ)

bit 6: **INTEDG:** 割り込みエッジ選択ビット  
 1 = RB0/INT ピンの立ち上がりエッジにより割り込み  
 0 = RB0/INT ピンの立ち下がりエッジにより割り込み

bit 5: **TOCS:** TMRO クロックソース選択ビット  
 1 = RA4/TOCKI ピンの入力  
 0 = 内部命令サイクルクロック (CLKOUT)

bit 4: **TOSE:** TMRO ソースエッジ選択ビット  
 1 = RA4/TOCKI ピンの入力が High から Low でインクリメント  
 0 = RA4/TOCKI ピンの入力が Low から High でインクリメント

bit 3: **PSA:** プリスケアラ割り当てビット  
 1 = プリスケアラは WDT に割り当て  
 0 = プリスケアラはタイマ 0 モジュールに割り当て

bit 2-0: **PS2:PS0:** プリスケアラレート選択ビット

ビット値	TMRO レート	WDT レート
000	1:2	1:1
001	1:4	1:2
010	1:8	1:4
011	1:16	1:8
100	1:32	1:16
101	1:64	1:32
110	1:128	1:64
111	1:256	1:128

## 2.2.2.3 INTCON レジスタ

INTCON レジスタは TMRO レジスタオーバーフロー、RB ポート変化、および外部 RBO/INT ピン割り込みの各種イネーブルおよびフラグビットが割り当てられているリード/ライト可能なレジスタです。

**注意：** 割り込みフラグビットは、割り込み条件が発生した場合、対応するイネーブルビットまたはグローバル割り込みイネーブルビット GIE(INTCON<7>) に関係なくセットされます。割り込みをイネーブルする前には、必要に応じて、ソフトウェアでフラグビットをクリアしてください。

**図 2-7: INTCON レジスタ (アドレス 0Bh、8Bh、10Bh、18Bh)**

	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-x	
	GIE	PEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF	
	bit7							bit0	
	<div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;">                     R= リード可能ビット                      W= ライト可能ビット                      U= 使用しないビット、「0」として                      リードされる                      - n= POR リセットによる値                 </div>								
bit 7:	<b>GIE:</b> グローバル割り込みイネーブルビット 1 = すべてのマスクされていない割り込みを使用可能にする 0 = すべての割り込みを使用不可にする								
bit 6:	<b>PEIE:</b> 周辺割り込みイネーブルビット 1 = すべてのマスクされていない周辺機能の割り込みを使用可能にする 0 = すべての周辺機能の割り込みを使用不可にする								
bit 5:	<b>TOIE:</b> TMRO オーバーフロー割り込みイネーブルビット 1 = TMRO 割り込み発生を使用可能にする 0 = TMRO 割り込み発生を使用不可にする								
bit 4:	<b>INTE:</b> RBO/INT 外部割り込みイネーブルビット 1 = RBO/INT 外部割り込みを使用可能にする 0 = RBO/INT 外部割り込みを使用不可にする								
bit 3:	<b>RBIE:</b> RB ポート変化割り込みイネーブルビット 1 = RB ポート変化割り込みを使用可能にする 0 = RB ポート変化割り込みを使用不可にする								
bit 2:	<b>TOIF:</b> TMRO オーバーフロー割り込みフラグビット 1 = TMRO レジスタがオーバーフローした (ソフトウェアでクリア要) 0 = TMRO レジスタがオーバーフローしていない								
bit 1:	<b>INTF:</b> RBO/INT 外部割り込みフラグビット 1 = RBO/INT 外部割り込みが発生した (ソフトウェアでクリア要) 0 = RBO/INT 外部割り込みが発生していない								
bit 0:	<b>RBIF:</b> RB ポート変化割り込みフラグビット 1 = RB7:RB4 ピンの状態が 1 ピン以上変化した (ソフトウェアでクリア要) 0 = RB7:RB4 ピンは状態変化していない								

# PIC16F87X

## 2.2.2.4 PIE1 レジスタ

このレジスタは周辺機能の割り込みのイネーブルビットが割り当てられています。

**注意：** 周辺機能の割り込みを使用可能にするためには、PEIE ビット (INTCON<6>) をセットしてください。

図 2-8: PIE1 レジスタ (アドレス 8Ch)

	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	
	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	
bit7							TMR1IE	bit0

R= リード可能ビット  
 W= ライト可能ビット  
 U= 使用しないビット、「0」としてリードされる  
 - n= POR リセットによる値

bit 7: **PSPIE<sup>(1)</sup>**: パラレルスレーブポートリード/ライト割り込みイネーブルビット  
 1 = PSP リード/ライト割り込みを使用可能にする  
 0 = PSP リード/ライト割り込みを発生不可にする

bit 6: **ADIE**: AD 変換器割り込みイネーブルビット  
 1 = AD コンバータ割り込みを使用可能にする  
 0 = AD コンバータ割り込みを発生不可にする

bit 5: **RCIE**: USART 受信割り込みイネーブルビット  
 1 = USART 受信割り込みを使用可能にする  
 0 = USART 受信割り込みを発生不可にする

bit 4: **TXIE**: USART 送信割り込みイネーブルビット  
 1 = USART 送信割り込みを使用可能にする  
 0 = USART 送信割り込みを発生不可にする

bit 3: **SSPIE**: 同期シリアルポート割り込みイネーブルビット  
 1 = SSP 割り込みを使用可能にする  
 0 = SSP 割り込みを発生不可にする

bit 2: **CCP1IE**: CCP1 割り込みイネーブルビット  
 1 = CCP1 割り込みを使用可能にする  
 0 = CCP1 割り込みを発生不可にする

bit 1: **TMR2IE**: TMR2 - PR2 一致割り込みイネーブルビット  
 1 = TMR2 - PR2 一致割り込みを使用可能にする  
 0 = TMR2 - PR2 一致割り込みを発生不可にする

bit 0: **TMR1IE**: TMR1 オーバーフロー割り込みイネーブルビット  
 1 = TMR1 オーバーフロー割り込みを使用可能にする  
 0 = TMR1 オーバーフロー割り込みを発生不可にする

注意 1: 28 ピンデバイスでは PSPIE ビットは 0 にしておいてください。

## 2.2.2.5 PIR1 レジスタ

このレジスタは周辺機能の割り込みのフラグビットが割り当てられています。

**注意：** 割り込みフラグビットは割り込み条件が発生した場合、対応するイネーブルビットまたはグローバル割り込みイネーブルビット GIE( INTCON<7>) の状態に関係なくセットされます。

図 2-9: PIR1 レジスタ ( アドレス 0Ch)

R/W-0	R/W-0	R-0	R-0	R/W-0	R/W-0	R/W-0	R/W-0
PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF
bit7						bit0	
<p>R= リード可能ビット W= ライト可能ビット - n= POR リセットによる値</p>							
bit 7:	<p><b>PSPIF<sup>(1)</sup>:</b> パラレルスレーブポートリード/ライト割り込みフラグビット 1 = リードまたはライトが行われた (ソフトウェアでクリア要) 0 = リードまたはライトは行われていない</p>						
bit 6:	<p><b>ADIF:</b> AD コンバータ割り込みフラグビット 1 = AD 変換が完了した 0 = AD 変換が完了していない</p>						
bit 5:	<p><b>RCIF:</b> USART 受信割り込みフラグビット 1 = USART 受信バッファがフル 0 = USART 受信バッファが空</p>						
bit 4:	<p><b>TXIF:</b> USART 送信割り込みフラグビット 1 = USART 送信バッファが空 0 = USART 送信バッファがフル</p>						
bit 7:	<p><b>SSPIF:</b> 同期シリアルポート (SSP) 割り込みフラグ 1 = SSP 割り込みコンディションが発生した。割り込み処理ルーチンに戻る前にソフトウェアでクリア要。このビットをセットする条件は以下の通り。 <u>SPI</u> 送信 / 受信が行われた <u>I<sup>2</sup>C スレーブ</u> 送信 / 受信が行われた <u>I<sup>2</sup>C マスター</u> 送信 / 受信が開始された スタート・コンディションが完了した ストップ・コンディションが完了した リスタート・コンディションが完了した アクノリッジが完了した アイドル中にスタート・コンディション発生した (マルチマスターシステム) アイドル中にストップコンディションが発生した (マルチマスターシステム) 0 = SSP 割り込みコンディションが発生していない</p>						
bit 2:	<p><b>CCP1IF:</b> CCP1 割り込みフラグビット <u>キャプチャモード</u> 1 = TMR1 レジスタのキャプチャが発生した (ソフトウェアでクリア要) 0 = TMR1 レジスタのキャプチャが発生していない <u>コンペアモード</u> 1 = TMR1 レジスタのコンペア一致が発生した (ソフトウェアでクリア要) 0 = TMR1 レジスタのコンペア一致が発生していない <u>PWM モード</u> このモードでは使用しない</p>						
bit 1:	<p><b>TMR2IF:</b> TMR2 - PR2 一致割り込みフラグビット 1 = TMR2 - PR2 一致割り込みが発生した (ソフトウェアでクリア要) 0 = TMR2 - PR2 一致割り込みが発生していない</p>						
bit 0:	<p><b>TMR1IF:</b> TMR1 オーバーフロー割り込みフラグビット 1 = TMR1 レジスタがオーバーフローした (ソフトウェアでクリア要) 0 = TMR1 レジスタがオーバーフローしていない</p>						
<p>注意 1: 28 ピンデバイスでは PSPIF ビットは 0 にしておいてください。</p>							

# PIC16F87X

## 2.2.2.6 PIE2 レジスタ

本レジスタは CCP2 周辺機能の割り込み、SSP バス衝突割り込みおよび EEPROM ライト割り込みのイネーブルビットが割り当てられています。

図 2-10: PIE2 レジスタ (アドレス 8Dh)

U-0	R/W-0	U-0	R/W-0	R/W-0	U-0	U-0	R/W-0	
—	(1)	—	EEIE	BCLIE	—	—	CCP2IE	
bit7								bit0

R= リード可能ビット  
W= ライト可能ビット  
U= 使用しないビット、「0」として  
リードされる  
- n= POR リセットによる値

bit 7: なし: 0 とリードされる  
bit 6: 将来使用: このビットは 0 にしておいてください。  
bit 5: なし: 0 とリードされる  
bit 4: EEIE: EEPROM ライト割り込みイネーブル  
1 = EE ライト割り込みを使用可能にする  
0 = EE ライト割り込みを使用不可にする  
bit 3: BCLIE: バス衝突割り込みイネーブル  
1 = バス衝突割り込みを使用可能にする  
0 = バス衝突割り込みを使用不可にする  
bit 2-1: なし: 0 とリードされる  
bit 0: CCP2IE: CCP2 割り込みイネーブルビット  
1 = CCP2 割り込み発生を使用可能にする  
0 = CCP2 割り込み発生を使用不可にする

注意 1: PIE2<6> は将来使用されます。このビットは 0 にしておいてください。

## 2.2.2.7 PIR2 レジスタ

このレジスタは CCP2 割り込み、SSP バス衝突割り込み、EEPROM ライト割り込みのフラグビットを含みます。

**注意：** 割り込みフラグビットは、割り込み条件が発生した場合、対応するイネーブルビットまたはグローバル割り込みイネーブルビット GIE (INTCON<7>) に関係なくセットされます。割り込みをイネーブルにする前に、必要に応じて、ソフトウェアでフラグビットをクリアします。

図 2-11: PIR2 レジスタ (アドレス 0Dh)

U-0	R/W-0	U-0	R/W-0	R/W-0	U-0	U-0	R/W-0
—	(1)	—	EEIF	BCLIF	—	—	CCP2IF
bit7							bit0

R= リード可能ビット  
W= ライト可能ビット  
U= 使用しないビット、「0」としてリードされる  
- n= POR リセットによる値

bit 7: **なし**: 「0」とリードされる

bit 6: **予約**: 常にこのビットを 0 にする

bit 5: **なし**: 「0」としてリードされる

bit 4: **EEIF**: EEPROM ライト割り込みフラグビット  
1 = ライト動作が終了した (ソフトウェアでクリア要)  
0 = ライト動作が終了していない、または始まっていない

bit 3: **BCLIF**: バス衝突割り込みフラグ  
1 = I2C マスターモードのとき、バス衝突が発生した  
0 = バス衝突が発生していない

bit 2-1: **なし**: 「0」とリードされる

bit 0: **CCP2IF**: CCP2 割り込みフラグビット  
キャプチャモード  
1 = TMR1 レジスタのキャプチャが発生した (ソフトウェアでクリア要)  
0 = TMR1 レジスタのキャプチャが発生していない  
コンペアモード  
1 = TMR1 レジスタのコンペアマッチが発生した (ソフトウェアでクリア要)  
0 = TMR1 レジスタのコンペアマッチが発生していない  
PWM モード  
使用しない

注意 1: PIR2<6> ビットは 0 にしておいてください。

# PIC16F87X

## 2.2.2.8 PCON レジスタ

パワーコントロール (PCON) レジスタは、パワーオンリセット (POR) を外部 MCLR リセットまたは WDT リセットと区別するフラグビットが割り当てられています。ブラウンアウト検出回路のあるデバイスには、さらに、ブラウンアウトリセットとパワーオンリセットを区別

**注意：** コンフィグレーションワードのBODENビットが0のときは、BOR はパワーオンリセット時に不定になります。BODEN が0のときは BOR ステータスビットは無効です。

図 2-12: PCON レジスタ (アドレス 8Eh)

U-0	U-0	U-0	U-0	U-0	U-0	R/W-0	R/W-1
—	—	—	—	—	—	POR	BOR
bit7						bit0	

R= リード可能ビット  
 W= ライト可能ビット  
 U= 使用しないビット、「0」として  
 リードされる  
 - n= POR リセットによる値

bit 7-2: **なし**: 0 とリードされる

bit 1: **POR**: パワーオンリセットステータスビット  
 1 = パワーオンリセットが発生しなかった  
 0 = パワーオンリセットが発生した (パワーオンリセットの発生後ソフトウェアでクリア要)

bit 0: **BOR**: ブラウンアウトリセットステータスビット  
 1 = ブラウンアウトリセットが発生しなかった  
 0 = ブラウンアウトリセットが発生した (ブラウンアウトリセットの発生後ソフトウェアでクリア要)

## 2.3 PCL および PCLATH

プログラムカウンタ (PC) はフェッチする命令のアドレスを指します。PC は 13 ビット幅です。下位バイトは PCL レジスタで、リード/ライトが可能です。上位バイトは PCH レジスタと呼ばれ、PC<12:8> ビットです。このバイトは直接リード/ライトを行うことができます。PCH レジスタへのライトは PCLATH レジスタを使用して行います。

### 2.3.1 スタック

スタックにより 8 回までのプログラムコールと割り込みを発生させることができます。スタックはプログラム実行分岐ののリターンアドレスが入ります。

ミッド・レンジのデバイスには 8 レベル× 13 ビット幅のハードウェアスタックを持っています。スタック領域はプログラム領域やデータ領域の一部ではありません。スタックポインタはリードもライトもできません。CALL 命令が実行されたときや割り込みが発生したとき、PC がスタックに「プッシュ」されます。スタックは RETURN、RETLW または RETFIE 命令の実行により「ポップ」されます。PCLATH はプッシュまたはポップの影響を受けません。

スタックが 8 回プッシュされると、9 回目のプッシュでは 1 回目のプッシュで格納された値が上書きされます。10 回目のプッシュでは 2 回目のプッシュが上書きされます (以下同様に続きます)。

## 2.4 プログラムメモリページング

PIC16F87X デバイスは連続した 8K ワードブロックのプログラムメモリをアドレス指定できます。CALL および GOTO 命令には 11 ビットのアドレス指定ができます。この 11 ビットのアドレス範囲によって、2K のプログラムメモリのページサイズ内での分岐ができます。CALL または GOTO 命令を実行するときは、上位 2 ビットのアドレスは PCLATH<4:3> からプログラムカウンタへロードされます。CALL または GOTO 命令の前に、ページ選択ビットを設定して、分岐先のページをアドレス指定するようにします。CALL 命令 (または割り込み) が実行されたとき、13 ビットのプログラムカウンタがスタックにプッシュします。したがって、リターン命令 (スタックからアドレスをポップする) ときは、PCLATH<4:3> ビットの操作は不要です。

## 2.5 間接アドレス指定: INDF と FSR レジスタ

INDF は物理的には存在しないレジスタです。INDF へのアクセスは、実際には FSR レジスタ (FSR はポインタ) の値のアドレスのレジスタをアクセスします。これが間接アドレス指定です。

### 例 2-1: 間接アドレス指定

- レジスタ番地 05 には値 10h が入っています
- レジスタ番地 06 には値 0Ah が入っています
- 値 05 を FSR レジスタにロードします
- INDF をリードすると 10h がリードされます
- FSR レジスタの値をインクリメントします (FSR=06)
- INDF をリードすると 0Ah がリードされます

INDF 自体を間接的にリードすると (FSR=0)、00h がリードされます。INDF レジスタへ間接的に書き込むと、ノーオペレーションになります。(ただし、STATUS ビットは影響を受けることがあります。)

間接アドレッシングを使用して RAM 番地 20h-2Fh を初期化する簡単なプログラムを例 2-2 に示します。

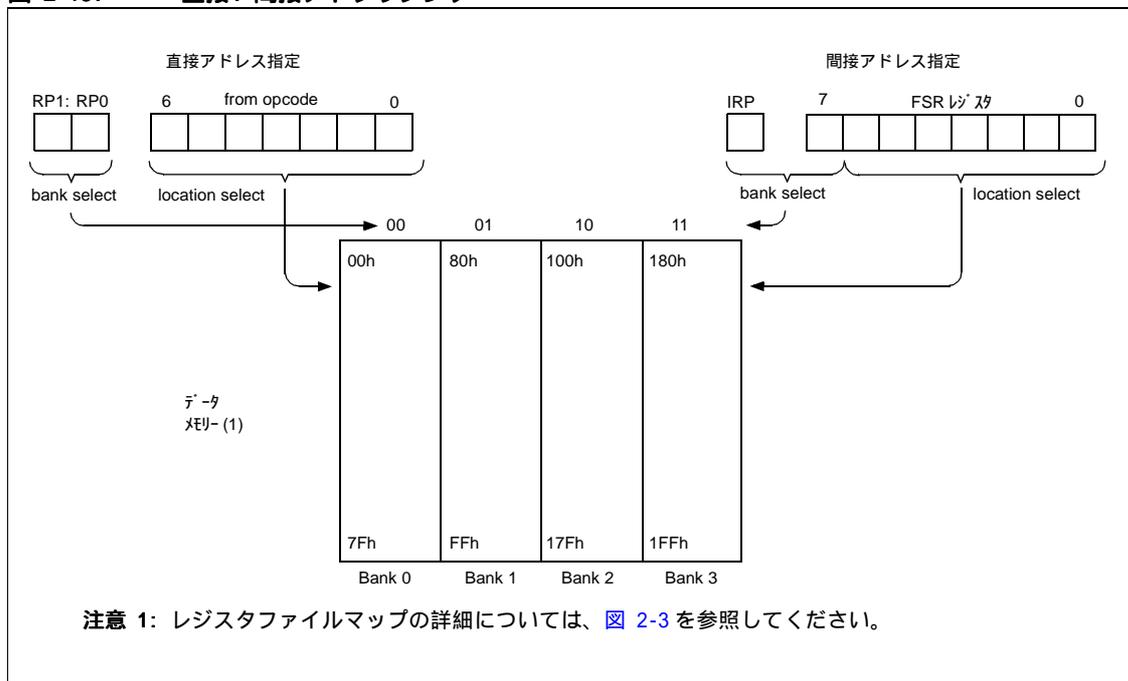
# PIC16F87X

## 例 2-2: 間接アドレス指定を使用した RAM の初期化

```
        movlw 0x20 ;initialize pointer
        movwf FSR ; to RAM
NEXT    clrfs INDF ;clear INDF register
        incf  FSR ;inc pointer
        btfss FSR,4 ;all done?
        goto  NEXT ;NO, clear next
CONTINUE
        : ;YES, continue
```

有効な 9 ビットアドレスは、図 2-13 に示すように、8 ビットの FSR レジスタと IRP ビット (STATUS<7>) が連結されています。

図 2-13: 直接/間接アドレッシング



## 3.0 I/Oポート

I/Oポートのピンの一部は、デバイスの別の周辺機能と併用しています。通常、周辺機能が動作しているときは、汎用 I/O ピンとして使用することはできません。

I/Oポートについての更に詳しい説明は、PICmicro™ ミッド・レンジリファレンスマニュアル (DS33023) をご参照ください。

### 3.1 PORTA と TRISA レジスタ

PORTA は 6 ビット幅の双方向ポートです。対応するデータ方向レジスタは TRISA です。TRISA ビットがセット (=1) されると、そのビットに対応する PORTA ピンが入力になり、出力ドライバがハイインピーダンスになります。TRISA ビットがクリア (=0) されると、そのビットに対応する PORTA ピンが出力となり、出力ラッチの値がピンに出力されます。

PORTA レジスタをリードするとピンの電圧レベルがリードされ、PORTA レジスタへのライトはポートラッチへのライトになります。ポートに対するリード・モディファイ・ライトは、最初にポートピンがリードされ、次にこの値が変更され、ポートデータラッチにライトされることを意味します。

RA4 ピンはタイマー 0 モジュールクロック入力と併用しているので、RA4/T0CK1 ピンです。RA4/T0CK1 ピンはシュミットトリガ入力で、オープンドレイン出力です。他の RA ポートピンは TTL レベル入力で、CMOS 出力です。

他の PORTA ピンはアナログ入力やアナログ  $V_{REF}$  入力と併用しています。各ピンの機能選択をするには、ADCON1 レジスタ (A/D コントロールレジスタ 1) にコントロールビットをセットまたはクリアします。

**注意：** パワー・オン・リセット時は、これらのピンはアナログ入力に設定されますので、0 とリードされます。

TRISA レジスタは、RA ピンがアナログ入力として使用中のときでも RA ピンの方向を制御します。アナログ入力を使用する際は、必ず TRISA レジスタのビットがセットされたままであることを確認してください。

#### 例 3-1: PORTA の初期化

```
BCF STATUS, RP0 ;
CLR PORTA      ;出力データラッチを
               ;クリアして
               ;PORTA を初期化する
BSF STATUS, RP0 ;Bank 1 を選択する
MOVLW 0xCF     ;データ方向の
               ;初期化に
               ;使用する値
MOVWF TRISA    ;RA<3:0> を入力、
               ;RA<5:4> を出力として設定
               ;TRISA<7:6> は常に
               ;0 としてリードされる
```

図 3-1: RA3:RA0 および RA5 ピンのブロック図

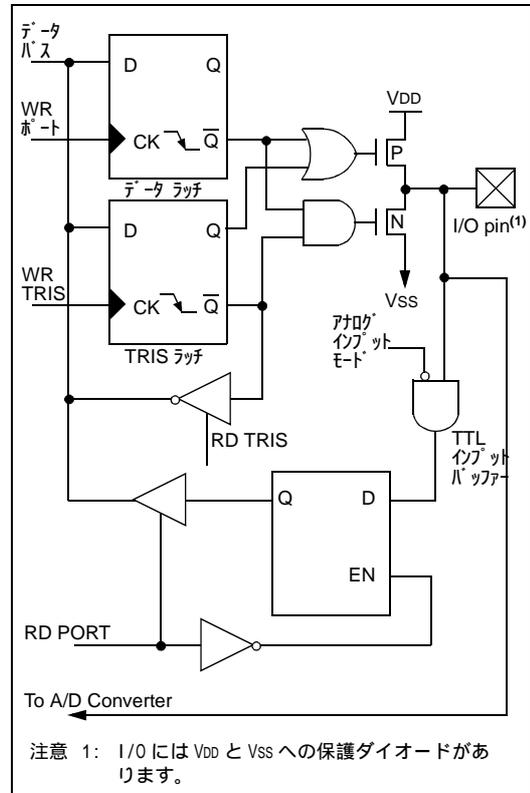
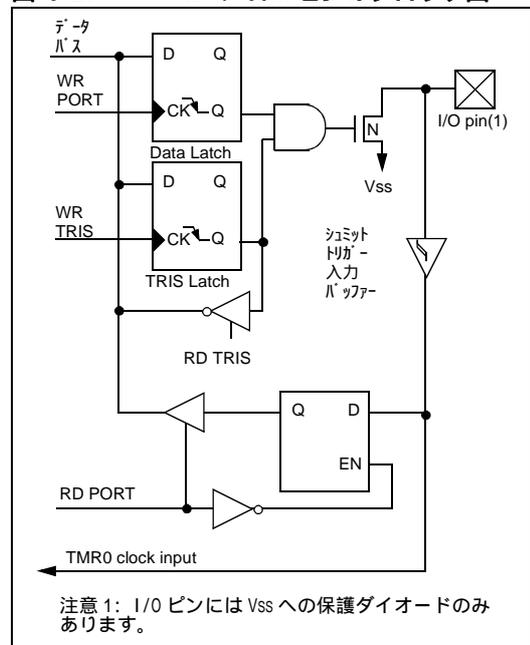


図 3-2: RA4/T0CK1 ピンのブロック図



# PIC16F87X

表 3-1 PORTA の機能

Name	Bit#	Buffer	機能
RA0/AN0	bit0	TTL	入出力またはアナログ入力
RA1/AN1	bit1	TTL	入出力またはアナログ入力
RA2/AN2	bit2	TTL	入出力またはアナログ入力
RA3/AN3/VREF	bit3	TTL	入出力またはアナログ入力または VREF
RA4/T0CKI	bit4	ST	入出力または Timer0 用外部クロック入力 出力はオープンドレイン
RA5/SS/AN4	bit5	TTL	入出力または同期シリアルポート用スレーブセレクト入力またはアナログ入力

凡例： TTL = TTL 入力、ST = シュミットトリガ入力

表 3-2 PORTA に関連するレジスタの概要

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on: POR, BOR	Value on all other resets
05h	PORTA	—	—	RA5	RA4	RA3	RA2	RA1	RA0	--0x 0000	--0u 0000
85h	TRISA	—	—	PORTA Data Direction Register						--11 1111	--11 1111
9Fh	ADCON1	ADFM	—	—	—	PCFG3	PCFG2	PCFG1	PCFG0	--0- 0000	--0- 0000

凡例： x = 不定、u = 不変、- = なし、'0' とリードされる。網掛部分は PORTA では使用しません。

## 3.2 PORTB と TRISB レジスタ

PORTB は 8 ビット幅の双方向ポートです。対応するデータ方向レジスタは TRISB です。TRISB ビットをセット (=1) すると、PORTB ピンが入力になり、そのビットに対応する出力ドライバーがハイインピーダンスモードになります。TRISB ビットをクリア (=0) すると、PORTB ピンが出力になり、選択されたピンに対し、出力ラッチの内容を出力します。

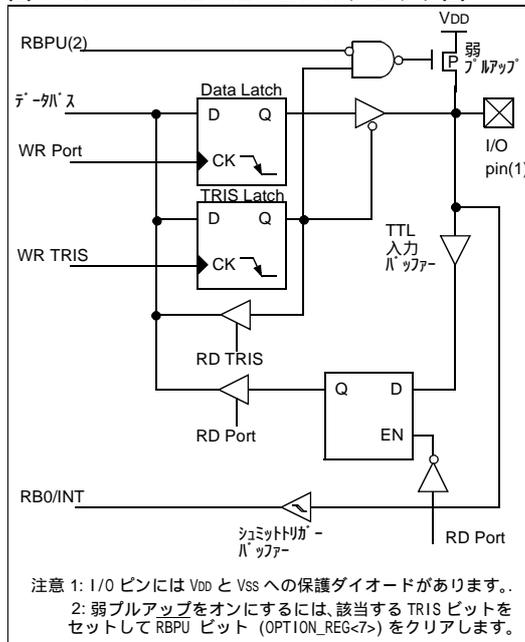
PORTB の 3 つのピンは、低電圧プログラミング機能、RB3/PGM、RB6/PGC、RB7/PGD と併用しています。この 3 つのピンの別の機能については、特殊機能の章で説明します。

### 例 3-1: PORTB の初期化

```
BCF STATUS, RP0 ;
CLR PORTB      ;出力データラッチを
               ;クリアして
               ;PORTB を初期化する
BSF STATUS, RP0 ; Bank 1 を選択する
MOVLW 0xCF     ;データ方向の
               ;初期化に
               ;使用する値
MOVWF TRISB    ;RB<3:0> を入力、
               ;RB<5:4> を出力、RB<7:6> を
               ;入力として設定する
```

PORTB の各ピンには内部で弱プルアップの設定を行うことができます。1ビットのコントロールビットによって、すべてのプルアップをオンにすることができます。これは、RBPU (OPTION\_REG<7>) ビットをクリアすると実行できます。ポートピンが出力に設定されている時は、弱プルアップが自動的にオフになります。プルアップはパワーオンリセットによりオフになります。

図 3-3: RB3:RB0 ピンのブロック図



PORTB の 4 ポート、RB7 から RB4 は変化による割り込み機能を持っています。入力として設定されているピンのみが、割り込みの対象となります。(すなわち、出力設定の RB7:RB4 はピン変化割り込みの比較対象ではありません。) 入力ピン (RB7:RB4) の値は、PORTB が最後にリードされたときの値と比較されます。RB7:RB4 の「ミスマッチ」出力は OR され、RB ポート変化割り込みがフラグビット RBIF (INTCON<0>) とともに生成されます。

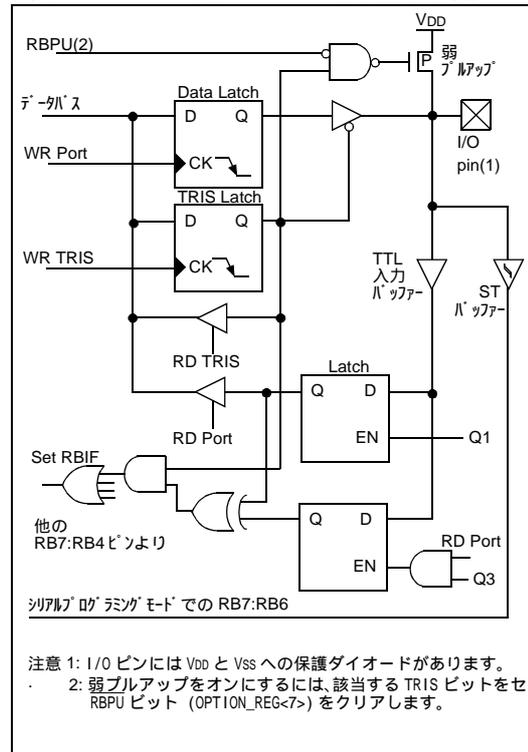
この割り込みによってデバイスをスリープから起動することができます。割り込みルーチンでは以下の方法で割り込みをクリアします。

- PORTB をリード (またはライト) する。これによってミスマッチでない状態になります。
- フラグビット RBIF をクリアします。

ミスマッチ状態はフラグビット RBIF をセットし続けます。PORTB のリードによってミスマッチでない状態になり、フラグビット RBIF をクリアできるようになります。

この変化による割り込みは、キーを押した時のスリープからの起動に使用することを推奨します。その時、PORTB はピン変化による割り込みのみを使用することを推奨します。ピン変化による割り込みを使用している間は、PORTB のポーリングは推奨できません。

図 3-4: ピン RB7:RB4 のブロック図



# PIC16F87X

表 3-3 PORTB の機能

Name	Bit#	Buffer	機能
RB0/INT	bit0	TTL/ST <sup>(1)</sup>	入出力ピンまたは外部割込み入力。内部弱プルアップ。
RB1	bit1	TTL	入出力ピン。内部弱プルアップ。
RB2	bit2	TTL	入出力ピン。内部弱プルアップ。
RB3/PGM	bit3	TTL	入出力ピンまたは LVP モードではプログラミングピン。内部弱プルアップ。
RB4	bit4	TTL	入出力ピン (ピン変化による割込みあり)。内部弱プルアップ。
RB5	bit5	TTL	入出力ピン (ピン変化による割込みあり)。内部弱プルアップ。
RB6/PGC	bit6	TTL/ST <sup>(2)</sup>	入出力ピン (ピン変化による割込みあり) またはイン・サーキット・デバッグピン。内部弱プルアップ。シリアルプログラミングクロック。
RB7/PGD	bit7	TTL/ST <sup>(2)</sup>	入出力ピン (ピン変化による割込みあり) またはイン・サーキット・デバッグピン。内部弱プルアップ。シリアルプログラミングデータ

凡例: TTL = TTL 入力、ST = シュミットトリガ入力

注意 1: 外部割り込み設定のとき、シュミットトリガ入力になります。

2: シリアルプログラミングモードのとき、シュミットトリガ入力になります。

表 3-4 PORTB に関連するレジスタの概要

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR、BOR での値	他の全てのリセットでの値
06h, 106h	PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	xxxx xxxx	uuuu uuuu
86h, 186h	TRISB	PORTB Data Direction Register								1111 1111	1111 1111
81h, 181h	OPTION_REG	RBPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111

凡例: x = 不定、u = 不変。網掛部分は PORTB では使用しません。

### 3.3 PORTC と TRISC レジスタ

PORTC は 8 ビット幅の双方向ポートです。対応するデータ方向レジスタは TRISC です。TRISC ビットがセット (=1) されると、このビットに対応する PORTC ピンが入力になり、対応する出力ドライバーがハイインピーダンスモードになります。TRISC ビットをクリア (=0) すると、対応する PORTC ピンが出力になり、出力ラッチの値がピンに出力されます。

PORTC は周辺機能と併用されています(表 3-5)。PORTC ピンはシュミットトリガ入力です。

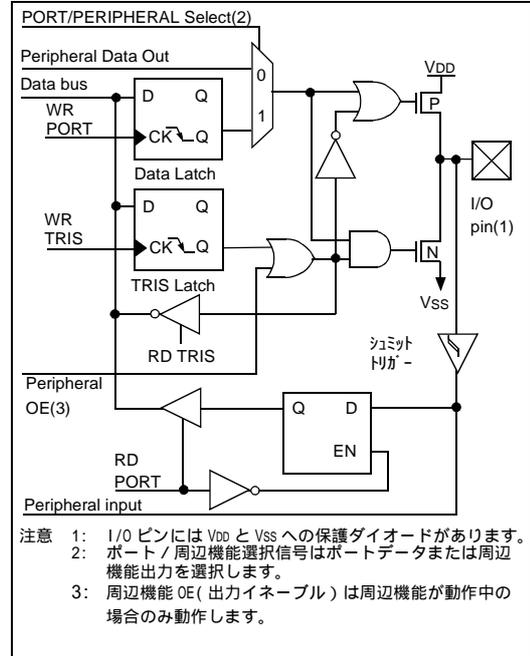
I<sup>2</sup>C モードのとき、CKE ビット (SSPSTAT <6>) で PORTC(3:4) ピンを I<sup>2</sup>C レベルと SMBUS レベルから選択できます。

周辺機能が動作している場合、PORTC の TRIS ビットを設定するには注意が必要です。周辺機能の中には TRIS ビットをオーバーライドしてピンを出力にするものもあります。また、TRIS ビットをオーバーライドしてピンを入力にするものもあります。周辺機能の動作中は TRIS ビットのオーバーライドが有効なので、結果が TRISC に格納されるリード・モディファイ・ライト命令 (BSF、BCF、XORWF) は避けるようにしてください。正しい TRIS ビットの設定は、対応する周辺機能の章を参照してください。

#### 例 3-1: PORTC の初期化

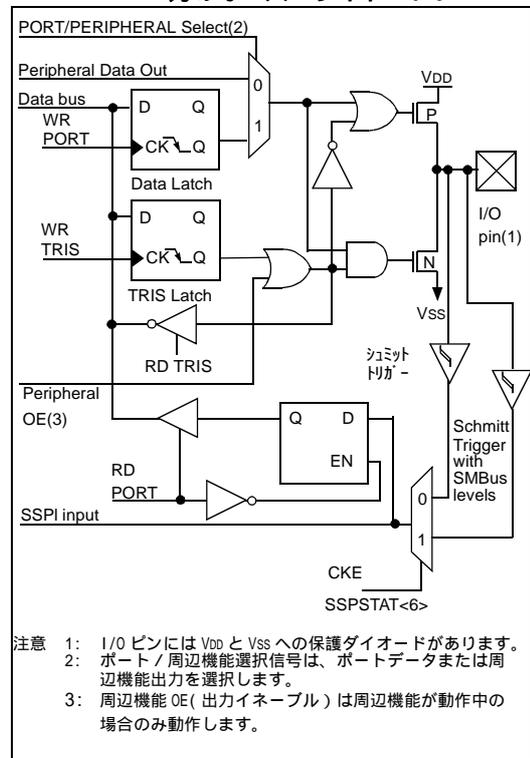
```
BCF STATUS, RP0 ; Bank 0 を選択する
CLR PORTC      ; 出力データラッチを
                ; クリアして PORTC を
                ; 初期化する
BSF STATUS, RP0 ; Bank 1 を選択する
MOVLW 0xCF     ; データ方向の
                ; 初期化に使用する
                ; 値
MOVWF TRISC    ; RC<3:0> を入力として、
                ; RC<5:4> を出力として、
                ; RC<7:6> を入力として設定。
```

図 3-5: PORTC のブロック図 (周辺機能出力のオーバーライド) RC<0:2> RC<5:7>



- 注意 1: I/O ピンには VDD と VSS への保護ダイオードがあります。
- 2: ポート / 周辺機能選択信号はポートデータまたは周辺機能出力を選択します。
- 3: 周辺機能 OE (出力イネーブル) は周辺機能が動作中の場合のみ動作します。

図 3-6: PORTC のブロック図 (周辺機能出力のオーバーライド RC<3:4>)



- 注意 1: I/O ピンには VDD と VSS への保護ダイオードがあります。
- 2: ポート / 周辺機能選択信号は、ポートデータまたは周辺機能出力を選択します。
- 3: 周辺機能 OE (出力イネーブル) は周辺機能が動作中の場合のみ動作します。

# PIC16F87X

表 3-5 PORTC の機能

Name	Bit#	Buffer Type	機能
RC0/T1OSO/T1CKI	bit0	ST	入出力ポートピンまたはタイマー 1 オシレータ出力 / タイマー 1 クロック入力
RC1/T1OSI/CCP2	bit1	ST	入出力ポートピンまたはタイマー 1 オシレータ入力またはキャプチャ 2 入力 / コンペア 2 出力 / PWM2 出力
RC2/CCP1	bit2	ST	入出力ポートピンまたはキャプチャ 1 入力 / コンペア 1 出力 / PWM1 出力
RC3/SCK/SCL	bit3	ST	RC3 は SPI モードと I <sup>2</sup> C モードで同期シリアルクロックとして選択可能。
RC4/SDI/SDA	bit4	ST	RC4 は SPI データ・イン (SPI モード) または、データ I/O (I <sup>2</sup> C) として選択可能。
RC5/SDO	bit5	ST	入出力ポートピンまたは同期シリアルポートデータ出力
RC6/TX/CK	bit6	ST	入出力ポートピンまたは USART 非同期送信または同期クロック
RC7/RX/DT	bit7	ST	入出力ポートピンまたは USART 非同期受信または同期データ

凡例： ST = シュミットトリガ入力

表 3-6 PORTC に関連するレジスタの概要

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR、BOR での値	他の全ての リセットで の値
07h	PORTC	RC7	RC6	RC5	RC4	RC3	RC2	RC1	RC0	xxxx xxxx	uuuu uuuu
87h	TRISC	PORTC Data Direction Register								1111 1111	1111 1111

凡例： x = 不定、u = 不変

# PIC16F87X

## 3.4 PORTD と TRISD レジスタ

本章は 28 ピンデバイスには適用されません。

PORTDはシュミットトリガ入力バッファの付いた8ビットポートです。各ピンは入力または出力として設定可能です。

PORTD は PSPMODE(TRISE<4>) ビットを 1 にすると、8 ビット幅のマイクロプロセッサポート (パラレルスレーブポート) になります。このモードでは入力バッファは TTL になります。

図 3-7: PORTD のブロック図 (I/O ポートモード時)

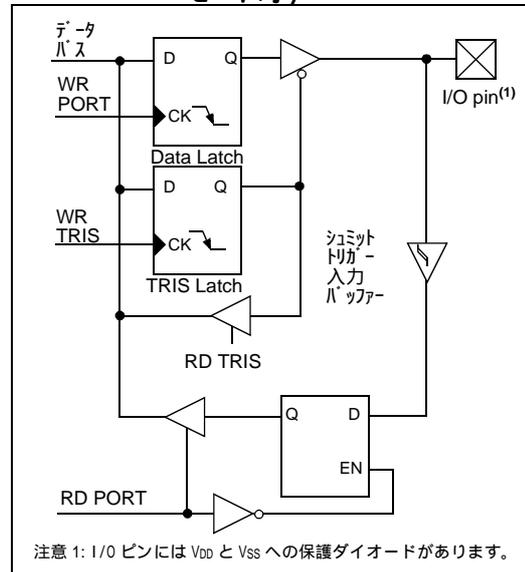


表 3-7 PORTD の機能

Name	Bit#	Buffer Type	機能
RD0/PSP0	bit0	ST/TTL <sup>(1)</sup>	入出力ポートピンまたはパラレルスレーブポートビット 0
RD1/PSP1	bit1	ST/TTL <sup>(1)</sup>	入出力ポートピンまたはパラレルスレーブポートビット 1
RD2/PSP2	bit2	ST/TTL <sup>(1)</sup>	入出力ポートピンまたはパラレルスレーブポートビット 2
RD3/PSP3	bit3	ST/TTL <sup>(1)</sup>	入出力ポートピンまたはパラレルスレーブポートビット 3
RD4/PSP4	bit4	ST/TTL <sup>(1)</sup>	入出力ポートピンまたはパラレルスレーブポートビット 4
RD5/PSP5	bit5	ST/TTL <sup>(1)</sup>	入出力ポートピンまたはパラレルスレーブポートビット 5
RD6/PSP6	bit6	ST/TTL <sup>(1)</sup>	入出力ポートピンまたはパラレルスレーブポートビット 6
RD7/PSP7	bit7	ST/TTL <sup>(1)</sup>	入出力ポートピンまたはパラレルスレーブポートビット 7

凡例: ST = シュミットトリガ入力 TTL = TTL 入力

注意 1: 入力バッファは I/O モード時はシュミットトリガで、パラレルスレーブポートモード時は TTL バッファになります。

表 3-8 PORTD に関連するレジスタの概要

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR、BOR での値	他の全ての リセットでの 値
08h	PORTD	RD7	RD6	RD5	RD4	RD3	RD2	RD1	RD0	xxxx xxxx	uuuu uuuu
88h	TRISD	PORTD Data Direction Register								1111 1111	1111 1111
89h	TRISE	IBF	OBF	IBOV	PSPMODE	—	PORTE Data Direction Bits			0000 -111	0000 -111

凡例: x = 不定、u = 不変、- = なし、0 とリードされる。網掛け部分は PORTD では使用しません。

# PIC16F87X

## 3.5 PORTE と TRISE レジスタ

本章は 28 ピンデバイスには適用されません。

PORTE には 3 つのピン、RE0/RD/AN5、RE1/WR/AN6、RE2/CS/AN7 があり、入力または出力に設定可能です。この 3 つのピンはシュミットトリガ入力です。

I/O PORTE はビット PSPMODE(TRISE<4>) がセットされているときはマイクロプロセッサポート用のコントロール入力になります。このモードでは、必ず TRISE<2:0> ビットがセットされている (ピンがデジタル入力として構成されている) ことを確実にしてください。また、ADCON1 がデジタル I/O 用に構成されていることも確認してください。このモードでは入力バッファは TTL になります。

図 3-9 に TRISE レジスタを示します。このレジスタはパラレルスレーブポートも制御します。

PORTE ピンはアナログ入力と併用されています。アナログ入力として選択されたとき、これらのピンは 0 とリードされます。

TRISE はアナログ入力として使用されているときも RE ピンの方向を制御します。TRISE をアナログ入力として使用するには、必ずピンが入力として構成されていることを確認してください。

注意： パワー・オン・リセット時はこれらのピンはアナログ入力として構成されます。

図 3-8: PORTE のブロック図 (I/O ポートモード時)

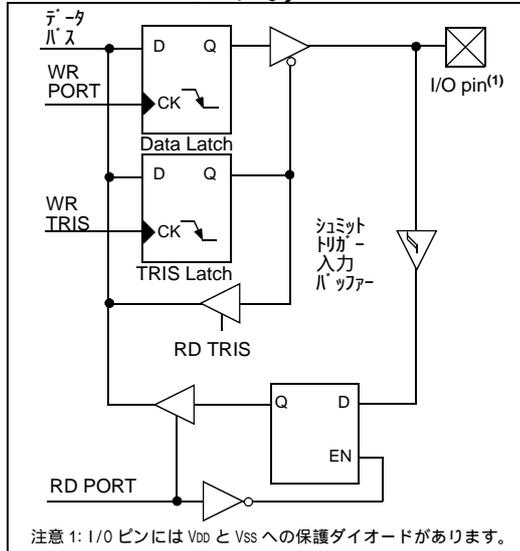


図 3-9: TRISE レジスタ (アドレス 89h)

R-0	R-0	R/W-0	R/W-0	U-0	R/W-1	R/W-1	R/W-1		
IBF	OBF	IBOV	PSPMODE	—	bit2	bit1	bit0		
bit7								bit0	
<p>R= リード可能ビット W= ライト可能ビット U= なし、 「0」としてリードする - n= POR リセット時の値</p>									
bit 7:	<p><b>IBF:</b> 入力バッファ・フル・ステータスビット 1 = 1 ワードを受信後、CPU がリードするのを待機中 0 = ワードの受信なし</p>								
bit 6:	<p><b>OBF:</b> 出力バッファ・フル・ステータスビット 1 = 出力バッファはまだ以前にライトされたデータを保持している 0 = 出力バッファがリードされた</p>								
bit 5:	<p><b>IBOV:</b> 入力バッファ・オーバーフロー検出ビット (マイクロプロセッサモード時) 1 = 以前の入力ワードがまだリードされていない時、ライトが発生した (必ずソフトウェアでクリアしてください) 0 = オーバーフローの発生なし</p>								
bit 4:	<p><b>PSPMODE:</b> パラレルスレーブポートモード選択ビット 1 = パラレルスレーブポートモード 0 = 汎用 I/O モード</p>								
bit 3:	<p>なし: 「0」としてリードする <b>PORTE データ方向ビット</b></p>								
bit 2:	<p><b>Bit2:</b> RE2/CS/AN7 ピンの方向コントロールビット 1 = 入力 0 = 出力</p>								
bit 1:	<p><b>Bit1:</b> RE1/WR/AN6 ピンの方向コントロールビット 1 = 入力 0 = 出力</p>								
bit 0:	<p><b>Bit0:</b> RE0/RD/AN5 ピンの方向コントロールビット 1 = 入力 0 = 出力</p>								

# PIC16F87X

表 3-9 PORTE の機能

Name	Bit#	Buffer Type	機能
RE0/RD/AN5	bit0	ST/TTL <sup>(1)</sup>	入出力ポートピンまたはパラレルスレーブポートモード時のリードコントロール入力、またはアナログ入力: RD 1 = リードしない。 0 = リード動作。PORTD レジスタを (チップが選択されている場合) リードする。
RE1/WR/AN6	bit1	ST/TTL <sup>(1)</sup>	入出力ポートピンまたはパラレルスレーブポートモード時のライトコントロール入力、またはアナログ入力: WR 1 = ライトしない。 0 = ライト動作。PORTD レジスタを (チップが選択されている場合) ライトする。
RE2/CS/AN7	bit2	ST/TTL <sup>(1)</sup>	入出力ポートピンまたはパラレルスレーブモード時のチップセレクトコントロール入力、またはアナログ入力: CS 1 = デバイスが選択されていない。 0 = デバイスが選択されている。

凡例: ST = シュミットトリガ入力 TTL = TTL 入力

注意 1: 入力バッファは I/O モード時にはシュミットトリガ、パラレルスレーブモード時には TTL バッファになります。

表 3-10 PORTE に関連するレジスタの概要

Addr	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR、BOR での値	他の全てのリセットでの値
09h	PORTE	—	—	—	—	—	RE2	RE1	RE0	---- -xxx	---- -uuu
89h	TRISE	IBF	OBF	IBOV	PSPMODE	—	PORTE Data Direction Bits			0000 -111	0000 -111
9Fh	ADCON1	ADFM	—	—	—	PCFG3	PCFG2	PCFG1	PCFG0	--0- 0000	--0- 0000

凡例: x = 不定、u = 不変、- = なし、「0」としてリードする。網掛部分は PORTE では使用しません。

# PIC16F87X

## 3.6 パラレルスレーブポート

パラレルスレーブポートは28ピンデバイスには内蔵されていません。

PORTD は8ビット幅のパラレルスレーブポート、またはコントロールビット PSPMODE (TRISE<4>) がセットされているときはマイクロプロセッサのポートとして動作します。スレーブモード時には、RD コントロール入力ピン RE0/RD と WR コントロール入力ピン RE1/WR により、PORTD を外部から非同期的にリードおよびライトできます。

パラレルスレーブポートは、8ビットマイクロプロセッサデータバスに直接インターフェースすることができます。外部マイクロプロセッサは、PORTD ラッチを8ビットラッチとしてリードまたはライトできます。PSPMODE ビットをセットすると、ポートピン RE0/RD が動作して RD 入力になり、RE1/WR が WR 入力になり、RE2/CS が CS (チップセレクト) 入力になります。この機能には、TRISE レジスタ (TRISE<2:0>) の対応するデータ方向ビットが入力 (1) に設定されている必要があります。また、A/D ポートコンフィグレーションビット PCFG3:PCFG0 (ADCON1<3:0>) を構成ピン RE2:RE0 にデジタル I/O として設定する必要があります。

CS および WR ラインの両方が最初にローと検出されると、PSP へのライトが発生します。CS および RD ラインの両方が最初にローと検出されると、PSP からのリードが発生します。

図 3-10: PORTD と PORTE のブロック図 (パラレルスレーブポート)

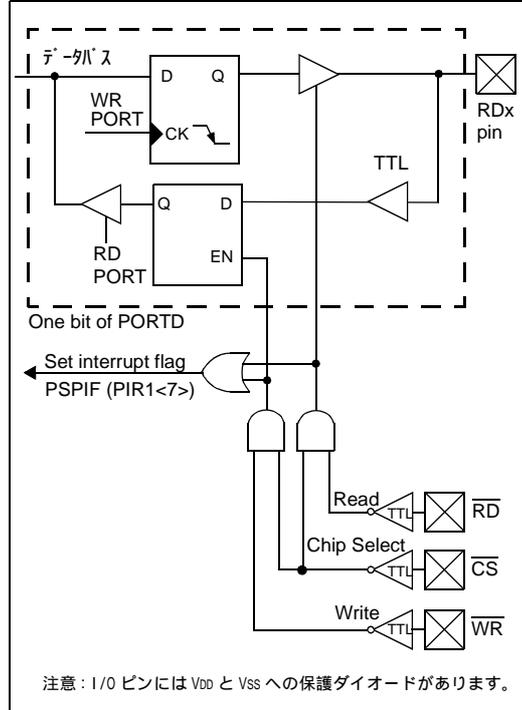


図 3-11: パラレルスレーブポートライトの波形

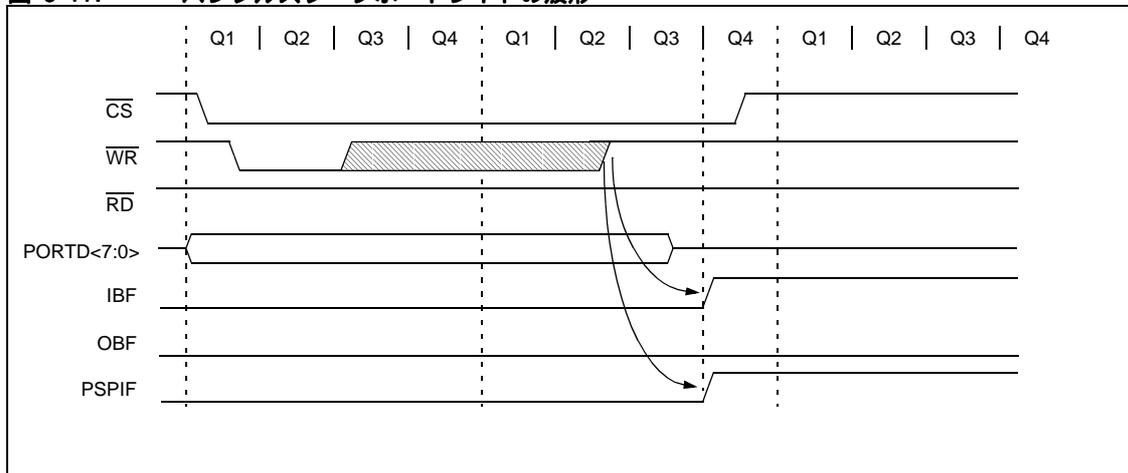


図 3-12: パラレルスレーブポートリードの波形

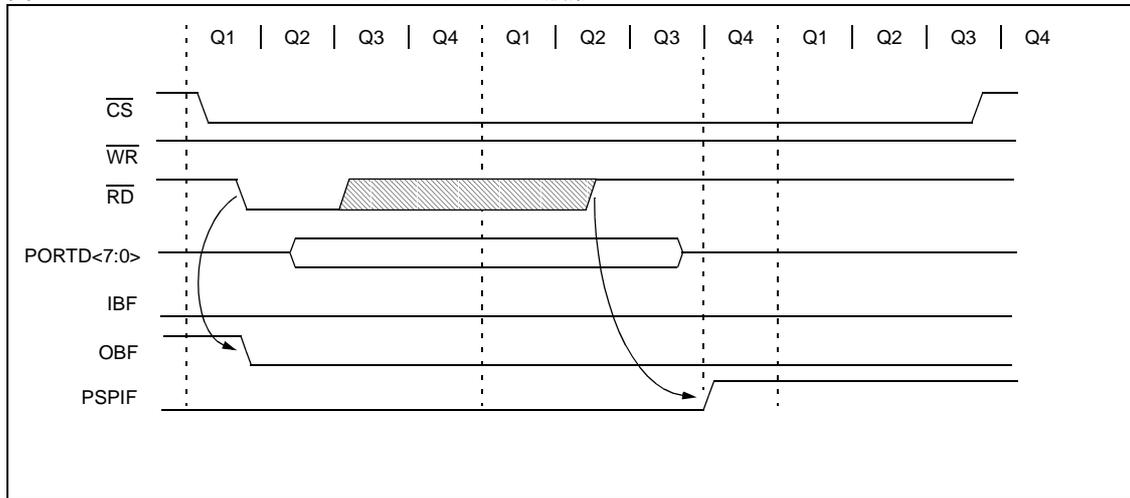


表 3-11 パラレルスレーブポートに関連するレジスタ

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR、BOR での値	他の全てのリセットでの値
08h	PORTD	ライトされる時は $\bar{0}$ -データラッチ:リードされる時は $\bar{0}$ -ピン								xxxx xxxx	uuuu uuuu
09h	PORTE	—	—	—	—	—	RE2	RE1	RE0	---- -xxx	---- -uuu
89h	TRISE	IBF	OBF	IBOV	PSPMODE	—	PORTE Data Direction Bits			0000 -111	0000 -111
0Ch	PIR1	PSPIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
9Fh	ADCON1	ADFM	—	—	—	PCFG3	PCFG2	PCFG1	PCFG0	--0- 0000	--0- 0000

凡例: x = 不定、u = 不変、- = なし、0 とリードされます。網掛部分はパラレルスレーブポートでは使用しません。

# PIC16F87X

---

NOTES:

## 4.0 データ EEPROM とフラッシュプログラムメモリ

データ EEPROM とフラッシュプログラムメモリには、通常動作中は全  $V_{DD}$  範囲にわたってリードおよびライトが可能です。そのデータメモリはレジスタファイル空間には直接割り当てられてはいません。その代わりに、そのデータメモリは特殊機能レジスタにより間接的にアドレスされます。

6種類の SFR がプログラムおよびデータ EEPROM のリードとライトに使用されています。以下にそのレジスタを示します。

- EECON1
- EECON2
- EEDATA
- EEDATH
- EEADR
- EEADRH

EEPROM データメモリによりバイトのリードとライトが可能になります。データメモリブロックにインターフェイスしている時は、EEDATA はリード/ライト用に 8 ビットのデータを保持し、EEADR はアクセス中の EEPROM ロケーションのアドレスを保持します。レジスタ EEDATH と EEADRH はデータ EEPROM のアクセスには使用しません。これらのデバイスには 0h から FFh までのアドレス領域を持つ 256 バイトまでのデータ EEPROM があります。

EEPROM データメモリは高速の消去/ライトサイクルで評価されます。ライト時間はオン・チップタイマーが制御します。ライト時間は電圧と温度やそれぞれのチップにより異なります。正確な範囲については、仕様の欄を参照してください。

プログラムメモリはワードごとにリードとライトが可能です。プログラムメモリのリードにより安全規格などに用いてチェックサム計算ができます。バイトまたはワードのライトによりそのロケーションは自動的に消去され、新規のデータが書き込まれます（消去後に書き込み）。

プログラムメモリブロックとのインターフェイス中は、EEDATH : EEDATA レジスタは、リード/ライトに 14 ビットデータを持つ 2 バイトのワードを構成します。また、EEADRH : EEADR レジスタは、アクセス中の EEPROM ロケーションの 13 ビットアドレスを持つ 2 バイトのワードを構成します。これらのデバイスは、0h から 3FFh までのアドレスを持つ 8K ワードまでのプログラム EEPROM を持つことができます。

プログラムメモリに書き込まれた値が有効な命令である必要はありません。従って、14 ビットまでの数字をメモリに保存して、パラメータの校正やシリアル番号や 1 組の 7 ビット ASCII などを使用することができます。無効な命令を構成するデータのあるプログラムメモリロケーションを実行すると、NOP になります。

## 4.1 EEADR

アドレスレジスタは最大 256 バイトまでのデータ EEPROM または最大 8K ワードまでのプログラムフラッシュをアドレスできます。

プログラムアドレスは、MSByte のアドレスを EEADRH レジスタに、LSByte のアドレスを EEADR レジスタにライトします。データアドレスは、(LSByte の) アドレスを EEADR レジスタにライトします。

128 バイトの EEPROM を持つ PIC16F874/873 では、EEADR の MSbit (ビット 7) は常にクリアして、間違ったロケーションに不注意にアクセスしないようにする必要があります。プログラムメモリにも同じことが言えます。EEADRH の上位 MSbit は常にクリアしておかなければなりません。

# PIC16F87X

## 4.2 EECON1 および EECON2 レジスタ

EECON1 はメモリアクセス用コントロールレジスタです。

EECON2 は物理的には存在しません。EECON2 をリードすると、0 とリードされます。EECON2 レジスタはメモリライト処理専用に使います。

コントロールビット EEPGD はアクセスがプログラムかデータメモリアクセスかを指定します。0 の場合、データメモリがアクセスされます。1 の場合、プログラムメモリがアクセスされます。

コントロールビット RD および WR はそれぞれリードとライトを開始します。これらのビットはソフトウェアでクリアできず、セットのみ可能です。RD と WR はリードまたはライトが終了した時点でハードウェアがク

アします。WR ビットをソフトウェアでクリアできないということは、誤って完了前にライト動作を終了するのを防ぐことになります。

WREN ビットがセットされると、ライトが可能になります。パワーアップ時には WREN ビットはクリアされません。WRERR ビットは、通常動作中にライト動作が MCLR リセットまたは WDT タイムアウトリセットにより中断したときにセットされます。リセットに続くこのような状況では、WRERR ビットをチェックしてロケーションをリライトすることができます。データおよびアドレスレジスタと EEPGD ビットの値は変化しません。

PIR2 レジスタの割り込みフラグビット EEIF は、ライトの終了時にセットされます。このビットはソフトウェアでクリアする必要があります。

図 4-1: EECON1 レジスタ (アドレス 18Ch)

R/W-x	U-0	U-0	U-0	R/W-x	R/W-0	R/S-0	R/S-0
EEPGD	—	—	—	WRERR	WREN	WR	RD
bit7							bit0

R= リード可能なビット  
W= ライト可能なビット  
S= セット可能なビット  
U= なし、  
「0」としてリードする  
-n= POR リセットでの値

bit 7: **EEPGD**: プログラム / データ EEPROM セレクトビット  
1 = プログラムメモリにアクセスする  
0 = データメモリにアクセスする  
(リードまたはライトの進行中は、このビットを変更することはできません)

bit 6:4: **なし**: 0 とリードされます。

bit 3: **WRERR**: EEPROM エラーフラグビット  
1 = ライトが未完了のまま終了した  
(通常動作中の MCLR リセットまたは WDT リセットによる)  
0 = ライトが完了した

bit 2: **WREN**: EEPROM ライトイネーブルビット  
1 = ライトサイクルを実行可能にする  
0 = EEPROM へのライトを実行不可にする

bit 1: **WR**: ライトコントロールビット  
1 = ライトサイクルを開始する。(このビットはライトが完了するとハードウェアでクリアされる。WR ビットはソフトウェアでセットのみ可能でクリアは不可)  
0 = EEPROM へのライトサイクルが完了

bit 0: **RD**: リードコントロールビット  
1 = EEPROM リードを開始する(リードには 1 サイクルかかります。RD はハードウェアでクリアされる。RD ビットはソフトウェアでセットのみ可能でクリアは不可)  
0 = EEPROM リードを開始しない

## 4.3 EEPROM メモリのリード

データメモリロケーションをリードするには、まず、EEADR レジスタにアドレスをライトして、EEPGD コントロールビット (EECON1<7>) をクリアし、次にコントロールビット RD (EECON1<0>) をセットしなければなりません。

データは次の命令サイクルで EEDATA レジスタにロードされるので、次の命令でリードすることができます。EEDATA はこの値を次のリードまで、またはユーザーが (ライト中に) ライトを行うまで、保持します。

### 例 4-1: DATA EEPROM のリード

```
BSF STATUS, RP1 ;
BCF STATUS, RP0 ; Bank 2
MOVLW DATA_EE_ADDR ;
MOVWF EEADR ; Data Memory Address to read
BSF STATUS, RP0 ; Bank 3
BCF EECON1, EEPGD ; Point to DATA memory
BSF EECON1, RD ; EEPROM Read
BCF STATUS, RP0 ; Bank 2
MOVF EEDATA, W ; W = EEDATA
```

## 4.4 データ EEPROM メモリへのライト

EEPROM データロケーションにライトするには、まず、アドレスを EEADR レジスタに書き込み、データを EEDATA レジスタに書き込む必要があります。次に、例 4-2 のシーケンスに従ってライトサイクルを開始します。

### 例 4-2: DATA EEPROM のライト

```
BSF STATUS, RP1 ;
BCF STATUS, RP0 ; Bank 2
MOVLW DATA_EE_ADDR ;
MOVWF EEADR ; Data Memory Address to write
MOVLW DATA_EE_DATA ;
MOVWF EEDATA ; Data Memory Value to write
BSF STATUS, RP0 ; Bank 3
BCF EECON1, EEPGD ; Point to DATA memory
BSF EECON1, WREN ; Enable writes
```

```
BCF INTCON, GIE ; Disable Interrupts
```

	MOVLW 55h ;
Required	MOVWF EECON2 ; Write 55h
Sequence	MOVLW AAh ;
	MOVWF EECON2 ; Write AAh
	BSF EECON1, WR ; Set WR bit to begin write
	BSF INTCON, GIE ; Enable Interrupts

```
SLEEP ; Wait for interrupt to signal write complete
```

```
BCF EECON1, WREN ; Disable writes
```

上記のシーケンスが各バイトに対して正確に実行されない場合 (EECON2 に 55h をライトし、EECON2 に AAh をライトし、最後に WR ビットをセットする) ライトが開始することはありません。このコードセグメント中は、割込みの発生を禁止することをお勧めします。

ライトシーケンスの開始後は、WREN ビットをクリアしてもその時点でのライトサイクルには影響しません。WR ビットは、WREN がセットされない限りセットを禁止されます。WREN ビットは前の命令でセットされている必要があります。WR と WREN を同じ命令でセットすることはできません。

更に、EECON1 の WREN ビットをセットしてライトを許可する必要があります。このメカニズムにより予想しないコードの実行 (つまり、プログラムの喪失など) によりデータ EEPROM への誤った書き込みを防ぐことができます。WREN ビットは、EEPROM の更新時以外は常にクリアにしてください。WREN ビットはハードウェアではクリアされません。

ライトサイクルの終了後、WR ビットがハードウェアでクリアされ、EEPROM ライト完了割り込みフラグビット (EEIF) がセットされます。EEIF はソフトウェアでクリアする必要があります。

# PIC16F87X

---

## 4.5 フラッシュプログラムメモリのリード

プログラムメモリのロケーションをリードするには、2 バイトのアドレスを EEADR および EEADRH レジスタに書き込み、EEPGD コントロールビット (EECON1<7>) をセットして、最後にコントロールビット RD (EECON1<0>) をセットします。リードコントロールビットがセットされると、マイクロコントローラはそれから 2 番目の命令サイクルを使用してデータをリードします。これにより「BSF EECON1,RD」命令後の 2 番目の命令は無視

されます。データは 3 番目の命令サイクルで EEDATA および EEDATH レジスタにロードされており、2 バイトリードできます。したがって、データは BSF EECON1,RD 命令の後の 3 番目の命令サイクルで EEDATH:EEDATA から読み出しできます。EEDATA および EEDATH レジスタは、別のリード動作が始まるか、ユーザーが (ライト中に) 書き込みを行うまで値を保持します。

### 例 4-3: フラッシュプログラムのリード

```
BSF STATUS, RP1 ;
BCF STATUS, RP0 ; Bank 2
MOVLW ADDRH ;
MOVWF EEADRH ; MSByte of Program Address to read
MOVLW ADDR L ;
MOVWF EEADR ; LSByte of Program Address to read
BSF STATUS, RP0 ; Bank 3
BSF EECON1, EEPGD ; Point to PROGRAM memory
BSF EECON1, RD ; EEPROM Read

NOP ; Any instructions here are ignored as program
NOP ; memory is read in third cycle after BSF EECON1,RD

BCF STATUS, RP0 ; Bank 2

MOVF EEDATA, W ; W = LSByte of Program EEDATA
MOVF EEDATH, W ; W = MSByte of Program EEDATA
```

## 4.6 フラッシュプログラムメモリへのライト

フラッシュプログラムメモリのワードは、そのワードがコードプロテクトされていないセグメントのメモリで、WRT コンフィグレーションビットがセットされている場合に限ってライト可能です。フラッシュプログラムをライトするには、まず、最初の2バイトのアドレスを EEADR および EEADRH レジスタに、2 バイトのデータを EEDATA および EEDATH レジスタにライトして、次に EEPGD コントロールビット (EECON1<7>) をセット

し、最後にコントロールビット WR (EECON1<1>) をセットします。必ず例 4-4 のシーケンスに従ってプログラムメモリへのライトを開始してください。

「BSF EECON1,WR」命令の後、マイクロコントローラは次の命令を実行し、その次の命令を無視します。NOP 命令は、「BSF EECON1,WR」命令の2つ後の命令になります。次に、マイクロコントローラはライトが行われる TPEW (パラメータ D133) のために内部動作を停止します。これはクロックや周辺機能が動作しつづけるので、スリープモードではありません。ライトサイクルの後は、マイクロコントローラは EECON1 ライト命令の後の3番目の命令から動作を再開します。

### 例 4-4: フラッシュプログラムのライト

```

BSF STATUS, RP1 ;
BCF STATUS, RP0 ; Bank 2
MOVLW ADDRH ;
MOVWF EEADRH ; MSByte of Program Address to read
MOVLW ADDRL ;
MOVWF EEADR ; LSByte of Program Address to read
MOVLW DATAH ;
MOVWF EEDATH ; MS Program Memory Value to write
MOVLW DATAL ;
MOVWF EEDATA ; LS Program Memory Value to write
BSF STATUS, RP0 ; Bank 3
BSF EECON1, EEPGD ; Point to PROGRAM memory
BSF EECON1, WREN ; Enable writes

BSF INTCON, GIE ; Disable Interrupts
MOVLW 55h ;
Required MOVWF EECON2 ; Write 55h
Sequence MOVLW AAh ;
MOVWF EECON2 ; Write AAh
BSF EECON1, WR ; Set WR bit to begin write
;
;
NOP ; Instructions here are ignored by the microcontroller
; NOP
;
; Microcontroller will halt operation and wait for
; a write complete. After the write
; the microcontroller continues with 3rd instruction
BSF INTCON, GIE ; Enable Interrupts
BCF EECON1, WREN ; Disable writes

```

# PIC16F87X

## 4.7 ライトのベリファイ

アプリケーションによっては、メモリ書き込み後にベリファイしたほうがよい場合があります。イレース/ライト回数が仕様限界まで行われるようなアプリケーションには特に必要となります。

一般的に、ライトの失敗は、「1」とライトされたビットが(ビットの漏れにより)「0」とリードされます。

## 4.8 不必要なライトからの保護

### 4.8.1 EEPROM データメモリ

デバイスがデータEEPROMメモリへのライトを望まない状況があります。不必要な EEPROM ライトから保護するために各種メカニズムが内蔵されています。パワーアップ時は、WREN ビットがクリアされます。また、パワーアップタイマー(継続時間約 72m 秒)が EEPROM のライトを防ぎます。

ライトで始まるシーケンスと WREN ビットは、共にブラウンアウト、電力グリッチまたはソフトウェアの誤動作の際に、誤ってライトされるのを軽減します。

### 4.8.2 プログラムフラッシュメモリ

フラッシュプログラムメモリへの不必要なライトから保護するために、コンフィグレーションワードの WRT ビットを「0」とプログラムして、ライトを防ぐことが

できます。コンフィグレーションワードは、ユーザーコードではプログラムできませんが、外部プログラムを使用してプログラムすることができます。

## 4.9 コードプロテクト中の動作

再プログラム可能なメモリブロックにはそれぞれ独自のコードプロテクトメカニズムがあります。このメカニズムのどれかが動作しているときは、外部からのリードおよびライトはできません。

### 4.9.3 データ EEPROM メモリ

マイクロコントローラ自体は、コードプロテクトコンフィグレーションビットのステータスに関係なく、内部ではデータEEPROMにリードおよびライトの両方が可能です。

### 4.9.4 プログラムフラッシュメモリ

マイクロコントローラは、コードプロテクトコンフィグレーションビットのステータスに関係なく、内部フラッシュプログラムメモリをリードし、命令を実行することができます。しかし、WRT コンフィグレーションビットとコードプロテクトビットはプログラムメモリへのライトに異なる影響を与えます。表 7-1 にリードおよびライトの各種コンフィグレーションとステータスを示します。コンフィグレーションワード内の WRT またはコードプロテクトビットを消去するには、デバイスを完全に消去する必要があります。

表 7-1: 内部フラッシュプログラムメモリのリード/ライトステータス

コンフィグレーションビット			メモリロケーション	内部リード	内部ライト	ICSPリード	ICSPライト
CP1	CP0	WRT					
0	0	x	すべてのプログラムメモリ	Yes	No	No	No
0	1	0	プロテクト OFF 領域	Yes	No	Yes	No
0	1	0	プロテクト ON 領域	Yes	No	No	No
0	1	1	プロテクト OFF 領域	Yes	Yes	Yes	No
0	1	1	プロテクト ON 領域	Yes	No	No	No
1	0	0	プロテクト OFF 領域	Yes	No	Yes	No
1	0	0	プロテクト ON 領域	Yes	No	No	No
1	0	1	プロテクト OFF 領域	Yes	Yes	Yes	No
1	0	1	プロテクト ON 領域	Yes	No	No	No
1	1	0	すべてのプログラムメモリ	Yes	No	Yes	Yes
1	1	1	すべてのプログラムメモリ	Yes	Yes	Yes	Yes

## 5.0 タイマ0モジュール

タイマ0モジュールには次の機能があります。

- 8ビットタイマ/カウンタ
- リードおよびライト可能
- 内部または外部クロック選択
- 外部クロック用エッジ選択
- ソフトウェア・プログラマブル8ビットプリスケアラ
- FFh から 00h オーバーフロー割り込み

図 5-1 にタイマ0モジュールの簡単なブロック図を示します。

タイマモジュールについての更に詳しい説明は、PICmicro™ ミッド・レンジ リファレンスマニュアル (DS33023) を参照してください。

### 5.1 タイマ0

タイマ0はタイマまたはカウンタとして動作します。

TOCS ビット (OPTION\_REG<5>) が 0 のとき、タイマモードになります。タイマモードでは、(プリスケアラなしの場合) 命令サイクルごとに Timer0 モジュールはインクリメントされます。TMRO レジスタがライトされた場合、それに続く 2 命令サイクルはインクリメントしません。その分の値を TMRO レジスタにライトすることにより、調整することができます。

TOCS ビット (OPTION\_REG<5>) が 1 のとき、カウンタモードになります。カウンタモードでは、Timer0 は RA4/TOCKI ピンの立ち上がり、または、立ち下がりエッジごとにインクリメントします。Timer0 ソースエッジ選択ビット、TOSE (OPTION\_REG<4>) によりインクリメントするエッジを選択します。TOSE ビットが 0 のとき、立ち上がりエッジが選択されます。外部クロック入力の規定について、以下に説明します。

外部クロックがタイマ0に入力されるときは、必要条件を満たさなければなりません。その条件とは、外部クロックが内部位相クロック (TOSC) と同期することです。また同期後タイマ0の実際のインクリメントまで少しの遅れがあります。

外部クロックの条件についての更に詳しい説明は、PICmicro™ ミッド・レンジ リファレンスマニュアル (DS33023) を参照してください。

### 5.2 プリスケアラ

8ビットカウンタは、タイマ0モジュール用のプリスケアラとして、または、ウォッチドッグタイマ (図 5-2) 用のポストスケアラとして使用できます。まぎらわしいので、このデータシートではこのカウンタを「プリスケアラ」と呼びます。プリスケアラはタイマ0モジュールとウォッチドッグタイマのどちらかに使用できますが、両方に使用することはできないので注意してください。したがって、プリスケアラがタイマ0モジュールに使用されているときは、ウォッチドッグタイマはプリスケアラを使用できません。また、この逆も言えます。

プリスケアラはリードもライトもできません。

PSA および PS2:PS0 ビット (OPTION\_REG<3:0>) がプリスケアラの割り当てとプリスケール比を決定します。

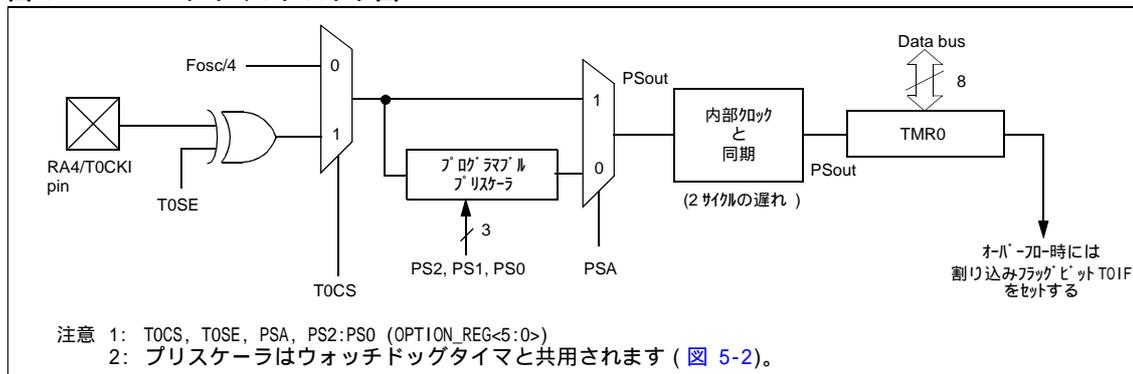
PSA ビットをクリアすると、プリスケアラはタイマ0に割り当てられます。プリスケアラがタイマ0モジュールに割り当てられているときは、プリスケール値 1:2、1:4、...、1:256 が選択できます。

PSA ビットをセットすると、プリスケアラはウォッチドッグタイマ (WDT) に割り当てられます。プリスケアラが WDT に割り当てられているときは、プリスケール値 1:1、1:2、...、1:128 が選択できます。

タイマ0モジュールに割り当てられているときは、TMRO レジスタへのライト命令すべて (例えば、CLRF TMRO、MOVWF TMRO、BSF TMRO、x など) によりプリスケアラがクリアされます。WDT に割り当てられているときは、CLRWDT 命令によりプリスケアラと WDT がクリアされます。

**注意:** プリスケアラがタイマ0に割り当てられているときに TMRO にライトすると、プリスケアラのカウンタはクリアされますが、プリスケアラの割り当ては変更されません。

図 5-1: タイマ0ブロック図



# PIC16F87X

## 5.2.1 プリスケアラ割り当ての切り替え

プリスケアラの割り当てはソフトウェアにより制御します。プログラムの実行中にも即座に変更できます。

**注意：** 不必要なデバイリセットを避けるために、プリスケアラの割り当てをタイマ0からWDTに変更する時は、所定の順序で命令を実行する必要があります (PICmicro™ ミッド・レンジ リファレンスマニュアル、DS33023 に記載しています)。このシーケンスはWDTがディセーブルになっている場合でも実行されなくてはなりません。

## 5.3 タイマ0割り込み

TMROレジスタがFFhから00hにオーバーフローしたとき、TMRO割り込みが発生します。このオーバーフローによりTOIFビット (INTCON<2>) がセットされます。TOIEビット (INTCON<5>) を0にすることにより割り込みをマスクできます。割り込みを発生可能にする前に、ソフトウェアでTOIFビットを0にしなければなりません。スリープの間はタイマが停止しているため、TMRO割り込みではプロセッサを起動させることができません。

図 5-2: タイマ0 / WDT プリスケアラのブロック図

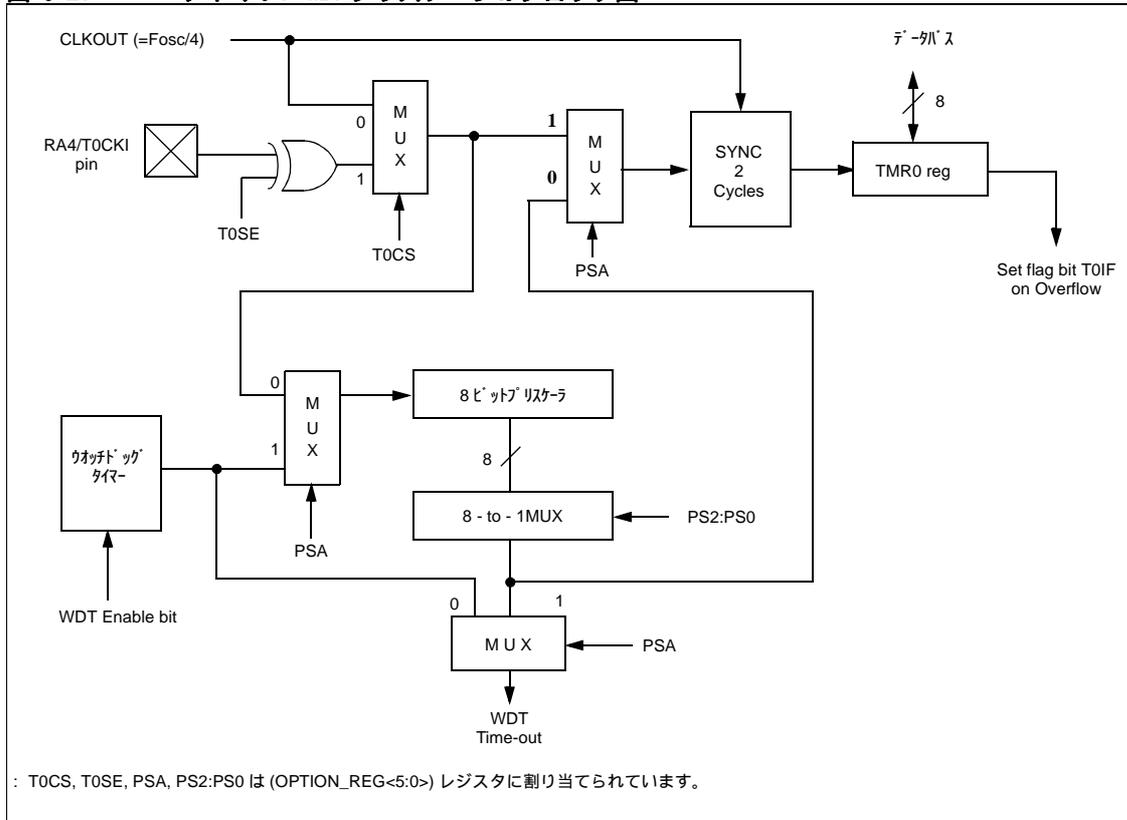


表 5-1 タイマ0に関連するレジスタ

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR, BOR での値	他の全てのリセットでの値
01h,101h	TMR0	Timer0 module's register								xxxx xxxx	uuuu uuuu
0Bh,8Bh,10Bh,18Bh	INTCON	GIE	PEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF	0000 000x	0000 000u
81h,181h	OPTION_REG	RBPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111 1111	1111 1111
85h	TRISA	—	—	PORTA データ方向レジスタ						--11 1111	--11 1111

凡例： x = 不定、u = 不変、- = なし、0 とリードされます。網掛部分はタイマ0では使用しません。

## 6.0 TIMER1 モジュール

タイマ 1 モジュールには以下の機能があります。

- 16 ビットタイマ / カウンタ  
(2つの8ビットレジスタ; TMR1H と TMR1L)
- リードおよびライト可能 (両レジスタとも)
- 内部または外部クロック選択
- FFFFh から 0000h のときオーバーフロー割り込み
- CCP モジュールのトリガでリセット

タイマ 1 には図 6-1 で示すようなコントロールレジスタがあります。タイマ 1 は、コントロールビット TMR1ON (T1CON<0>) をセット / クリアすることにより動作 / 停止ができます。

図 6-3 にタイマ 1 モジュールの簡単なブロック図を示します。

タイマモジュールについての更に詳しい説明は、PIC-micro™ ミッド・レンジ リファレンスマニュアル (DS33023) を参照してください。

## 6.1 タイマ 1

タイマ 1 は次のモードのどれか 1 つで動作できます。

- タイマとして
- 同期カウンタとして
- 非同期カウンタとして

動作モードはクロックセレクトビット、TMR1CS (T1CON<1>) により決定します。

タイマモードでは、タイマ 1 は命令サイクルごとにインクリメントします。カウンタモードでは、外部クロック入力の立ち上がりエッジごとにインクリメントします。

タイマ 1 オシレータが動作している (T10SCEN が 1) とき、RC1/T10S1 および RC0/T10S0/T1CK1 ピンは入力になります。すなわち TRISC<1:0> の値は無視されます。

タイマ 1 には内部「リセット入力」もあります。このリセットは CCP モジュール (8.0 章) により発生します。

図 6-1: T1CON: TIMER1 コントロールレジスタ (アドレス 10h)

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	
—	—	T1CKPS1	T1CKPS0	T10SCEN	T1SYNC	TMR1CS	TMR1ON	
bit 7								bit 0
<p>bit 7-6: なし: 0 とリードされる</p> <p>bit 5-4: <b>T1CKPS1:T1CKPS0</b>: タイマ 1 入力クロックプリスケール選択ビット            11 = 1:8 プリスケール値            10 = 1:4 プリスケール値            01 = 1:2 プリスケール値            00 = 1:1 プリスケール値</p> <p>bit 3: <b>T10SCEN</b>: タイマ 1 オシレータイネーブルコントロールビット            1 = オシレータを動作させる            0 = オシレータを停止させる            注意: オシレータインバータと帰還抵抗をオフにして消費電流をおさえます。</p> <p>bit 2: <b>T1SYNC</b>: タイマ 1 外部クロック入力同期コントロールビット</p> <p>TMR1CS = 1            1 = 外部クロック入力を同期させない            0 = 外部クロック入力を同期させる</p> <p>TMR1CS = 0            このビットは無視されます。TMR1CS = 0 のとき、タイマ 1 は内部クロックを使用します。</p> <p>bit 1: <b>TMR1CS</b>: タイマ 1 クロックソース選択ビット            1 = RC0/T10S0/T1CK1 (立ち上がりエッジ) ピンからの外部クロック            0 = 内部クロック (Fosc/4)</p> <p>bit 0: <b>TMR1ON</b>: タイマ 1 オン・ビット            1 = タイマ 1 を動作させる            0 = タイマ 1 を停止する</p>								

R= リード可能ビット  
 W= ライト可能ビット  
 U= なし、0 とリードされる  
 -n= POR リセットでの値

# PIC16F87X

## 6.1.1 タイマ1カウンタ

このモードでは、タイマ1は外部信号によりインクリメントされます。インクリメントは立ち上がりエッジで発生します。タイマ1がカウンタモードでイネーブ

ルになった後は、カウンタがインクリメントする前に、モジュールにはまず立ち下がりエッジがなければなりません。

図 6-2: タイマ1インクリメント・エッジ

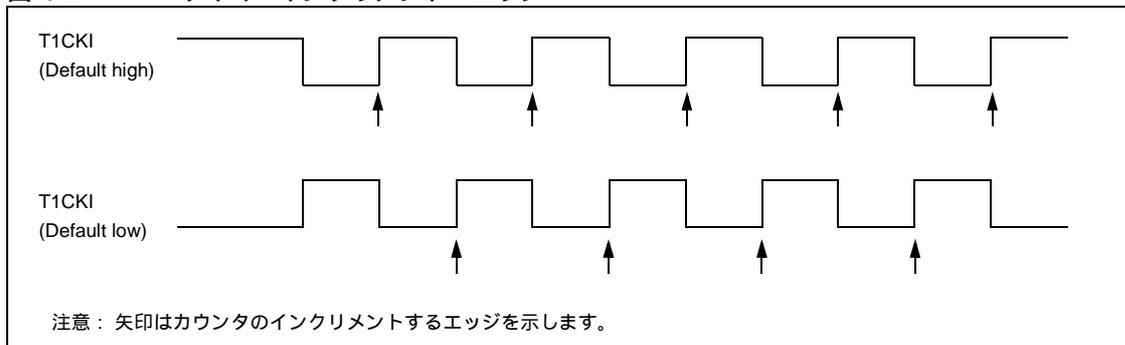
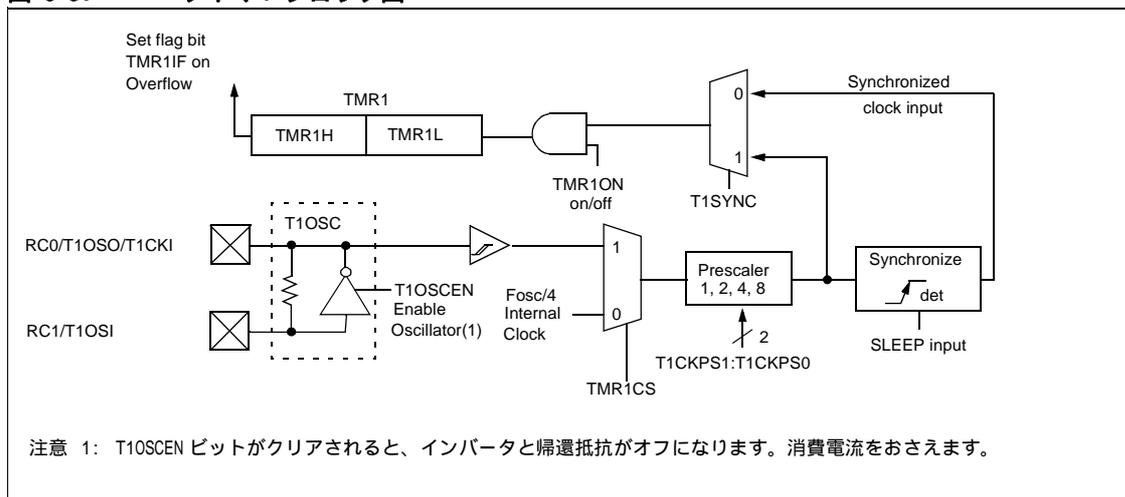


図 6-3: タイマ1 ブロック図



## 6.2 タイマ1オシレータ

水晶オシレータ回路が T10SI ピン (入力) と T10SO ピン (アンプ出力) の間に内蔵されています。この回路はコントロールビット T10SCEN (T1CON<3>) をセットすることにより動作します。このオシレータは 200kHz までの速度の低消費電流のオシレータで、スリープ中も動作を続けます。32kHz で最適化しています。表 6-1 に、タイマ1 オシレータ用コンデンサ・セレクションを示します。

タイマ1 オシレータは LP オシレータと同様です。オシレータが正しく起動するためにソフトウェアで時間遅延を行ってください。

表 6-1 タイマ1 オシレータ用のコンデンサ・セレクション

Osc Type	Freq	C1	C2
LP	32 kHz	33 pF	33 pF
	100 kHz	15 pF	15 pF
	200 kHz	15 pF	15 pF
上記の値は設計のガイダンスを示すためのものです。			
Crystals Tested:			
32.768 kHz	Epson C-001R32.768K-A	± 20 PPM	
100 kHz	Epson G-2 100.00 KC-P	± 20 PPM	
200 kHz	STD XTL 200.000 kHz	± 20 PPM	
注意: 1: 容量が大きいほどオシレータの安定性は高まりますが、起動時間も長くなります。 2: それぞれのレゾネータ / 水晶にはそれぞれの特長があります。外部部品の適正値については、レゾネータ / 水晶の製造元にお問い合わせください。			

## 6.3 タイマ1 割り込み

TMR1 レジスタのペア (TMR1H:TMR1L) は 0000h から FFFFh までインクリメントし、0000h にロールオーバーします。TMR1 割り込みがイネーブルの場合、オーバーフローしたとき、割り込みフラグビット TMR1IF (PIR1<0>) が 1 になり、TMR1 割り込みが発生します。この割り込みは TMR1 割り込みイネーブルビット TMR1IE (PIE<0>) をセット / クリアすることによりイネーブル / ディセーブルできます。

## 6.4 CCP トリガ出力を使用したタイマ1のリセット

「スペシャル・イベント・トリガ」を生成するため CCP モジュールがコンペアモードで構成されている場合 (CCP1M3:CCP1M0 = 1011) この信号によりタイマ1 がリセットされます。CCP2 では A/D 変換開始も行います。(A/D モジュールが動作している場合)

**注意:** CCP モジュールからのスペシャル・イベント・トリガにより割り込みフラグビット TMR1IF (PIR1<0>) がセットされることはありません。

この機能の利点を生かすために、タイマ1 はタイマまたは同期カウンタモードのどちらかに構成されなければなりません。タイマ1 が非同期カウンタモードで動作している場合、このリセットは機能しないことがあります。

タイマ1 へのライトと CCP からの特ナル・イベント・トリガが同時に起こった場合は、ライトが優先になります。

その動作モードでは、CCPRxH:CCPRxL レジスタのペアはタイマ1 に対して周期レジスタにもなります。

表 6-2 タイマ / カウンタとしてのタイマ1 に関連するレジスタ

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR, BOR での値	他の全てのリセットでの値
0Bh, 8Bh, 10Bh, 18Bh	INTCON	GIE	PEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF(1)	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE(1)	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
0Eh	TMR1L	16 ビット TMR1 レジスタの最下位バイト用ホールディングレジスタ								xxxx xxxx	uuuu uuuu
0Fh	TMR1H	16 ビット TMR1 レジスタの最上位バイト用ホールディングレジスタ								xxxx xxxx	uuuu uuuu
10h	T1CON	—	—	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNCR	TMR1CS	TMR1ON	--00 0000	--uu uuuu

凡例: x = 不定, u = 不変, - = なし, 0 とリードされる。網掛部分はタイマ1 モジュールでは使用しません。

注意 1: これらのビットは 28 ピンデバイスでは 0 にしておいてください。

# PIC16F87X

---

NOTES:

## 7.0 タイマ2モジュール

タイマ2モジュールには次の機能があります。

- 8ビットタイマ (TMR2レジスタ)
- 8ビット周期レジスタ (PR2)
- リードおよびライト可能 (両レジスタ可能)
- ソフトウェア・プログラマブルプリスケアラ (1:1、1:4、1:16)
- ソフトウェア・プログラマブルポストスケアラ (1:1から1:16)
- PR2の値と一致によるTMR2割り込み
- SSPモジュール用シフト・クロック

タイマ2には図7-1に示すようなコントロールレジスタがあります。タイマ2はコントロールビットTMR2ON (T2CON<2>) をクリアすることによりオフにできます。これにより消費電力を最小限に抑えることができます。

図7-2はタイマ2モジュールの簡単なブロック図です。

タイマモジュールについての更に詳しい説明は、PICmicro™ ミッド・レンジ リファレンスマニュアル (DS33023) を参照してください。

## 7.1 タイマ2の動作

タイマ2はCCPモジュールのPWMモード用のPWMタイムベースとして使用できます。

TMR2レジスタはリードとライトが可能で、どのデバイスリセットでもクリアされます。

入力クロック ( $F_{osc}/4$ ) には1:1、1:4または1:16のプリスケールオプションがあり、コントロールビット、T2CKPS1:T2CKPS0 (T2CON<1:0>) により選択されます。

TMR2の一致出力は(1:1から1:16までのスケールリングに対応する)4ビットのポストスケアラを通じてTMR2割り込みを生成します(フラグビット TMR2IF、(PIR1<1>) にラッチされます)。

プリスケアラとポストスケアラのカウンタは、次のいずれかが発生するとクリアされます。

- TMR2レジスタへのライト
- T2CONレジスタへのライト
- すべてのデバイスリセット

T2CONがライトされたときは、TMR2はクリアされません。

図 7-1: T2CON: TIMER2 コントロールレジスタ (アドレス 12h)

U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0
bit7							bit0

R= リード可能なビット  
W= ライト可能なビット  
U= なし  
'0'としてリードする  
-n= PORリセットでの値

bit 7: なし : 0とリードされる

bit 6-3: **TOUTPS3:TOUTPS0**: タイマ2出力ポストスケール選択ビット  
 0000 = 1:1 ポストスケール  
 0001 = 1:2 ポストスケール  
 .  
 .  
 .  
 1111 = 1:16 ポストスケール

bit 2: **TMR2ON**: タイマ2 オン・ビット  
 1 = タイマ2 はオン  
 0 = タイマ2 はオフ

bit 1-0: **T2CKPS1:T2CKPS0**: タイマ2クロック・プリスケール選択ビット  
 00 = プリスケアラは 1  
 01 = プリスケアラは 4  
 1x = プリスケアラは 16

# PIC16F87X

## 7.2 タイマ2 割り込み

タイマ2 モジュールには 8 ビット周期のレジスタ PR2 があります。タイマ2 は 00h から PR2 に一致するまでインクリメントして、次のインクリメントサイクルで 00h にリセットします。PR2 はリードおよびライト可能なレジスタです。PR2 レジスタはリセット時に FFh に初期化されます。

## 7.3 TMR2 の出力

TMR2 (ポストスケアラの前) の出力は、シフトクロックとして SSP モジュールで使用できます。

図 7-2: タイマ2 のブロック図

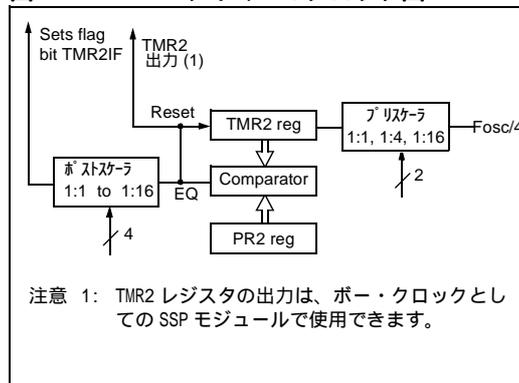


表 7-1 タイマ / カウンタとしてのタイマ2 に関連するレジスタ

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR、BOR での値	他の全ての リセットでの値
0Bh, 8Bh, 10Bh, 18Bh	INTCON	GIE	PEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
11h	TMR2	Timer2 module's register								0000 0000	0000 0000
12h	T2CON	—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	-000 0000
92h	PR2	Timer2 Period Register								1111 1111	1111 1111

凡例: x = 不定、u = 不変、- = なし、0 とリードされる。網掛部分はタイマ2 モジュールでは使用しません。

注意 1: これらのビットは 28 ピンデバイスでは 0 にしておいてください。

## 8.0 キャプチャ/コンペア/PWM (CCP) モジュール

各 CCP (キャプチャ/コンペア/PWM) モジュールには 16 ビットのキャプチャレジスタ、16 ビットのコンペアレジスタまたは PWM マスター/スレーブ・デューティ・サイクルレジスタとして動作できる 16 ビットのレジスタがあります。表 8-1 に CCP モジュールモードのタイマー・リソースを示します。

CCP1 はスペシャル・トリガを除けば CCP2 と同様です。したがって、CCP1 のみについて説明します。

表 8-2 に二つの CCP モジュールを動作させたときの注意点を示します。

### CCP1 モジュール

キャプチャ/コンペア/PWM レジスタ 1 (CCPR1) は 2 つの 8 ビットレジスタ、CCPR1L (ロー・バイト) と CCPR1H (ハイ・バイト) で構成されます。CCP1CON レジスタは CCP1 の動作を制御します。すべてのレジスタはリードおよびライトが可能です。

### CCP2 モジュール

キャプチャ/コンペア/PWM レジスタ 2 (CCPR2) は 2 つの 8 ビットレジスタ、CCPR2L (ロー・バイト) と CCPR2H (ハイ・バイト) で構成されます。CCP2CON レジスタは CCP2 の動作を制御します。すべてのレジスタはリードおよびライトが可能です。

CCP モジュールに関する更に詳しい説明は、PICmicro™ ミッド・レンジ リファレンスマニュアル (DS33023) を参照してください。

表 8-1 CCP モード - タイマーのリソース

CCP モード	タイマーリソース
キャプチャ コンペア PWM	タイマ 1 タイマ 1 タイマ 2

表 8-2 2 つの CCP モジュールを動作させたときの注意点

CCPx モード	CCPy モード	注意点
キャプチャ	キャプチャ	同じ TMR1 タイムベースになります。
キャプチャ	コンペア	コンペアはスペシャル・イベント・トリガ用に構成されたとき、TMR1 をクリアする。
コンペア	コンペア	コンペアはスペシャル・イベント・トリガ用に構成されたとき、TMR1 をクリアする。
PWM	PWM	2 つの PWM は同じ周波数を持ち、レートを更新する (TMR2 割り込み)。
PWM	キャプチャ	なし
PWM	コンペア	なし

図 8-1: CCP1CON レジスタ (アドレス 17h) / CCP2CON レジスタ (アドレス 1Dh)

U-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	
—	—	CCPxX	CCPxY	CCPxM3	CCPxM2	CCPxM1	CCPxM0	
bit7								bit0
bit 7-6: なし: 0 とリードされる bit 5-4: <b>CCPxX:CCPxY</b> : PWM 最下位ビット キャプチャモード: 未使用 コンペアモード: 未使用 PWMモード: これらのビットは PWM デューティサイクルの 2LSb です。8MSb は CCPRxL に割り当てられています。 bit 3-0: <b>CCPxM3:CCPxM0</b> : CCPx モードセレクトビット 0000 = キャプチャ / コンペア / PWM オフ (CCPx モジュールをリセットする) 0100 = キャプチャモード、立ち下がりエッジごと 0101 = キャプチャモード、立ち上がりエッジごと 0110 = キャプチャモード、立ち上がりエッジ 4 回ごと 0111 = キャプチャモード、立ち上がりエッジ 1 6 回ごと 1000 = コンペアモード、一致時に出力をセット (CCPxIF ビットをセットする) 1001 = コンペアモード、一致時に出力をクリア (CCPxIF ビットをセットする) 1010 = コンペアモード、一致時にソフトウェア割り込みを生成 (CCPxIF ビットをセット、CCPx ピンには影響しない。) 1011 = コンペアモード、スペシャル・イベント・トリガ (CCPxIF ビットをセット; CCP1 は TMR1 をリセット、CCP2 は TMR1 をリセットして A/D 変換を開始する (A/D モジュールがイネーブルの場合)) 11xx = PWM モード								

R = リード可能ビット  
 W = ライト可能ビット  
 U = なし、0 とリードされる  
 -n = POR リセットでの値

# PIC16F87X

## 8.1 キャプチャモード

キャプチャモードでは CCP1H:CCP1L は RC2/CCP1 ピンでイベントが発生すると、16 ビット値の TMR1 レジスタをキャプチャします。イベントは次のように定義されます。

- 立ち下がりエッジごと
- 立ち上がりエッジごと
- 立ち上がりエッジ 4 回ごと
- 立ち上がりエッジ 16 回ごと

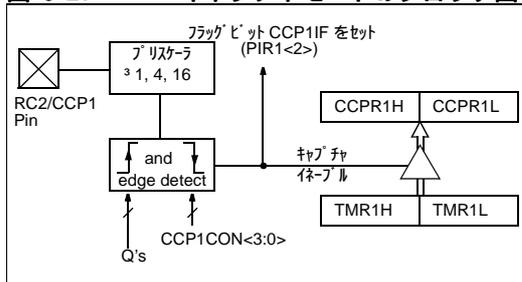
イベントはコントロールビット CCP1M3:CCP1M0 (CCP1CON<3:0>) により選択されます。キャプチャが発生すると、割り込み要求フラグビット CCP1IF (PIR1<2>) がセットされます。このビットはソフトウェアでクリアする必要があります。CCP1 レジスタの値がリードされる前に別のキャプチャが発生すると、その前にキャプチャされた値が失われます。

### 8.1.1 CCP ピンの構成

キャプチャモードでは、RC2/CCP1 ピンは TRISC<2> ビットをセットして入力にします。

**注意：** RC2/CCP1 が出力として構成されているときは、ポートへのライトによりキャプチャが発生できます。

図 8-2: キャプチャモードのブロック図



### 8.1.2 タイマ1モードの選択

CCPモジュールがキャプチャ機能を使用するためには、タイマ1はタイマモードまたは同期カウンタモードで動作しなければなりません。非同期カウンタモードでは、キャプチャは機能しない場合があります。

### 8.1.3 ソフトウェア割り込み

キャプチャモードを途中で変更すると、不必要なキャプチャ割り込みが発生する場合があります。CCP1IE (PIE1<2>) ビットをクリアして、不必要な割り込みを防ぐようにしてください。また、そのような変更後には、フラグビット CCP1IF を、クリアしてください。

### 8.1.4 CCP プリスケアラ

4種類のプリスケアラ設定が CCP1M3:CCP1M0 により指定されます。CCP モジュールがオフのとき、または、CCP モジュールがキャプチャモードでないときは、プリスケアラカウンタは常にクリアされます。これは、すべてのリセットがプリスケアラカウンタをクリアするということです。

1つのキャプチャプリスケアラを別のプリスケアラに切り換えると、割り込みが発生する場合があります。また、プリスケアラカウンタがクリアされないので、最初のキャプチャがノンゼロのプリスケアラから来る場合があります。例 8-1 にキャプチャプリスケアラ間の切り替え方法の推奨例を示します。この例ではプリスケアラカウンタもクリアしますが、「偽の」割り込みが発生することはありません。

#### 例 8-1: キャプチャプリスケアラ間の変更

```
CLRF CCPICON ;Turn CCP module off
MOVLW NEW_CAPT_PS ;Load the W reg with
; the new prescaler
; mode value and CCP ON
MOVWF CCPICON ;Load CCPICON with this
; value
```

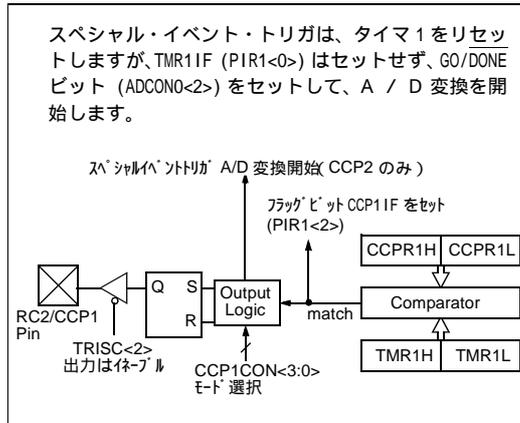
## 8.2 コンペアモジュール

コンペアモードでは16ビットのCCPR1レジスタの値は常にTMR1レジスタの値と比較されます。値が一致したとき、RC2/CCP1ピンの状態は次のようになります。

- ハイにドライブされる
- ローにドライブされる
- 不変のまま

ピンの動作は、コントロールビット CCP1M3:CCP1M0 (CCP1CON<3:0>) の値により決定します。同時に、割り込みフラグビット CCP1IF がセットされます。

図 8-3: コンペアモードのブロック図



### 8.2.1 CCP ピンの構成

TRISC<2> ビットをクリアして、必ず RC2/CCP1 ピンを出力にしてください。

**注意:** CCP1CON レジスタをクリアすると、強制的に RC2/CCP1 コンペア出力ラッチがデフォルトで LOW レベルになります。この値はデータラッチではありません。

### 8.2.2 タイマ 1 のモード選択

CCPモジュールがコンペア機能を使用している場合は、タイマ 1 はタイマモードまたは同期カウンタモードで動作する必要があります。非同期カウンタモードでは、コンペアは機能しません。

### 8.2.3 ソフトウェア割り込みモード

ソフトウェア割り込みの生成が選択された場合、CCP1ピンは影響を受けません。CCP1 割り込みのみが発生します (イネーブルの場合)。

### 8.2.4 スペシャル・イベント・トリガ

このモードでは内部ハードウェア・トリガが生成されて、動作を開始するために使用される場合があります。

CCP1 のスペシャル・イベント・トリガ出力により TMR1 レジスタがリセットされます。これにより、CCPR1 レジスタはタイマ 1 用の 16 ビットプログラマブル周期レジスタにすることができます。

CCP2 のスペシャル・イベント・トリガは、TMR1 レジスタがリセットされ、A/D変換が開始します (A/Dモジュールがイネーブルの場合)。

**注意:** CCP モジュールからのスペシャル・イベント・トリガは、割り込みフラグビット TMR1IF (PIR1<0>) をセットしません。

表 8-3 キャプチャ、コンペア、およびタイマ 1 に関連するレジスタ

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR、BOR での値	他の全ての リセットで の値
0Bh, 8Bh, 10Bh, 18Bh	INTCON	GIE	PEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
87h	TRISC	PORTC Data Direction Register								1111 1111	1111 1111
0Eh	TMR1L	16 ビット TMR1 レジスタの最下位バイト用ホールディングレジスタ								xxxx xxxx	uuuu uuuu
0Fh	TMR1H	16 ビット TMR1 レジスタの最上位バイト用ホールディングレジスタ								xxxx xxxx	uuuu uuuu
10h	T1CON	—	—	T1CKPS1	T1CKPS0	T1OSCEN	T1SYNC	TMR1CS	TMR1ON	--00 0000	--uu uuuu
15h	CCPR1L	キャプチャ、コンペア、PWM レジスタ 1 (LSB)								xxxx xxxx	uuuu uuuu
16h	CCPR1H	キャプチャ、コンペア、PWM レジスタ 1 (MSB)								xxxx xxxx	uuuu uuuu
17h	CCP1CON	—	—	CCP1X	CCP1Y	CCP1M3	CCP1M2	CCP1M1	CCP1M0	--00 0000	--00 0000

凡例: x = 不定、u = 不変、- = なし、0 とリードされる。網掛け部分はキャプチャおよびタイマ 1 では使用しません。

注意 1: PSPIE および PSPIF ビットは 28 ピンデバイスでは 0 にしておいてください。

# PIC16F87X

## 8.3 PWM モード

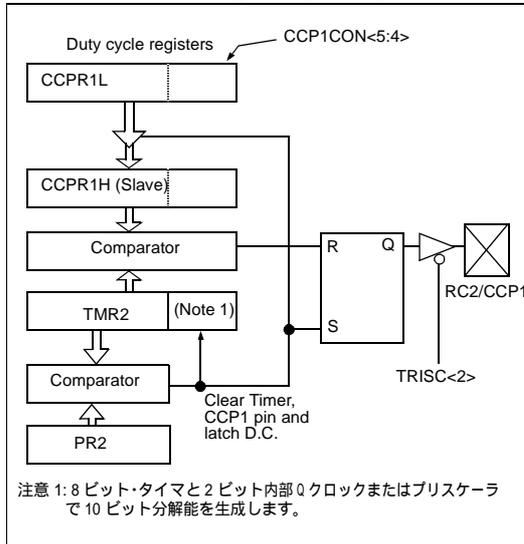
パルス幅変調 (PWM) モードでは、CCP1 ピンは最大 10 ビット分解能の PWM 出力を生成します。CCP1 ピンは PORTC データラッチとマルチプレクスされるので、TRISC<2> ビットをクリアして CCP1 ピンを出力にする必要があります。

**注意：** CCP1CON レジスタをクリアすると、CCP1 PWM 出力ラッチは強制的にデフォルトのローレベルになります。これは PORTC の I/O データラッチではありません。

図 8-4 に PWM モードでの CCP モジュールの簡単なブロック図を示します。

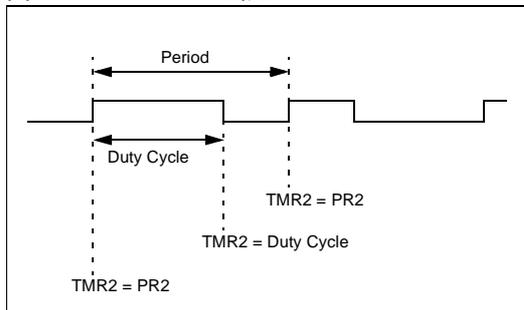
PWM 動作に関する CCP モジュールのセットアップ方法については、8.3.3 項を参照してください。

図 8-4: 簡単な PWM ブロック図



PWM 出力 (図 8-5) は出力が High の期間 (デューティサイクル)、タイムベース (周期) で構成されます。PWM の周波数は周期 (1/周期) とは逆です。

図 8-5: PWM 出力



### 8.3.1 PWM の周期

PWM の周期は PR2 レジスタの値により指定されます。PWM の周期は次の式を使って計算できます。

$$\text{PWM 周期} = [(PR2) + 1] \cdot 4 \cdot T_{osc} \cdot (\text{TMR2 プリスケアラ値})$$

PWM の周波数は  $1/[\text{PWM 周期}]$  と定義されます。

TMR2 が PR2 と等しいとき、次のインクリメントサイクルで以下の 3 点が起こります。

- TMR2 がクリアされる
- CCP1 がセットされる (例外: PWM デューティサイクル = 0% のときは CCP はセットされません)
- PWM デューティサイクルが CCPR1L から CCPR1H へラッチされる

**注意：** タイマ 2 ポストスケアラ (7.0 章) は PWM 周波数の決定には使用されません。ポストスケアラは、PWM 出力とは異なる周波数の更新レートにするために使用することができます。

### 8.3.2 PWM デューティサイクル

PWM デューティサイクルは CCPR1L レジスタと CCP1CON<5:4> ビットの値により指定されます。10 ビットまでの分解能があります。CCPR1L には 8 つの MSB があり、CCP1CON<5:4> には 2 つの LSB があります。この 10 ビット値は CCPR1L:CCP1CON<5:4> により表されます。次式で PWM デューティサイクルが計算できます。

$$\text{PWM デューティサイクル} = (\text{CCPR1L} : \text{CCP1CON} < 5:4 >) \cdot T_{osc} \cdot (\text{TMR2 プリスケアラ値})$$

CCPR1L と CCP1CON<5:4> はいつでもライトすることができますが、デューティ・サイクル値は PR2 と TMR2 が一致する (周期が完了する) まで CCPR1H にラッチされません。PWM モードでは、CCPR1H はリード専用レジスタです。

CCPR1H レジスタと 2 ビットの内部ラッチを使用して、PWM デューティサイクルをダブルバッファします。このダブルバッファは、グリッチのない PWM 動作には非常に重要です。

CCPR1H と 2 ビットのラッチが、内部の 2 ビット Q クロックまたは 2 ビットの TMR2 プリスケアラと結合した TMR2 と一致すると、CCP ピンがクリアされます。

所定の PWM 周波数における PWM の最大分解能 (ビット) は次のようになります。

$$= \frac{\log \left( \frac{F_{osc}}{F_{pwm}} \right)}{\log (2)} \text{ bits}$$

**注意：** PWM デューティサイクル値が PWM 周期より長い場合、CCP1 ピンはクリアされません。

PWM 周期とデューティサイクルの計算方法については、ミッド・レンジ リファレンスマニュアル (DS33023) を参照してください。

# PIC16F87X

## 8.3.3 PWM のセットアップ

CCP モジュールを PWM にセットするには、以下のステップに従います。

1. PR2レジスタへのライトによりPWM周期をセットします。
2. CCP1LレジスタとCCP1CON<5:4>ビットへのライトにより PWM デューティサイクルをセットします。
3. TRISC<2>ビットをクリアすることによりCCP1ピンを出力にします。
4. T2CONレジスタにTMR2プリスケアラ値をセット、

および、タイマ2を動作開始します。

5. CCP1モジュールをPWMモードにします。

表 8-4 20 MHz での PWM 周波数と分解能の例

PWM 周波数	1.22 kHz	4.88 kHz	19.53 kHz	78.12 kHz	156.3 kHz	208.3 kHz
タイマ・プリスケアラ (1, 4, 16)	16	4	1	1	1	1
PR2 値	0xFF	0xFF	0xFF	0x3F	0x1F	0x17
最大分解能 (ビット)	10	10	10	8	7	5.5

表 8-5 PWM とタイマ2に関連するレジスタ

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR BOR での値	他のリセットでの値
0Bh,8Bh,10Bh,18Bh	INTCON	GIE	PEIE	T0IE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
87h	TRISC	PORTC データ方向レジスタ								1111 1111	1111 1111
11h	TMR2	タイマ2モジュールのレジスタ								0000 0000	0000 0000
92h	PR2	タイマ2モジュールの周期レジスタ								1111 1111	1111 1111
12h	T2CON	—	TOUTPS3	TOUTPS2	TOUTPS1	TOUTPS0	TMR2ON	T2CKPS1	T2CKPS0	-000 0000	-000 0000
15h	CCPR1L	キャプチャ / コンペア / PWM レジスタ 1 (LSB)								xxxx xxxx	uuuu uuuu
16h	CCPR1H	キャプチャ / コンペア / PWM レジスタ 1 (MSB)								xxxx xxxx	uuuu uuuu
17h	CCP1CON	—	—	CCP1X	CCP1Y	CCP1M3	CCP1M2	CCP1M1	CCP1M0	--00 0000	--00 0000

凡例: x = 不定、u = 不変、- = なし、0 とリードされます。網掛部分は PWM およびタイマ2では使用しません。

注意 1: PSPIE および PSPIF ビットは 28 ピンデバイスでは 0 にしておいてください。

# PIC16F87X

---

NOTES:

## 9.0 +0 マスター同期シリアルポート (MSSP) モジュール

マスター同期シリアルポート(MSSP) モジュールは、他の周辺 IC やマイクロコントローラとの通信に便利なシリアルインターフェイスです。これらの周辺デバイスには、EEPROM、シフトレジスタ、表示ドライバー、A/D 変換器などがあります。MSSP モジュールは以下のモードのうちのどちらかで動作することができます。

- Serial Peripheral Interface(SPI)
- Inter-Integrated Circuit (I<sup>2</sup>C)

図 9-1 に SPI モードのブロック図を示します。また、図 9-2 と図 9-3 には 2 つの I<sup>2</sup>C モードの動作を示します。

# PIC16F87X

図 9-1: SSPSTAT: 同期シリアルポートステータスレジスタ (アドレス: 94h)

R/W-0	R/W-0	R-0	R-0	R-0	R-0	R-0	R-0
SMP	CKE	D/A	P	S	R/W	UA	BF
bit7						bit0	
<p>R = リード可能ビット W = ライト可能ビット U = なし、「0」としてリードする - n = POR リセットでの値</p>							
bit 7:	<p><b>SMP:</b> サンプルビット SPI マスターモード 1 = 入力データはデータ出力時間の終わりでサンプルされる 0 = 入力データはデータ出力時間の中央でサンプルされる SPI スレーブモード SPI をスレーブモードで使用するときには必ず SMP をクリアする I<sup>2</sup>C マスターまたはスレーブモードのとき: 1 = 標準速度モード (100kHz および 1MHz)、スルーレート制御は行わない 0 = 高速モード (400kHz)、スルーレート制御を行う</p>						
bit 6:	<p><b>CKE:</b> SPI クロックエッジ選択 (図 9-6、図 9-8、図 9-9) SPI Mode: CKP = 0 1 = データは SCK の立ち上がりエッジで送信される 0 = データは SCK の立ち下がりエッジで送信される CKP = 1 1 = データは SCK の立ち下がりエッジで送信される 0 = データは SCK の立ち上がりエッジで送信される I<sup>2</sup>C マスターまたはスレーブモードのとき: 1 = SMBUS 仕様に準拠する入力レベル 0 = I<sup>2</sup>C 仕様に準拠する入力レベル</p>						
bit 5:	<p><b>D/A:</b> データ / アドレスビット (I<sup>2</sup>C モードのみ) 1 = 最後に受信または送信したバイトはデータであったことを示す 0 = 最後に受信または送信したバイトはアドレスであったことを示す</p>						
bit 4:	<p><b>P:</b> ストップビット (I<sup>2</sup>C モードのみ。このビットは SSPEN がクリアで MSSP モジュールが動作していないとき、クリアされる) 1 = 最後に検出されたのはストップビットであったことを示す (このビットはリセット時には「0」になる) 0 = 最後に検出されたのはストップビットではなかった</p>						
bit 3:	<p><b>S:</b> スタートビット (I<sup>2</sup>C モードのみ。このビットは SSPEN がクリアで MSSP モジュールが動作していないとき、クリアされる) 1 = 最後に検出されたのはスタートビットであったことを示す (このビットはリセット時には「0」になる) 0 = 最後に検出されたのはスタートビットではなかった</p>						
bit 2:	<p><b>R/W:</b> リード / ライトビット情報 (I<sup>2</sup>C モードのみ) このビットは最終にアドレス一致したときの R/W ビットの値を保持する。このビットはアドレス一致から、その後のスタートビット、ストップビットまたは not ACK ビットまで有効である。 I<sup>2</sup>C スレーブモード: 1 = リード 0 = ライト I<sup>2</sup>C マスターモード: 1 = 送信中 0 = 送信していない このビットと SEN、RSEN、PEN、RCEN または ACKEN と OR をとると、MSSP がアイドであるかどうか分かる。</p>						
bit 1:	<p><b>UA:</b> 更新アドレス (10 ビットの I<sup>2</sup>C モードのみ) 1 = SSPADD レジスタのアドレスを更新する必要があることを示す。 0 = アドレスを更新する必要はない</p>						
bit 0:	<p><b>BF:</b> バッファフルステータスビット 受信 (SPI および I<sup>2</sup>C モード) 1 = 受信完了、SSPBUF はフル 0 = 受信は未終了、SSPBUF は空 送信 (I<sup>2</sup>C モードのみ) 1 = データ送信中 (ACK およびストップビットは除く)、SSPBUF はフル 0 = データ送信完了 (ACK およびストップビットは除く) SSPBUF は空</p>						

図 9-2: **SSPCON<sup>1</sup>: 同期シリアルポートコントロールレジスタ (アドレス 14h)**

| R/W-0 |
|-------|-------|-------|-------|-------|-------|-------|-------|
| WCOL  | SSPOV | SSPEN | CKP   | SSPM3 | SSPM2 | SSPM1 | SSPM0 |
| bit7  |       |       |       | bit0  |       |       |       |

R = リード可能なビット  
 W = ライト可能なビット  
 -n = POR リセットでの値

bit 7: **WCOL**: ライト衝突検出ビット  
**マスターモード**:  
 1 = I<sup>2</sup>C の状態が有効でないときに、SSPBUF へのライトを実行した。  
 0 = 衝突なし  
**スレーブモード**:  
 1 = 前のワードを送信中に SSPBUF レジスタへライトされた。(ソフトウェアでクリアする必要がある)。  
 0 = 衝突なし

bit 6: **SSPOV**: 受信オーバーフロー表示ビット  
**SPI モードの場合**  
 1 = SSPBUF が前のデータを保持しているときに新しいバイトを受信した。SSPSR のデータはオーバーフローにより失われる。スレーブモードではデータ送信のみであっても、オーバーフローを避けるために、ソフトウェアで SSPBUF をリードする必要がある。マスターモードでは各動作が SSPBUF レジスタへのライトにより始まるので、オーバーフロービットはセットされない。(ソフトウェアでクリアする必要がある)。  
 0 = オーバーフローなし  
**I<sup>2</sup>C モードの場合**  
 1 = SSPBUF が以前のバイトを保持しているときにバイトを受信した。SSPOV は送信モードでは「Don't care」である。(ソフトウェアでクリアする必要がある)。  
 0 = オーバーフローなし

bit 5: **SSPEN**: 同期シリアルポートイネーブルビット  
**SPI モードの場合**、動作しているとき、以下のピンは入力または出力を正しく設定する必要がある。  
 1 = シリアルポートを動作させ、SCK、SDO、SDI、SS をシリアルポートピンにする。  
 0 = シリアルポートを停止して、上記のピンを I/O ポートピンにする。  
**I<sup>2</sup>C モードの場合**、動作しているとき、以下のピンは入力または出力を正しく設定する必要がある。  
 1 = シリアルポートを動作させ、SDA と SCL ピンをシリアルポートピンにする。  
 0 = シリアルポートを停止して、上記のピンを I/O ポートピンにする。

bit 4: **CKP**: クロック極性セレクトビット  
**SPI モードの場合**  
 1 = クロックが High レベルでアイドル状態  
 0 = クロックが Low レベルでアイドル状態  
**I<sup>2</sup>C スレーブモードの場合**、SCK 開放制御  
 1 = クロックを動作させる  
 0 = クロックを Low にしておく (クロックストレッチ) (データセットアップ時間の確保に使用する)  
**I<sup>2</sup>C マスターモードの場合**  
 このモードでは使用しない

bit 3-0: **SSPM3:SSPM0**: 同期シリアルポートモードセレクトビット  
 0000 = SPI マスターモード、クロック = Fosc/4  
 0001 = SPI マスターモード、クロック = Fosc/16  
 0010 = SPI マスターモード、クロック = Fosc/64  
 0011 = SPI マスターモード、クロック = TMR2 出力 /2  
 0100 = SPI スレーブモード、クロック = SCK ピン。SS ピン制御を動作させる  
 0101 = SPI スレーブモード、クロック = SCK ピン。SS ピン制御は停止。SS は I/O ピンとして使用可能。  
 0110 = I<sup>2</sup>C スレーブモード、7 ビットアドレス  
 0111 = I<sup>2</sup>C スレーブモード、10 ビットアドレス  
 1000 = I<sup>2</sup>C マスターモード、クロック = Fosc / (4 \* (SSPADD+1))  
 1011 = I<sup>2</sup>C ファームウェア制御のマスターモード (スレーブはアイドル)  
 1110 = I<sup>2</sup>C ファームウェア制御のマスターモード、7 ビットアドレスでスタートおよびストップビット割り込み発生あり  
 1111 = I<sup>2</sup>C ファームウェア制御のマスターモード、10 ビットアドレスでスタートおよびストップビット割り込み発生あり  
 1001, 1010, 1100, 1101 = 予約

# PIC16F87X

図 9-3: SSPCON2: 同期シリアルポートコントロールレジスタ2 (アドレス 91h)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	
GCEN	ACKSTAT	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN	
bit7								bit0

R = リード可能なビット  
 W = ライト可能なビット  
 U = なし、「0」としてリードする  
 - n = POR リセットでの値

bit 7: **GCEN:** ゼネラル・コールイネーブルビット (I<sup>2</sup>C スレーブモードのみ)  
 1 = ゼネラル・コールアドレス (0000h) を SSPSR で受信したとき割り込み発生させる  
 0 = ゼネラル・コールアドレスは発生させない

bit 6: **ACKSTAT:** アクノレジットステータスビット (I<sup>2</sup>C マスターモードのみ)  
 マスター送信モードの場合:  
 1 = アクノレッジをスレーブから受信しなかった  
 0 = アクノレッジをスレーブから受信した

bit 5: **ACKDT:** 受信応答データビット (I<sup>2</sup>C マスターモードのみ)  
 マスター受信モードの場合:  
 ユーザーが受信の終わりで応答シーケンスを開始するときに送信する値。  
 1 = 応答なし  
 0 = 応答あり

bit 4: **ACKEN:** アクノレッジシーケンスイネーブルビット (I<sup>2</sup>C マスターモードのみ)  
 マスター受信モードの場合:  
 1 = SDA および SCL ピンでアクノレッジシーケンスを開始して、ACKDT データビットを送信する。ハードウェアで自動的にクリアされる。  
 0 = アクノレッジシーケンスがアイドル中

bit 3: **RCEN:** 受信イネーブルビット (I<sup>2</sup>C マスターモードのみ)  
 1 = I<sup>2</sup>C 受信モードを動作させる  
 0 = 受信がアイドル中

bit 2: **PEN:** ストップコンディションイネーブルビット (I<sup>2</sup>C マスターモードのみ)  
 SCK 開放制御  
 1 = SDA および SCL ピンのストップコンディションを開始する。ハードウェアで自動的にクリアされる。  
 0 = ストップコンディションがアイドル中

bit 1: **RSEN:** 繰り返しスタートコンディションイネーブルビット (I<sup>2</sup>C マスターモードのみ)  
 1 = SDA および SCL ピンの繰り返しスタートコンディションを開始する。ハードウェアで自動的にクリアされる。  
 0 = 繰り返しスタートコンディションがアイドル中

bit 0: **SEN:** スタートコンディションイネーブルビット (I<sup>2</sup>C マスターモードのみ)  
 1 = SDA および SCL ピンのスタートコンディションを開始する。ハードウェアで自動的にクリアされる。  
 0 = スタートコンディションがアイドル中

**注意:** ビット ACKEN、RCEN、PEN、RSEN、SEN について: I<sup>2</sup>C モジュールがアイドルモードでない場合、このビットをセットしてはならない(スプール禁止)。また SSPBUF をライトされない場合があります。(または SSPBUF へのライトはできない)。

## 9.1 SPI モード

SPI モードにより 8 ビットのデータを同時に同期で送受信できます。SPI の 4 つのモードはすべてサポートされています。通信を成立させるには、通常 3 つのピンを使用します。

- シリアルデータ・アウト (SDO)
- シリアルデータ・イン (SDI)
- シリアルクロック (SCK)

スレープモードの時は、もう 1 ピンを使用することができます。

- スレープセレクト ( $\overline{SS}$ )

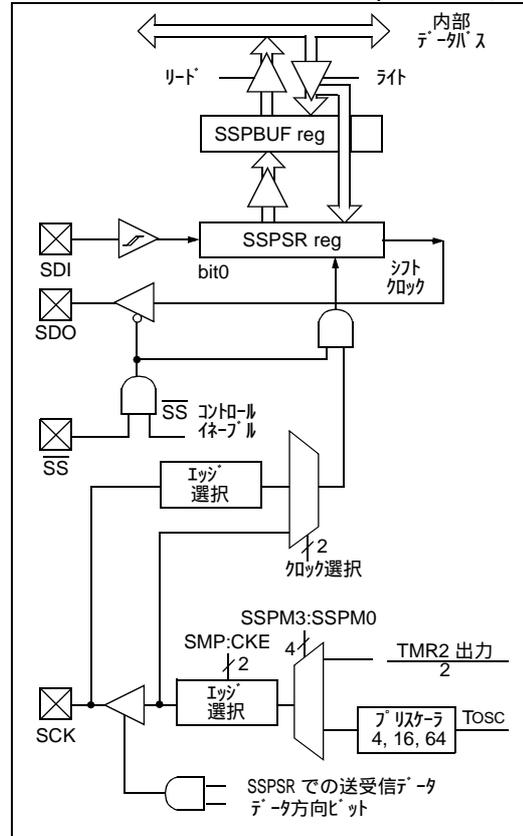
### 9.1.1 動作

SPI の初期化には、いくつかのオプションを指定する必要があります。これは適切なコントロールビット (SSPCON<5:0> および SSPSTAT<7:6>) のプログラムにより行います。このコントロールビットにより以下の項目を指定することができます。

- マスターモード (SCK はクロック出力)
- スレープモード (SCK はクロック入力)
- クロック極性 (SCK のアイドル状態)
- データ入力サンプルタイミング (データ出力時間の中間または終わり)
- クロックエッジ (SCK の立ち上がりまたは立ち下がりエッジの出力データ)
- クロックレート (マスターモードのみ)
- スレープセレクトモード (スレープモードのみ)

図 9-4 に SPI モード時の MSSP モジュールのブロック図を示します。

図 9-4: MSSP のブロック図 (SPI モード)



MSSP は送受信シフトレジスタ (SSPSR) およびバッファレジスタ (SSPBUF) で構成されます。SSPSR はデータをデバイスの内外に、まず MSb からシフトします。データ受信完了するまで、SSPBUF は SSPSR にライトされたデータを保持します。8 ビットのデータを受信すると、そのバイトは SSPBUF レジスタに移動します。その時、バッファ・フル検出ビット BF (SSPSTAT<0>) と割込みフラグビット SSPIF (PIR1<3>) がセットされます。ダブルバッファにより、受信したデータをリードする前に次のバイトの受信を開始することができます。データ送受信中の SSPBUF レジスタへのライトはすべて無視され、ライト衝突検出ビット WCOL (SSPCON<7>) がセットされます。ユーザーのソフトウェアで必ず WCOL ビットをクリアして、その後の SSPBUF レジスタへのライトが正しく終了したかどうかを判定できるようにします。

アプリケーションのソフトウェアが有効なデータを受信するには、次の受信バイトが SSPBUF へライトされる前に SSPBUF をリードする必要があります。バッファフルビット BF (SSPSTAT<0>) は SSPBUF が受信データをロードした (送信が終了した) 時期を示します。SSPBUF がリードされると、ビット BF はクリアされます。SPI がトランスミッターのみの場合、このデータは無意味かもしれませんが、通常、MSSP 割り込みはいつ送信 / 受信が完了したかを判定するために使用します。SSPBUF は必ずリードまたはライトのどちらかまたは両方を行

# PIC16F87X

う必要があります。割り込みを使用しない場合は、ソフトウェアによるポーリングを実行してライト衝突がないようにすることができます。例 9-1 にデータ送信用の SSPBUF (SSPSR) のロード方法を示します。

## 例 9-1: SSPBUF (SSPSR) レジスタのロード方法

```

BSF STATUS, RP0 ;Specify Bank 1
LOOP BTFSF SSPSTAT, BF ;Has data been
;received
;(transmit
;complete)?
GOTO LOOP ;No
BCF STATUS, RP0 ;Specify Bank 0
MOVF SSPBUF, W ;W reg = contents
;of SSPBUF
MOVW RXDATA ;Save in user RAM
F
MOVF TXDATA, W ;W reg = contents
;of TXDATA
MOVW SSPBUF ;New data to xmit
F
    
```

SSPSR は直接にはリードもライトもできませんが、SSPBUFレジスタを通してのみアクセス可能です。また、MSSP ステータスレジスタ (SSPSTAT) は各種ステータスコンディションを表示します。

### 9.1.2 SPI I/O のイネーブル

シリアルポートをイネーブルにするには、MSSP イネーブルビット、SSPEN (SSPCON<5>) をセットする必要があります。SPI モードをリセットまたは再設定するには、SSPEN ビットをクリアして、SSPCON レジスタを再度初期化し、SSPEN ビットをセットします。これは、SDI、SDO、SCK および SS ピンをシリアルポートピンとして構成したことになります。ピンがシリアルポート機能

として動作するには、いつかのビットは、データ方向ビット (TRIS レジスタ) を設定しなければいけません。つまり以下の項目に従います。

- SDI は SPI モジュールにより自動的に制御される
- SDO は必ず TRISC<5> をクリアする
- SCK (マスターモード) は必ず TRISC<3> をクリアする
- SCK (スレーブモード) は必ず TRISC<3> をセットする
- SS は必ず TRISA<5> をセットする

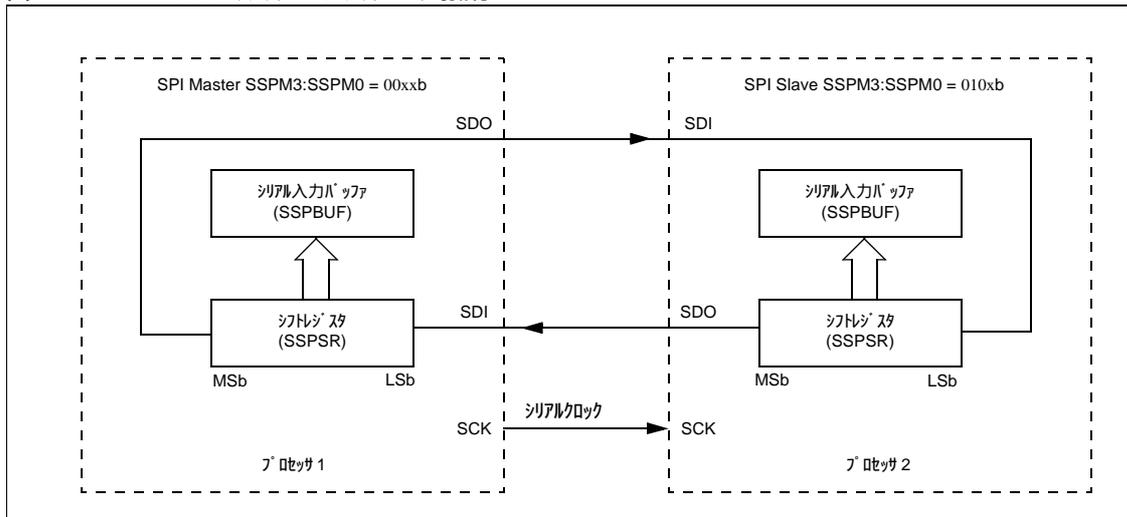
望まないシリアルポート機能があれば、対応するデータ方向 (TRIS) レジスタを逆の値にプログラムすることで無効にできるものがあります。

### 9.1.3 標準的な接続

図 9-5 に 2 つのマイクロコントローラ間の標準的な接続方法を示します。マスターコントローラ (プロセッサ 1) は SCK 信号の送信によりデータ転送を開始します。データはプログラムされたクロックエッジで両方のシフトレジスタからシフトアウトされ、反対のエッジのクロックにラッチされます。2 つのプロセッサは同じクロック極性 (CKP) にプログラムする必要があります。両コントローラはデータを同時に送受信します。データに意味がある (またはダミーデータである) かどうかはアプリケーションのソフトウェアによります。これによりデータ送信の 3 つのシナリオが考えられます。

- マスターがデータを送信する — スレーブがダミーデータを送信する
- マスターがデータを送信する — スレーブがデータを送信する
- マスターがダミーデータを送信する — スレーブがデータを送信する

図 9-5: SPI マスター/スレーブ接続



## 9.1.4 マスターモード

マスターはSCKを制御するので、いつでもデータ転送を始めることができます。マスターはスレーブ（プロセッサ 2 図 9-5）がソフトウェアプロトコルによりいつデータを転送するか判断します。

マスターモードでは、SSPBUFレジスタがライトされるとすぐにデータが送信/受信されます。SPIモジュールが受信のみを行う場合は、SDO出力をディセーブル（入力設定にする）しても構いません。SSPSRレジスタはSDIピンにある信号を設されたクロックレートでシフトインし続けます。各バイトは受信されると、異常のない受信バイトとしてSSPBUFレジスタにロードされます（割り込みビットとステータスビットが正しくセットされます）。これは「ライン動作モニター」としてのレシーバアプリケーションに有効です。

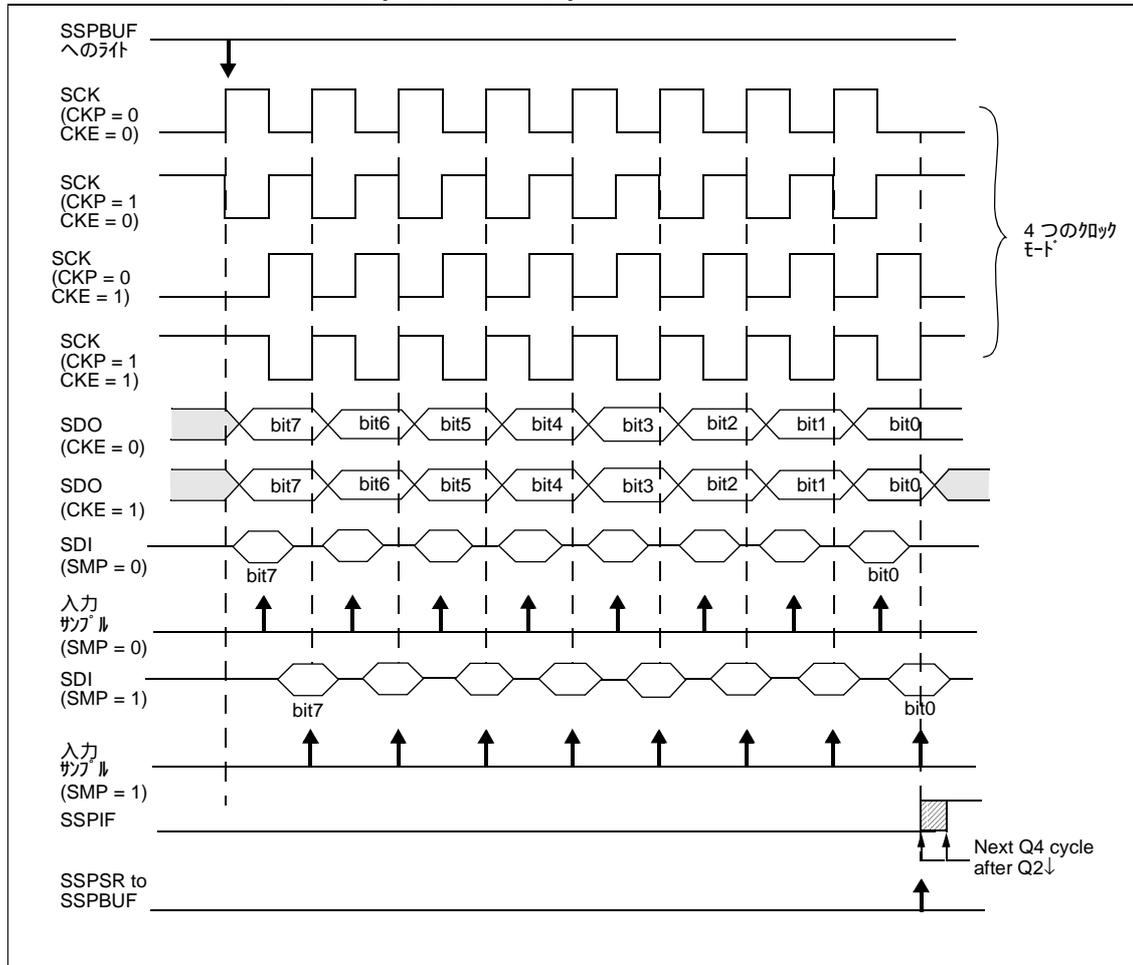
クロック極性はCKP(SSPCON<4>)ビットにより選択されます。これにより、図 9-6、図 9-8、図 9-9 に示すような波形のSPI通信になります。ここではMSbが最初に送信されます。マスターモードでは、SPIクロックレート（ビットレート）は次のいずれかにユーザープログラムできます。

- Fosc/4（または Tcy）
- Fosc/16（または 4・Tcy）
- Fosc/64（または 16・Tcy）
- タイマ2出力/2

これにより5.0MHzの最大ビット周波数（20MHz動作のとき）が可能です。

図 9-6 にマスターモードの波形を示します。CKE=1のとき、SDOデータはクロックエッジがSCKに現れる前に有効になります。SMPビットで入力サンプルを設定できます。SSPBUFに受信データがロードされる時間も示します。

図 9-6: SPIモードの波形（マスターモード）



# PIC16F87X

## 9.1.5 スレーブモード

スレーブモードでは、外部クロックパルスが SCK に現れた時にデータが送受信されます。最後のビットがラッチされると、割込みフラグビット SSPIF(PIR1<3>) がセットされます。

スレーブモード中は、外部クロックは SCK ピンに接続された外部クロックソースから供給されます。外部クロックは電氣的仕様に明記された最小 High および Low 時間を満たしていなければなりません。

スレーブモードの間は、スレーブはデータを送受信できます。1 バイトを受信するとデバイスはスリープから起動します。

## 9.1.6 スレーブセレクト同期

SS ピンにより同期スレーブモードが可能になります。その場合は、SS ピン制御はイネーブル (SSPCON<3:0> = 0100) でなければなりません。SS ピンが入力として機能させるには、ピンを Low にドライブしてはなりません。TRISA<5> を必ずセットします。SS ピンが Low のとき、送受信はイネーブルで、SDO ピンはドライブされています。SS ピンがハイに

なると、SDO ピンは送信バイトの半ばであってもドライブされず、フローティング出力になります。アプリケーションによっては、外部プルアップ/プルダウン抵抗をつけたほうがよい場合があります。

**注意：** SPI モジュールがスレーブモードで、SS 制御がイネーブルのとき、(SSPCON<3:0> = 0100) SS ピンが VDD にセットされた場合、SPI モジュールはリセットされます。

**注意：** SPI がスレーブモードで使用され、CKE = '1' の場合、SS ピン制御は必ずイネーブルにしてください。

SPI モジュールがリセットのときは、ビットカウンタは強制的に 0 になります。これは、SS ピンを強制的にハイレベルにするか、SSPEN ビットをクリアすることにより行えます。

2 線通信をエミュレートするために、SDO ピンを SDI ピンに接続することができます。SPI がレシーバーとして動作する必要がある場合、SDO ピンは入力として構成できます。この場合、SDO からの送信はディセーブルとなります。SDI はバスの対立に関わらないので、常に入力 (SDI 機能) として残しておくことができます。

図 9-7: スレーブ同期の波形

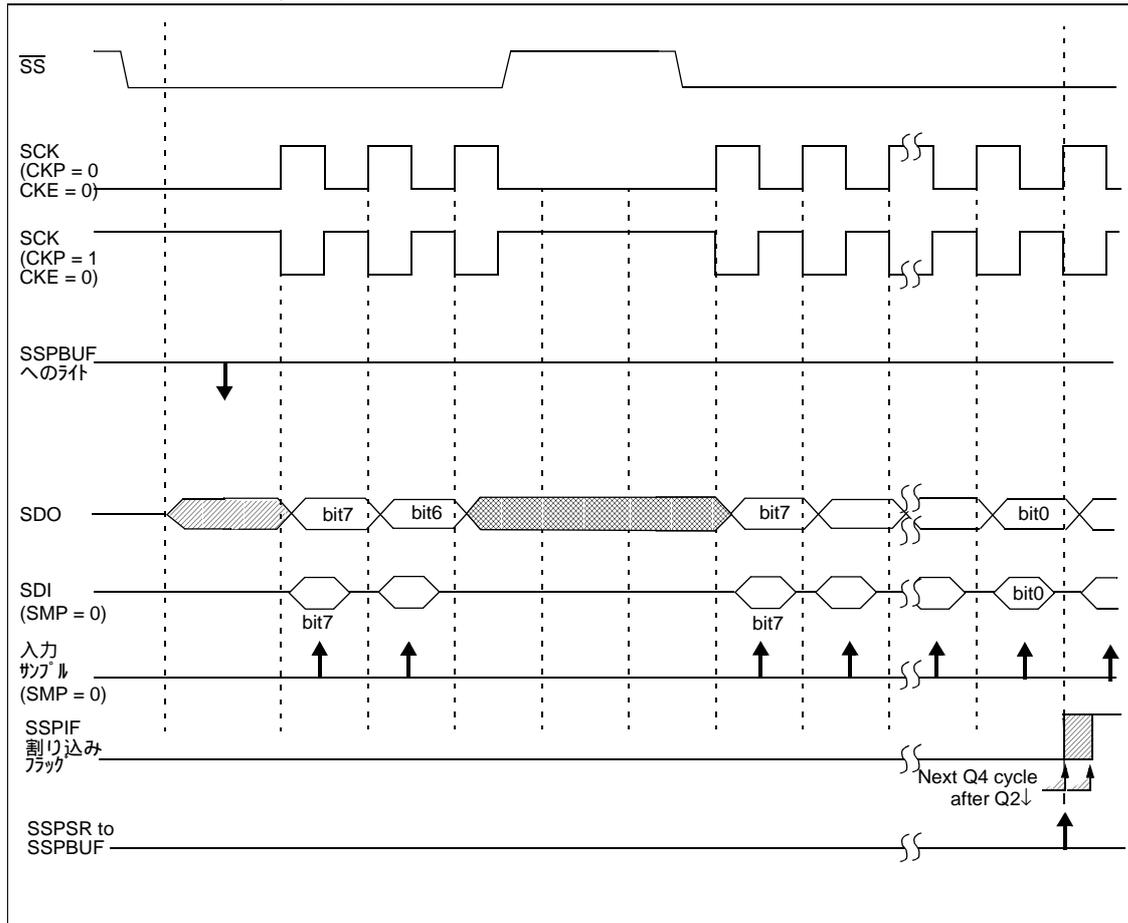


図 9-8: SPI スレーブモードの波形 (CKE = 0)

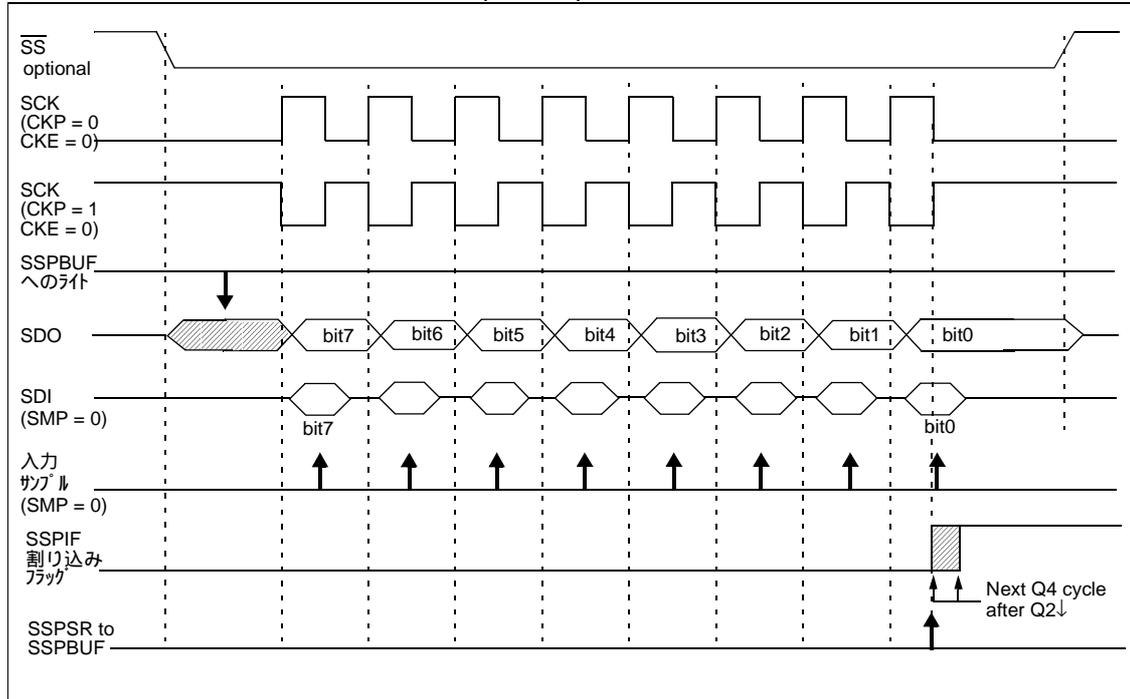
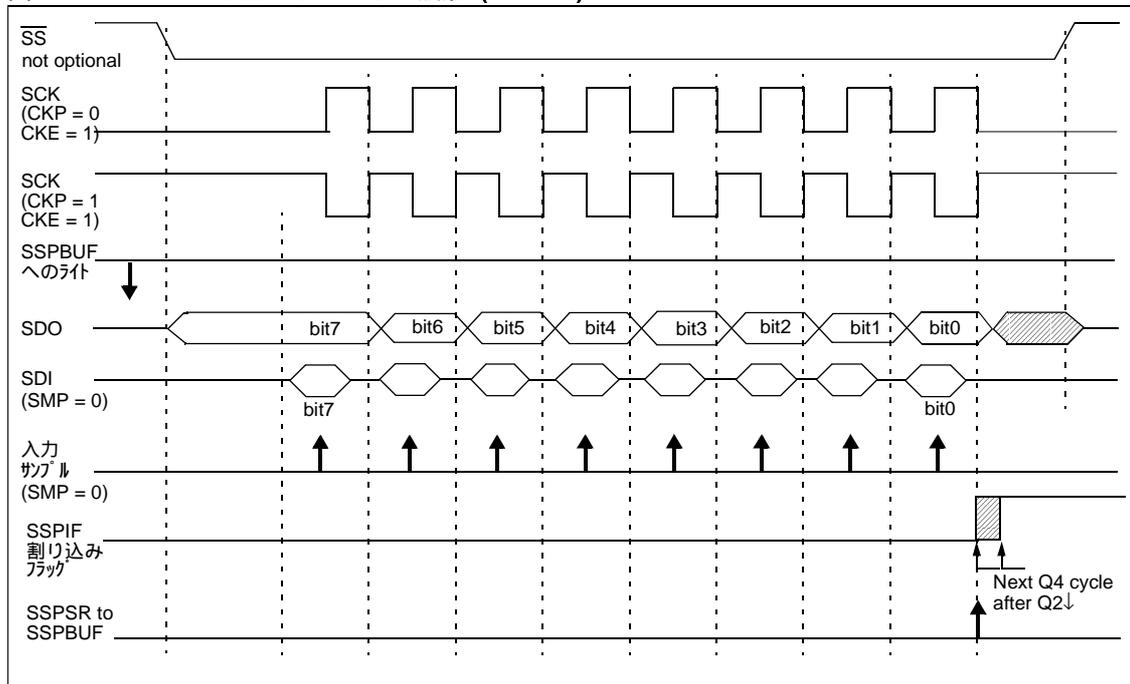


図 9-9: SPI スレーブモードの波形 (CKE = 1)



# PIC16F87X

## 9.1.7 スリープ動作

マスターモードでは、すべてのモジュールクロックが停止しており、送信 / 受信はデバイスがスリープから起動するまではそのままの状態を保ちます。デバイスが通常モードに戻った後は、モジュールはデータの送信 / 受信を続けます。

スリープモードでは、SPI 送信 / 受信シフトレジスタはデバイスに対して非同期的に動作します。これによりデバイスをスリープモードにして、データを SPI 送信 / 受信シフトレジスタにシフトすることができます。すべての 8 ビットを受信すると、MSSP 割り込みフラグビットがセットされ、イネーブルの場合は、デバイスをスリープから起動します。

## 9.1.8 リセットの効果

リセットにより MSSP モジュールはディセーブルになり、現在の送信は終了します。

表 9-1 SPI の動作に関連するレジスタ

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR, BOR	MCLR, WDT
0Bh, 8Bh, 10Bh, 18Bh	INTCON	GIE	PEIE	TOIE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
13h	SSPBUF	同期シリアルポート受信バッファ / 送信レジスタ								xxxx xxxx	uuuu uuuu
14h	SSPCON	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	0000 0000
94h	SSPSTAT	SMP	CKE	D/ $\bar{A}$	P	S	R/ $\bar{W}$	UA	BF	0000 0000	0000 0000

凡例： x = 不定、u = 不変、- = なし、'0' とリードされる。網掛部分は SPI モードの SSP では使用しません。

注意 1: これらのビットは 28 ピンデバイスでは 0 にしておいてください。

## 9.2 MSSP の I<sup>2</sup>C 動作

I<sup>2</sup>C モードの MSSP モジュールはマスターおよびスレーブ機能（ゼネラル・コールサポートなど）が実行でき、フリーバス（マルチマスター機能）を判断するためにハードウェアのスタートおよびストップビットで割込みを供給します。MSSP モジュールは、7 ビットおよび 10 ビットのアドレスと同様に標準モード仕様を実行できます。

アプリケーションノート AN578、「I<sup>2</sup>C マルチマスター環境での SSP モジュールの使用法」を参照してください。

ピンが入力のときには SCL ピンと SDA ピンには「グリッチ」フィルタがあります。このフィルタは 100kHz と 400kHz の両モードで動作します。100kHz モードでこれらのピンが出力の場合、デバイスの周波数には影響されないピンのスルーレート制御があります。

図 9-10: I<sup>2</sup>C スレーブモードのブロック図

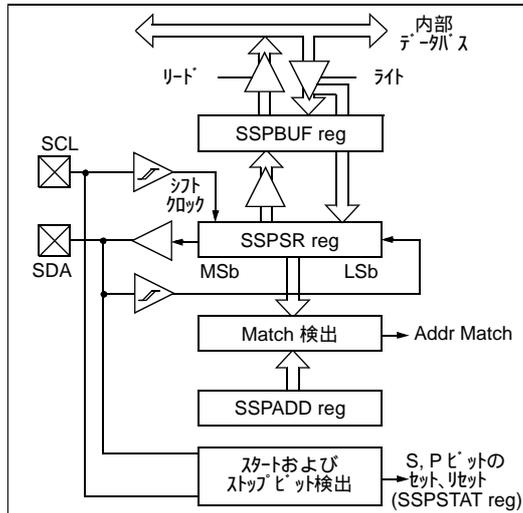
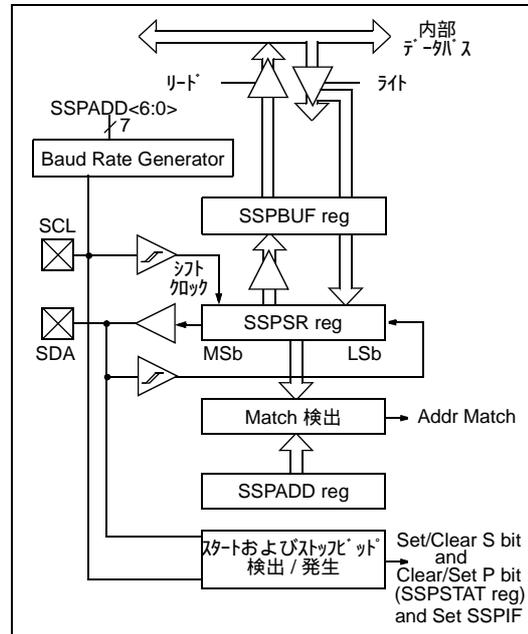


図 9-11: I<sup>2</sup>C マスターモードのブロック図



2つのピンはデータ転送に使用します。2つのピンとは SCL ピン（クロック）と SDA ピン（データ）です。SDA および SCL ピンは、I<sup>2</sup>C がイネーブルになると自動的に構成されます。SSP モジュールの機能は SSP イネーブルビット SSPEN (SSPCON<5>) をセットすることによりイネーブルになります。

MSSP モジュールには I<sup>2</sup>C 動作に以下の 6 つのレジスタがあります。

- SSP コントロールレジスタ (SSPCON)
- SSP コントロールレジスタ 2 (SSPCON2)
- SSP ステータスレジスタ (SSPSTAT)
- シリアル受信/送信バッファ (SSPBUF)
- SSP シフトレジスタ (SSPSR) - 直接アクセスすることはできません
- SSP アドレスレジスタ (SSPADD)

SSPCON レジスタにより I<sup>2</sup>C の動作を制御できます。4 つのモードセレクションビット (SSPCON<3:0>) により次の I<sup>2</sup>C モードの 1 つを選択することができます。

- I<sup>2</sup>C スレーブモード (7 ビットアドレス)
- I<sup>2</sup>C スレーブモード (10 ビットアドレス)
- I<sup>2</sup>C マスターモード、クロック = OSC/4 (SSPADD + 1)

I<sup>2</sup>C モードを選択する前に、SCL と SDA ピンは必ず、TRIS レジスタのビットをセットして、入力設定にしないようにしてください。SSPEN ビットのセットにより I<sup>2</sup>C モードを選択すると、SCL と SDA ピンは I<sup>2</sup>C モードでクロックおよびデータラインとして使用できるようになります。

CKE ビット (SSPSTAT<6>) はマスターモードまたはスレーブモードで SDA ピンと SCL ピンのレベルをセットします。CKE=1 のとき、レベルは SMBUS 仕様に準拠します。CKE=0 のとき、レベルは I<sup>2</sup>C 仕様に準拠します。

# PIC16F87X

SSPSTAT レジスタでデータ転送の状態を示します。この情報にはSTART(S)またはSTOP(P)ビットの検出が含まれ、受信バイトがデータであるかアドレスであるか、次のバイトが完全な 10 ビットアドレスであるか、また、この転送がリードであるかライトであるかを示します。

SSPBUFは転送データをライトまたはリードするレジスタです。SSPSR レジスタはデバイスのデータをシフト・インまたはシフト・アウトします。受信では、SSPBUFとSSPSRは2重のバッファのレシーバーになります。これにより、最後に受信したバイトをリードする前に次のバイトの受信を開始することができます。バイトを完全に受信すると、そのバイトはSSPBUFレジスタに転送され、フラグビットSSPIFがセットされます。SSPBUFレジスタがリードされる前に別のバイトを受信した場合、レシーバーのオーバーフローが発生して、ビットSSPOV(SSPCON<6>)がセットされ、SSPSRのバイトは失われます。

SSPADD レジスタはスレーブアドレスを保持します。10 ビットモードではアドレスの上位のバイト (1111 0 A9 A8 0) をライトする必要があります。上位バイトアドレスの一致後、アドレスの下位のバイトをロードする必要があります (A7:A0)。

## 9.2.1 スレーブモード

スレーブモードではSCLおよびSDAピンは必ず入力として構成します。MSSPモジュールは必要に応じて入力状態を出力データでオーバーライドします(スレーブトランスミッター)。

アドレスが一致するか、アドレスの一致後のデータ転送を受信すると、ハードウェアは自動的にアックノリッジ(ACK)パルスを生成して、SSPBUFに現在受信しているSSPSRレジスタの値をロードします。

MSSPモジュールがこのACKパルスを生成しない状況があります。これは以下のいずれか(または両方)の場合に起こります。

- 転送が受信される前にバッファ・フルビットBF(SSPSTAT<0>)がセットされた。
- 転送が受信される前にオーバーフロービットSSPOV(SSPCON<6>)がセットされた。

BFビットがセットされた場合、SSPSRレジスタの値はSSPBUFにロードされませんが、ビットSSPIFとSSPOVがセットされます。表9-2にデータ転送バイトを受信したときに起こる現象をバイトBFとSSPOVのステータスに関して示します。網掛部分はユーザーのソフトウェアがオーバーフロー状態を正しくクリアしなかった場合の状態を示しています。フラグビットBFはSSPBUFレジスタのリードによりクリアされますが、ビットSSPOVはソフトウェアでクリアされます。

SCLクロック入力を正しく動作させるには最小HighおよびLow時間を確保する必要があります。I<sup>2</sup>C仕様のHighおよびLow時間とMSSPモジュールの必要条件は電氣的仕様のタイミングパラメータ#100およびパラメータ#101に記載します。

### 9.2.1.1 アドレス指定

MSSPはイネーブルになると、スタート・コンディションが発行されるのを待ちます。スタート・コンディションの後、8ビットがSSPSRレジスタにシフトされます。受信するビットはすべてクロック(SCL)ラインの立ち上がりエッジでサンプリングされます。レジスタSSPSR<7:1>の値はSSPADDレジスタの値と比較されます。アドレスは8番目のクロック(SCL)パルスの立ち下がりエッジで比較されます。アドレスが一致して、BFおよびSSPOVビットがクリアの場合、次のイベントが発生します。

- SSPSRレジスタの値が8番目のSCLパルスの立ち下がりエッジでSSPBUFレジスタにロードされる。
- バッファ・フルビット、BFが8番目のSCLパルスの立ち下がりエッジでセットされる。
- ACKパルスが発生する。
- SSP割り込みフラグビット、SSPIF(PIR1<3>)がセットされる(イネーブルの場合は割り込みが発生する)。- 9番目のSCLパルスの立ち下がりエッジで

10ビットアドレスモードでは2つのアドレスバイトをスレーブにより受信する必要があります。第1アドレスバイトの5つの最上位ビット(MSb)はこれが10ビットアドレスかどうかを指定します。ビットR/W(SSPSTAT<2>)を必ずライトに指定してスレーブデバイスが第2アドレスバイトを受信できるようにします。10ビットアドレスでは最初のバイトは等しく'1111 0 A9 A8 0'で、A9とA8は2つのMSbアドレスです。10ビットアドレスのイベントシーケンスは次のようになっており、ステップ7~9はスレーブトランスミッターです。

- 第1(上位)アドレスバイトを受信する(ビットSSPIF、BF、ビットUA(SSPSTAT<1>)をセットされる)。
- SSPADDレジスタを第2(下位)アドレスバイトに更新する(ビットUAをクリアしてSCLラインをリリースする)。
- SSPBUFレジスタをリード(ビットBFをクリア)して、フラグビットSSPIFをクリアする。
- 第2(下位)アドレスバイトを受信する(ビットSSPIF、BF、UAをセットされる)。
- SSPADDレジスタを第1(上位)アドレスバイトに更新する。これは、ビットUAをクリアしてSCLラインをリリースすることになる。
- SSPBUFレジスタをリード(ビットBFをクリア)して、フラグビットSSPIFをクリアする。
- 繰り返しスタートコンディションを受信する。
- 第1(上位)アドレスバイトを受信する(ビットSSPIFおよびBFをセットする)。
- SSPBUFレジスタをリード(ビットBFをクリア)して、フラグビットSSPIFをクリアする。

**注意：** 10ビットモードで繰り返しスタートコンディション(ステップ7)の後では、最初の7ビットアドレスを一致させるだけでよい。ユーザーはアドレスの後半のためにSSPADDを更新しない。

## 9.2.1.2 スレーブの受信

アドレスバイトの R/W ビットがクリアされて、アドレスの一致が起きると、SSPSTAT レジスタの R/W ビットがクリアされます。受信したアドレスは SSPBUF レジスタにロードされます。

アドレスバイトのオーバーフローコンディションが存在するときは、アクノリッジ (ACK) パルスは発生しません。オーバーフロー状態は、BF (SSPSTAT<0>) ビットのセットが、ビット SSPOV (SSPCON<6>) のセットとして定義されます。

SSP 割り込みが各データ転送バイトごとに発生します。フラグビット SSPIF (PIP1<3>) を必ずソフトウェアでクリアしてください。SSPSTAT レジスタを使用して受信したバイトのステータスを判定します。

**注意:** SSPOV ビットがセットされて BF フラグがクリアされている場合、SSPBUF がロードされます。SSPBUF のリードを実行したのに、ユーザーが次の受信が発生する前に SSPOV ビットの状態をクリアしなかった場合は、ACK は送信されず、SSPBUF が更新されます。

表 9-2 データ転送受信バイトの動作

データ転送を受信した時のステータスビット		SSPSR → SSPBUF	ACK 発生パルス	セットビット SSPIF (イネーブルの場合は SSP 割り込みが発生)
BF	SSPOV			
0	0	Yes	Yes	Yes
1	0	No	No	Yes
1	1	No	No	Yes
0	1	Yes	No	Yes

**注意 1:** 網掛部分はユーザーのソフトウェアがオーバーフローコンディションを正しくクリアしなかった状態を示します。

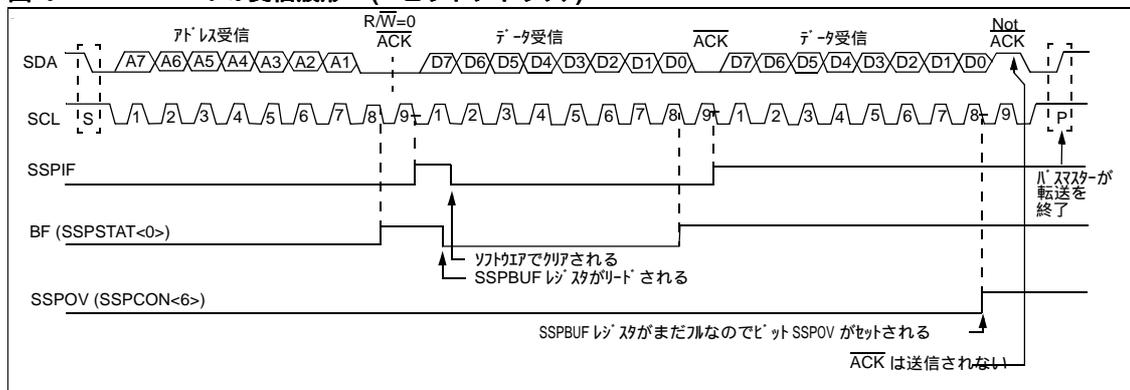
## 9.2.1.3 スレーブの送信

受信アドレスバイトの R/W ビットがセットされ、アドレスの一致すると、SSPSTAT レジスタの R/W ビットがセットされます。受信したアドレスは SSPBUF レジスタにロードされます。ACK パルスは 9 番目のビットに送信され、SCL ピンは Low に保持されます。送信データを SSPBUF レジスタにロードします。SSPSR レジスタにもロードされます。次に、SCL ピンをビット CKP (SSPCON<4>) をセットすることによりイネーブルします。マスターは別のクロックパルスをアサートする前に必ず SCL ピンをモニターします。スレーブデバイスはクロックを伸ばすことによりマスターを待たせることがあります。8 つのデータビットは SCL 入力の立ち上がりエッジでシフトアウトされます。これにより、SCL の High 時間 (図 9-13) の間は SDA 信号が確実に有効になります。

SSP 割り込みが各データ転送バイトごと発生します。SSPIF フラグビットを必ずソフトウェアでクリアします。SSPSTAT レジスタを使用してバイト転送のステータスを判定します。SSPIF フラグビットは 9 番目のクロックパルスの立ち上がりエッジでセットされます。

スレーブトランスミッターのとき、マスターレシーバーからの ACK パルスは 9 番目の SCL 入力パルスの立ち上がりエッジでラッチされます。SDA ラインが High (not ACK ではない) 場合は、データ転送が完了します。not ACK がスレーブにラッチされると、スレーブロジックがリセットされ、スレーブはその後別の START ビットの発行をモニターします。SDA ラインがロー (ACK) の場合、送信データを SSPBUF レジスタにロードします。これは SSPSR レジスタもロードします。また、SCL ピンは CKP ビットのセットによりイネーブルにする必要があります。

図 9-12: I<sup>2</sup>C の受信波形 (7 ビットアドレス)



# PIC16F87X

図 9-13: I<sup>2</sup>C の送信波形 (7 ビットアドレス)

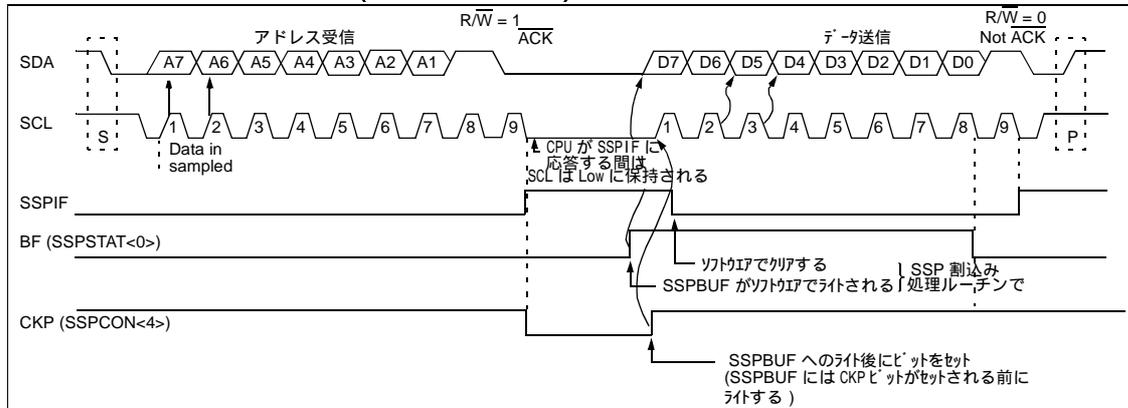
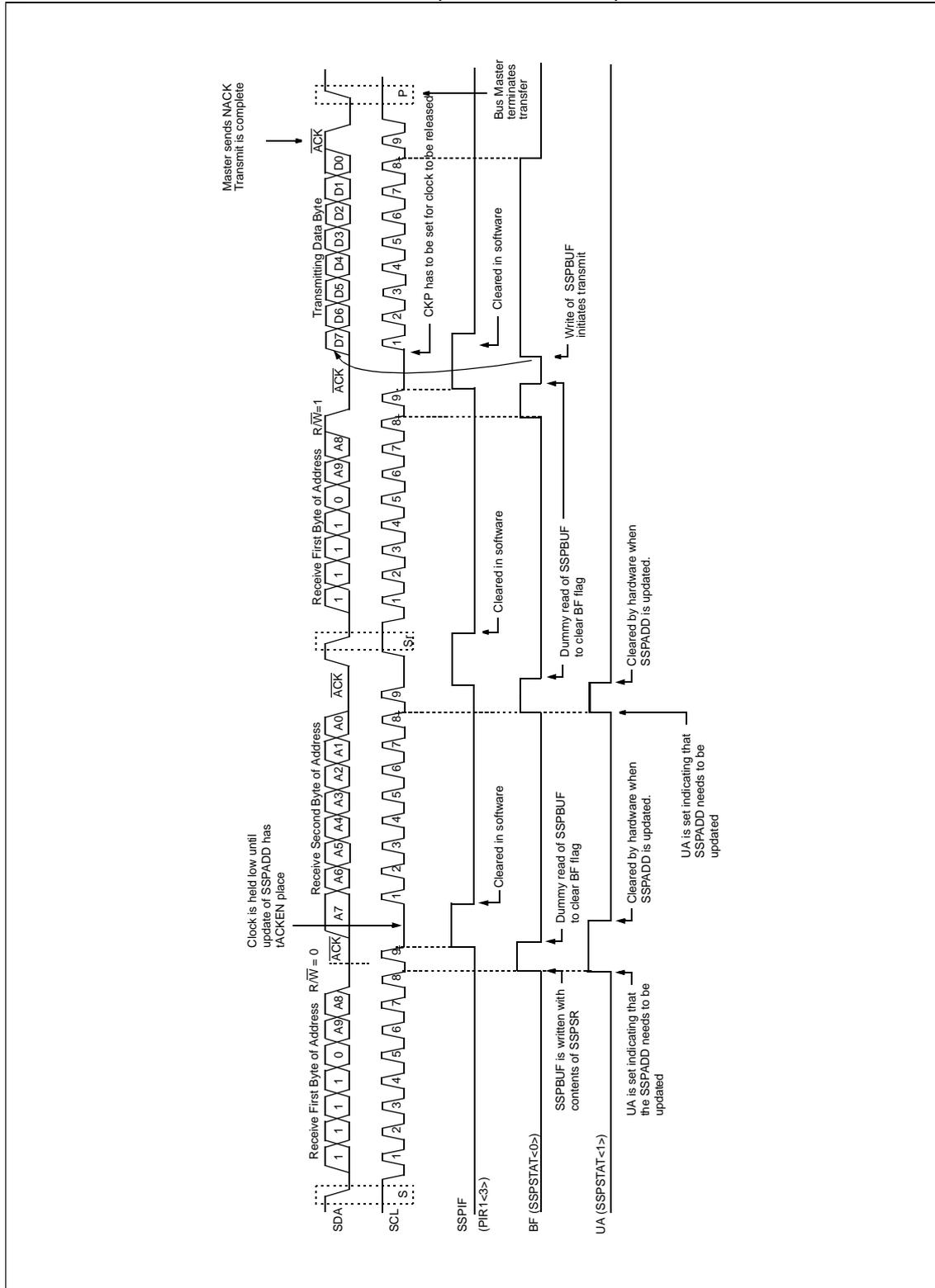
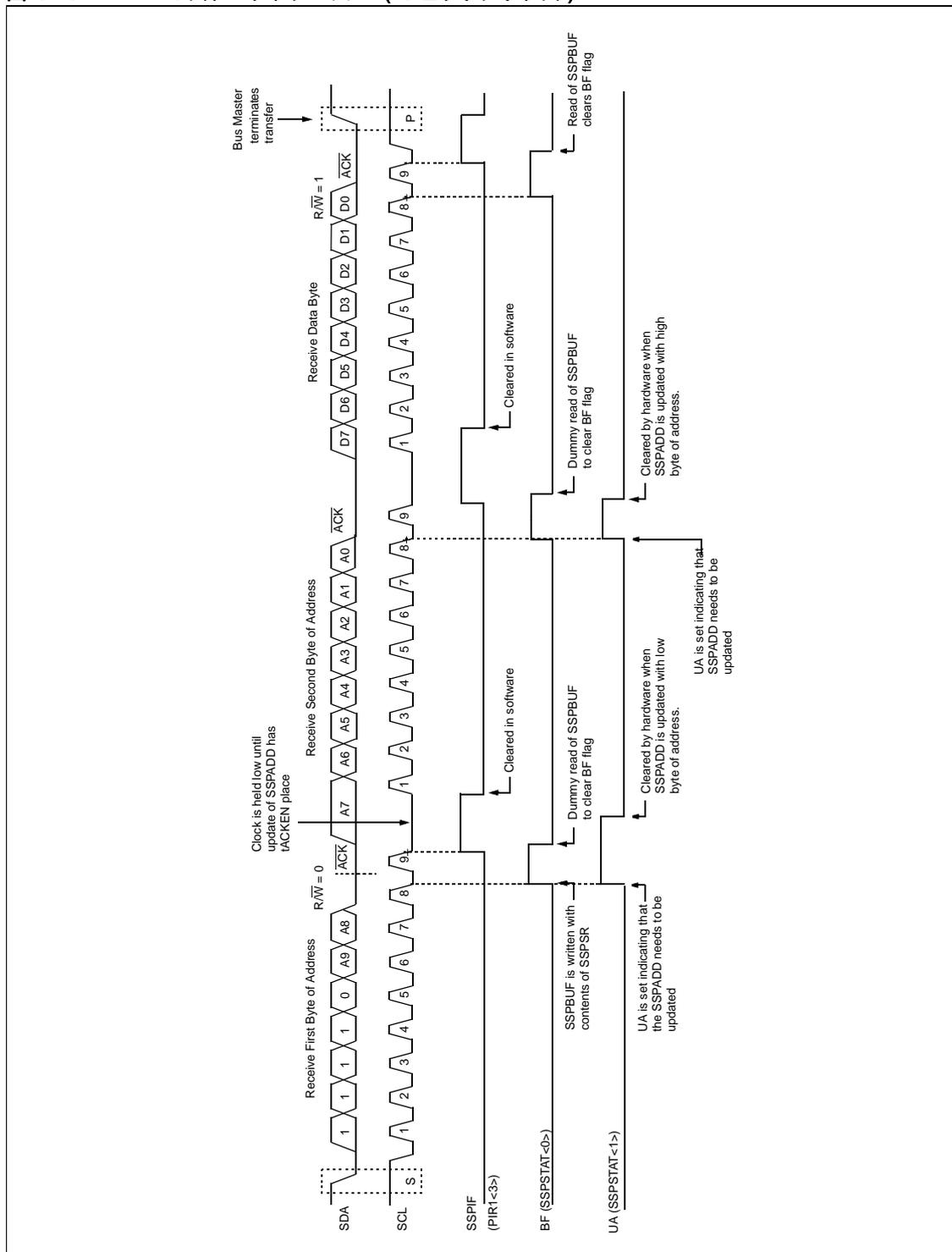


図 9-14: I<sup>2</sup>C スレーブトランスミッター (10 ビットアドレス)



# PIC16F87X

図 9-15: I<sup>2</sup>C スレーブレシーバー (10 ビットアドレス)



## 9.2.2 ゼネラル・コールアドレスのサポート

I<sup>2</sup>Cバスのアドレス指定方法は、通常スタートコンディションの後の第1バイトによりどのデバイスがマスターによりアドレス指定されたスレーブであるかを判定します。例外はゼネラル・コールアクリッジアドレスで、すべてのデバイスをアドレス指定できます。このアドレスが使用されると、理論的にはすべてのデバイスがアクリッジで応答することになります。

ゼネラル・コールアドレスは、I<sup>2</sup>Cプロトコルが所定の目的のために予約した8つのアドレスの1つです。アドレスはオール0およびR/W=0から構成されます。

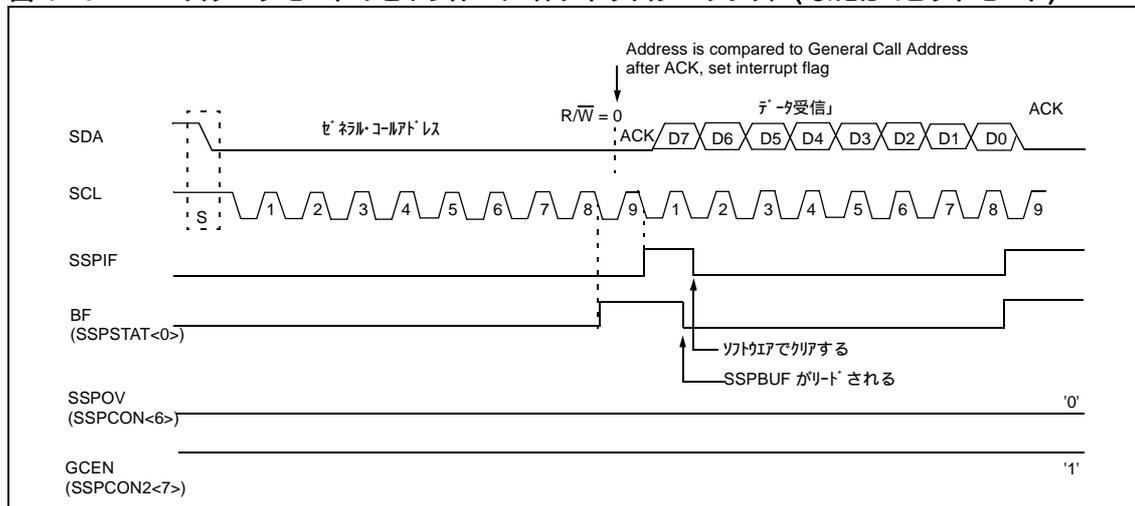
ゼネラル・コールアドレスは、ゼネラル・コールイネーブルビット(GCEN)がイネーブルになった(SSPCON2<7>がセットされる)ときに認識されます。スタートビットの検出後、8ビットがSSPSRにシフトされ、アドレスがSSPADDと比較されます。また、ハードウェアで固定されたゼネラル・コールアドレスとも比較されます。

ゼネラル・コールアドレスが一致した場合、SSPSRはSSPBUFに転送されて、BFフラグがセットされます(第8ビット)。第9ビット(ACKビット)の立ち下がりエッジにはSSPIFフラグがセットされます。

割り込みがサービスされたとき、SSPBUFの内容をリードすることにより割り込みソースを確認して、そのアドレスがデバイス特有のものか、ゼネラル・コールアドレスかを判定できます。

10ビットモードでは、アドレスの後半が一致するようにSSPADDを更新する必要があります。また、UAビットがセットされます(SSPSTAT<1>)。GCENがセットされたときにゼネラル・コールアドレスがサンプルされ、同時にスレーブが10ビットアドレスモードで構成される場合、アドレスの後半は必要とならずUAビットはセットされません。また、スレーブはアクリッジ後にデータ受信を開始します(図9-16)。

図 9-16: スレーブモードのゼネラル・コールアドレスシーケンス (または10ビットモード)



# PIC16F87X

## 9.2.3 スリープ

スリープモード中、I<sup>2</sup>C モジュールはアドレスまたはデータを受信することができます。また、アドレスの一致または完全なバイト転送が起きると、プロセッサはスリープから起動します（SSP 割り込みがイネーブルの場合）。

## 9.2.4 リセット

リセットによりSSPモジュールはディセーブルになり、その時点での送信は終了します。

表 9-3 I<sup>2</sup>C 動作に関連するレジスタ

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR, BOR	MCLR, WDT
0Bh, 8Bh, 10Bh, 18Bh	INTCON	GIE	PEIE	TOIE	INTE	RBIE	T0IF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
0Dh	PIR2	—	(2)	—	EEIF	BCLIF	—	—	CCP2IF	-r-0 0-0	-r-0 0-0
8Dh	PIE2	—	(2)	—	EEIE	BCLIE	—	—	CCP2IE	-r-0 0-0	-r-0 0-0
13h	SSPBUF	同期シリアルポート 受信バッファ / 送信レジスタ								xxxx xxxx	uuuu uuuu
14h	SSPCON	WCOL	SSPOV	SSPEN	CKP	SSPM3	SSPM2	SSPM1	SSPM0	0000 0000	0000 0000
91h	SSPCON2	GCEN	ACKSTAT	ACKDT	ACKEN	RCEN	PEN	RSEN	SEN	0000 0000	0000 0000
94h	SSPSTAT	SMP	CKE	D/A	P	S	R/W	UA	BF	0000 0000	0000 0000

凡例： x = 不定、u = 不変、- = なし、'0' とリードされる。網掛部分は I<sup>2</sup>C モードの SSP では使用しません。

注意 1: これらのビットは 28 ピンデバイスでは 0 にしておいてください。

2: これらのビットは 0 にしておいてください。



# PIC16F87X

## 9.2.6 マルチ・マスターモード

マルチ・マスターモードでは、スタートおよびストップ・コンディションの検出時の割り込み発生によりバスがフリーであるかを判定することができます。STOP(P) および START(S) ビットはリセットでクリアされ、MSSP モジュールがディセーブルの時もクリアされます。ビット P (SSPSTAT<4>) がセットされたとき、または S および P ビットの両方がクリアでバスがアイドル状態のとき、I<sup>2</sup>C バスの制御を開始できます。バスがビジーのとき、SSP 割り込みをイネーブルにするとストップ・コンディションの発行時に割り込みが発生します。

マルチ・マスターの動作では、アービトレーションを行うため、SDA ラインをモニターして、信号レベルが期待する出力レベルであることを確認します。この確認はハードウェアで実行し、結果は BCLIF ビットに出力されます。

アービトレーションで負ける状態には以下のものがあります。

- アドレス転送
- データ転送
- スタート・コンディション
- 繰り返しスタート・コンディション
- アクノリッジ・コンディション

## 9.2.7 I<sup>2</sup>C マスターモードのサポート

マスターモードは SSPCON の SSPM ビットを設定して、SSPEN ビットをセットすることによりイネーブルになります。マスターモードがイネーブルのとき、次の 6 つのオプションが選択できます。

- SDA と SCL 上にスタート・コンディションを発行する。
- SDA と SCL 上に繰り返しスタート・コンディションを発行する。
- データ/アドレス送信開始するため、SSPBUF へのライトを行う。
- SDA と SCL 上にストップ・コンディションを発行する。
- I<sup>2</sup>C ポートをデータ受信できるようにする。
- データ受信バイトの終わりでアクノリッジを発行する。

**注意：** I<sup>2</sup>C マスターモードに構成されているときは、MSSP モジュールは、イベントをキューすることはできません。例えば、ユーザーはスタート・コンディション開始直後に SSPBUF へライトして、スタート・コンディション完了前に送信開始はできません。この場合、SSPBUF はライトされず、それを示します WCOL ビットがセットされます。

## 9.2.7.4 I<sup>2</sup>C マスターモードの動作

マスターデバイスは、シリアルクロックパルス、スタート、ストップ・コンディションを発生します。転送は、ストップ・コンディションまたは繰り返しスタート・コンディションで終了します。繰り返しスタート・コンディションは次のシリアル転送の始まりでもあるので、I<sup>2</sup>C バスは開放されません。

マスタートランスミッターモードでは、シリアルデータは SDA、シリアルクロックは SCL に出力されます。送信される最初のバイトには受信デバイスのスレーブアドレス (7 ビット) とリード/ライト (R/W) ビットが含まれます。この場合 R/W ビットはロジック「0」です。シリアルデータは一回に 8 ビット送信されます。各バイトが送信された後に、アクノリッジが受信されます。シリアル転送の始まりと終わりを示すためにスタートおよびストップ・コンディションが出力されます。

マスターレシーブモードでは、送信される最初のバイトには送信デバイスのスレーブアドレス (7 ビット) と R/W ビットが含まれます。この場合 R/W ビットはロジック「1」です。したがって、最初に送信されるバイトは 7 ビットのスレーブアドレスで、次に受信を示す「1」が続きます。シリアルデータは SDA 上で受信され、SCL はシリアルクロックを出力します。シリアルデータは一度に 8 ビット受信されます。各バイトの受信後は、アクノリッジが送信されます。スタートおよびストップ・コンディションは送信の始まりと終わりを示します。

SPI モードに使用するポーレート発生器は、100 kHz、400kHz または 1 MHz I<sup>2</sup>C 動作に SCL クロックの周波数設定に使用します。ポーレート発生器の再ロード値は SSPADD レジスタの低位 7 ビットです。SSPBUF へライトしたとき、ポーレート発生器は自動的にカウントを開始します。所定の動作が完了すると (つまり、最終データビット後に ACK が送信されると) 内部クロックは自動的にカウントを停止し、SCL ピンはその最後の状態を保ちます。

標準的な送信シーケンスは次のようになります。

- ユーザーは SSPCON2 のスタート・イネーブルビット (SEN) をセットすることによりスタート・コンディションを発生します。
- SSPIF がセットされます。モジュールは必要なスタート時間を待ってから、他の動作を行います。
- ユーザーは SSPBUF に、送信するアドレスをロードします。
- アドレスはすべての 8 ビットが送信されるまで SDA ピンにシフトアウトされます。
- MSSP モジュールはスレーブデバイスから ACK ビットをシフトインし、その値を SSPCON2 レジスタ (SSPCON<6>) にライトします。
- モジュールは SPPIF のセットにより 9 番目のクロックサイクルの終わりで割り込みを発生させます。
- ユーザーは SSPBUF に 8 ビットのデータをロードします。
- データはすべての 8 ビットが送信されるまで SDA ピンにシフトアウトされます。

- i) MSSP モジュールはスレーブデバイスから ACK ビットをシフトインして、その値を SSPCON2 レジスタ (SSPCON<6>) にライトします。
- j) MSSPモジュールはSSPIFビットのセットにより、9 番目のクロックサイクルの終わりに割込みを発生させます。
- k) ユーザーはストップ・イネーブルビット PEN を SSPCON2 にセットすることにより、ストップ・コンディションを発行します。
- l) ストップ・コンディションが終了すると割込みが発生します。

## 9.2.8 ポーレート発生器 (BRG)

I<sup>2</sup>C マスターモードでは、BRG の再ロード値は SSPADD レジスタの下位 7 ビットに入っています ( 図 9-18)。BRG にこの値がロードされると、別の再ロードが発生

するまで、BRG は 0 までカウントダウンして止まります。BRG カウントは、1 命令サイクル (T<sub>CY</sub>) に 2 回 Q2 と Q4 サイクルでデクリメントされます。

I<sup>2</sup>C マスターモードでは、BRG は自動的に再ロードされます。例えばクロックのアービトレーションが発生した場合、BRG は SCL ピンが High にサンプルされたときに再ロードされます ( 図 9-19)。

図 9-18: ポーレート発生器のブロック図

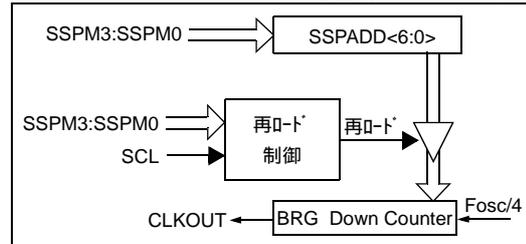
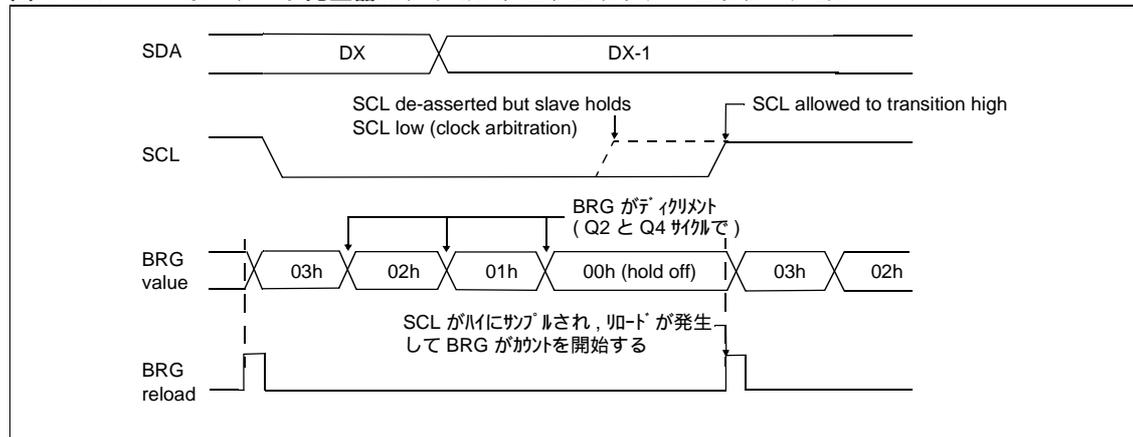


図 9-19: ポーレート発生器のタイミングとクロックアービトレーション



# PIC16F87X

## 9.2.9 I<sup>2</sup>C マスターモード スタート・コンディションのタイミング

スタート・コンディションを開始するには、スタート・コンディション・イネーブルビット SEN (SSPCON2<0>) をセットします。SDA および SCL ピンが High にサンプルされた場合、ポーレート発生器に SSPADD<6:0> の値が再ロードされ、カウントを開始します。ポーレート発生器がタイムアウト (T<sub>BRG</sub>) のときに、SCL と SDA の両方が High にサンプルされている場合、SDA ピンは Low にドライブされます。SCL が High のとき、SDA が Low にドライブされるとスタート・コンディションであり、これにより S ビット (SSPSTAT<3>) がセットされます。その後、ポーレート発生器には SSPADD<6:0> の値が再ロードされて、カウントを再開します。ポーレート発生器がタイムアウト (T<sub>BRG</sub>) になると、SEN ビット

(SSPCON<2>) が自動的にハードウェアでクリアされます。また、ポーレート発生器は SDA を Low にしたまま、スタート・コンディションが終了します。

**注意：** スタート・コンディションの始めに SDA および SCL ピンがすでに Low にサンプルされた場合、または、スタート・コンディションの間 SDA ラインが Low にドライブされる前に SCL ラインが Low にサンプルされた場合は、バス衝突発生なので、バス衝突割り込みフラグ (BCLIF) がセットされます。その際スタート・コンディションは中断されて、I<sup>2</sup>C モジュールが IDLE 状態にリセットされます。

### 9.2.9.5 WCOL ステータスフラグ

スタート・シーケンスの進行中にユーザーが SSPBUF をライトした場合、WCOL がセットされてバッファの内容は変化しません (ライトは発生しません)。

**注意：** イベントのキューはできないので、SSPCON の下位 5 ビットへのライトは、スタート・コンディションが終了するまではディセーブルになっています。

図 9-20: スタートビットのタイミング

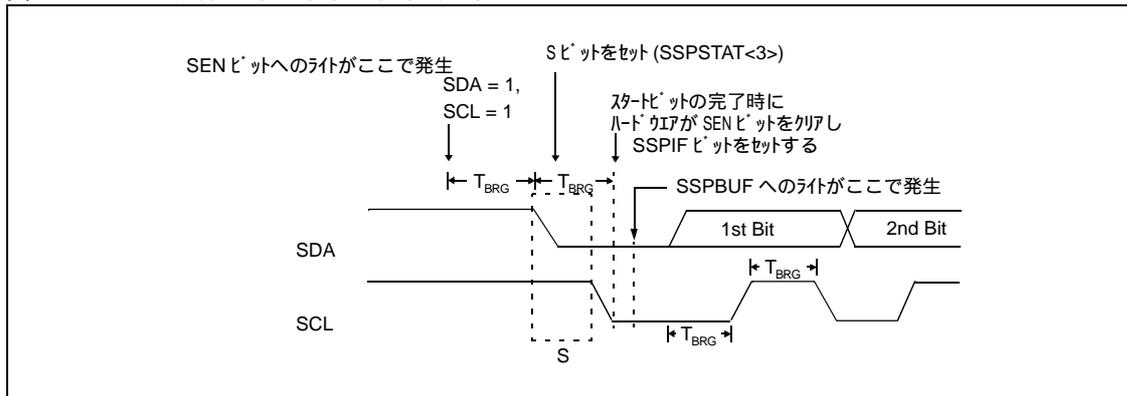
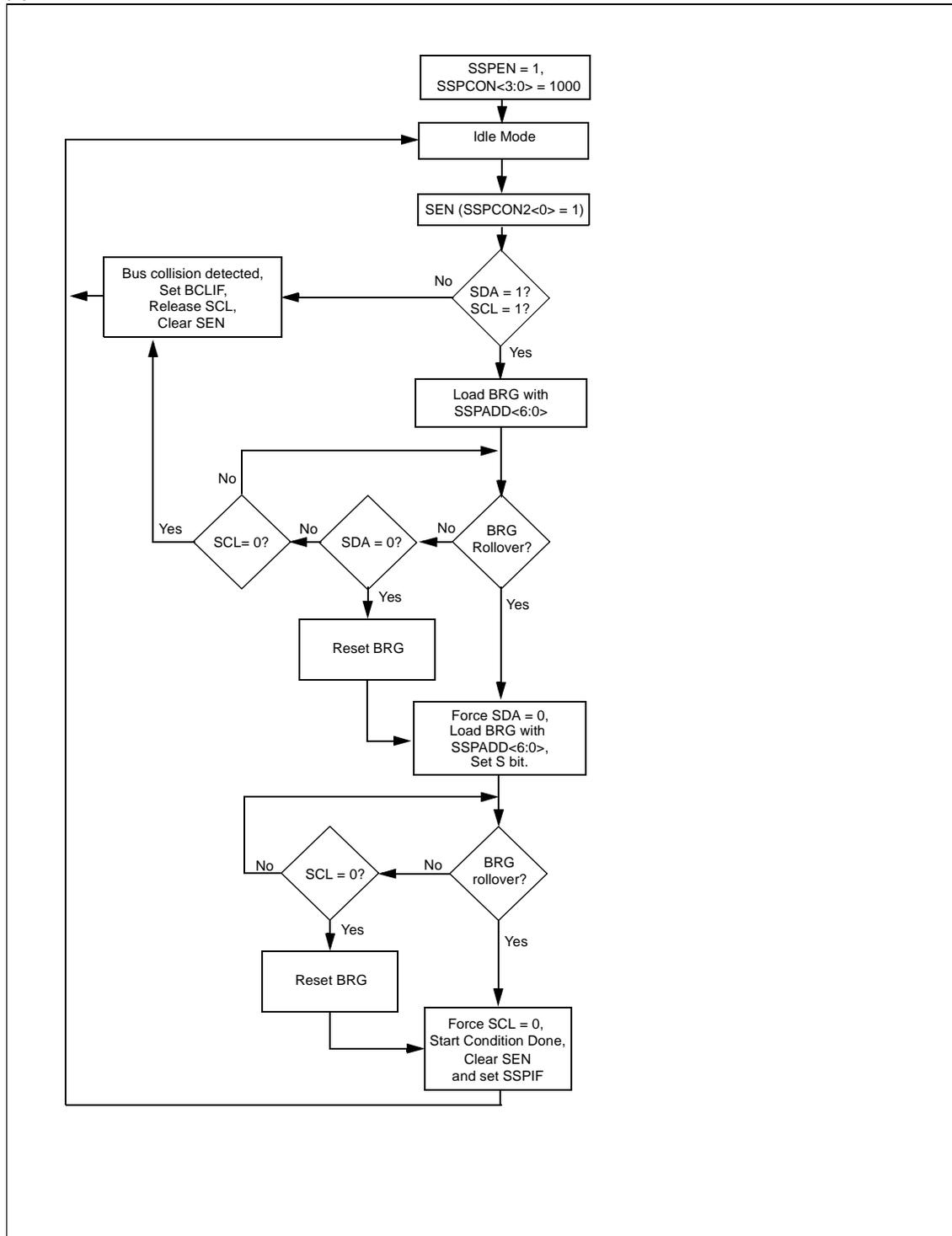


図 9-21: スタート・コンディションのフローチャート



# PIC16F87X

## 9.2.10 I<sup>2</sup>C マスターモード 繰り返しスタート・コンディションのタイミング

繰り返しスタート・コンディションは、RSEN ビット (SSPCON2<1>) が 1 で、I<sup>2</sup>C モジュールがアイドル状態のときに発生します。RSEN ビットがセットされると、SCL ピンを Low にします。SCL ピンが Low にサンプルされると、ポーレート発生器には SSPADD<6:0> の内容がロードされ、カウントを開始します。SDA ピンは 1 ポーレート発生器カウント (T<sub>BRG</sub>) の間リリースされます (High になります)。ポーレート発生器がタイムアウトしたとき、SDA が High にサンプルされていると、SCL ピンは開放されます (High になります)。SCL が High にサンプルされると、ポーレート発生器には SSPADD<6:0> の内容が再ロードされ、カウントを開始します。SDA と SCL は 1T<sub>BRG</sub> 間 High にサンプルされなければなりません。この動作の次に、SCL が High の状態で 1T<sub>BRG</sub> 間 SDA ピンのアサートがあります (SDA は Low です)。次に SSPCON2 レジスタの RSEN ビットが自動的にクリアされますが、ポーレート発生器は再ロードされず、SDA ピンは Low のままです。SDA および SCL ピンにスタート・コンディションが検出されると、直ちに S ビット

(SSPSTAT<3>) がセットされます。SSPIF ビットはポーレート発生器がタイムアウトになるまでセットされません。

**注意 1:** 他のイベントの進行中に RSEN が設定されても、無効となります。

**注意 2:** 繰り返しスタート・コンディションでは以下の場合にバスの衝突が発生します。

- SCL が Low から High に移行するときに SDA が Low にサンプルされた場合。
- SDA が Low にアサートする前に SCL が Low に移行した場合。この場合、別のマスターがデータ「1」を送信しようとしている場合もあります。

SSPIF ビットがセットされた直後にユーザーは SSPBUF に 7 ビットモードで 7 ビットアドレス、または、10 ビットモードでデフォルトの第 1 アドレスをライトできます。最初の 8 ビットが送信されて ACK を受信すると、ユーザーは 8 ビット (10 ビットモード) のアドレスまたは 8 ビットのデータ (7 ビットモード) を送信できます。

### 9.2.10.6 WCOL ステータスフラグ

繰り返しスタートシーケンスの進行中にユーザーが SSPBUF にライトした場合、WCOL がセットされて、バッファの内容は変化しません (ライトが発生しません)。

**注意:** イベントのキューは認められていないので、SSPCON2 の下位 5 ビットのライトは繰り返しスタート・コンディションが終了するまでディセーブルになっています

図 9-22: 繰り返しスタート・コンディションの波形

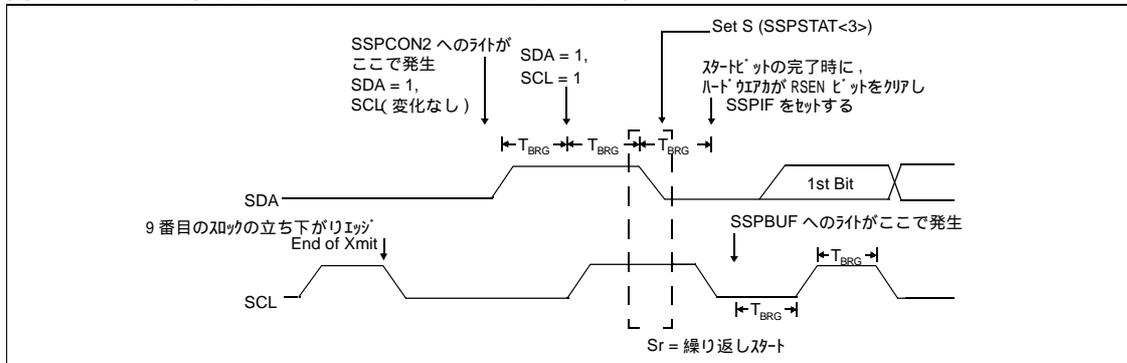
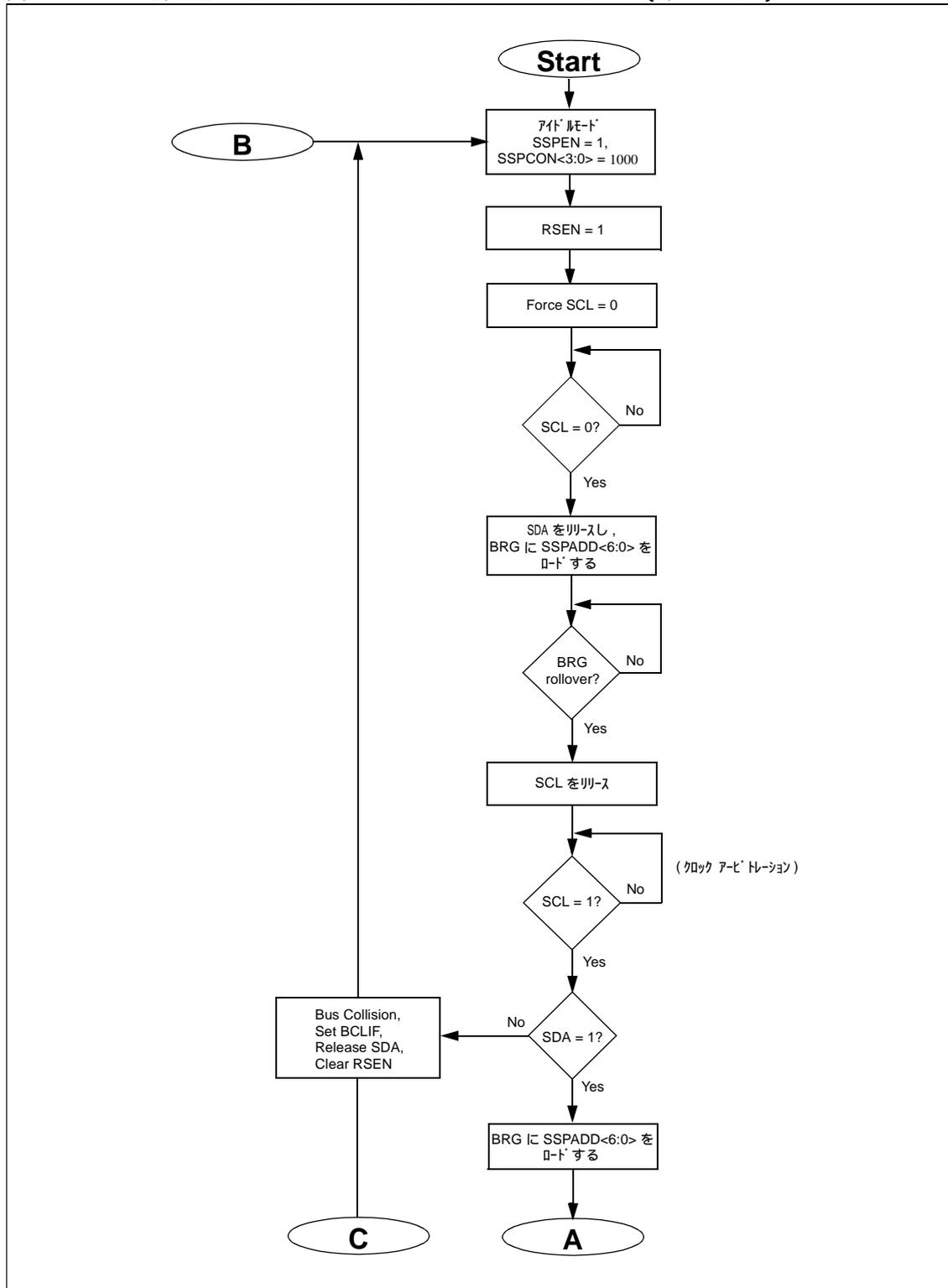
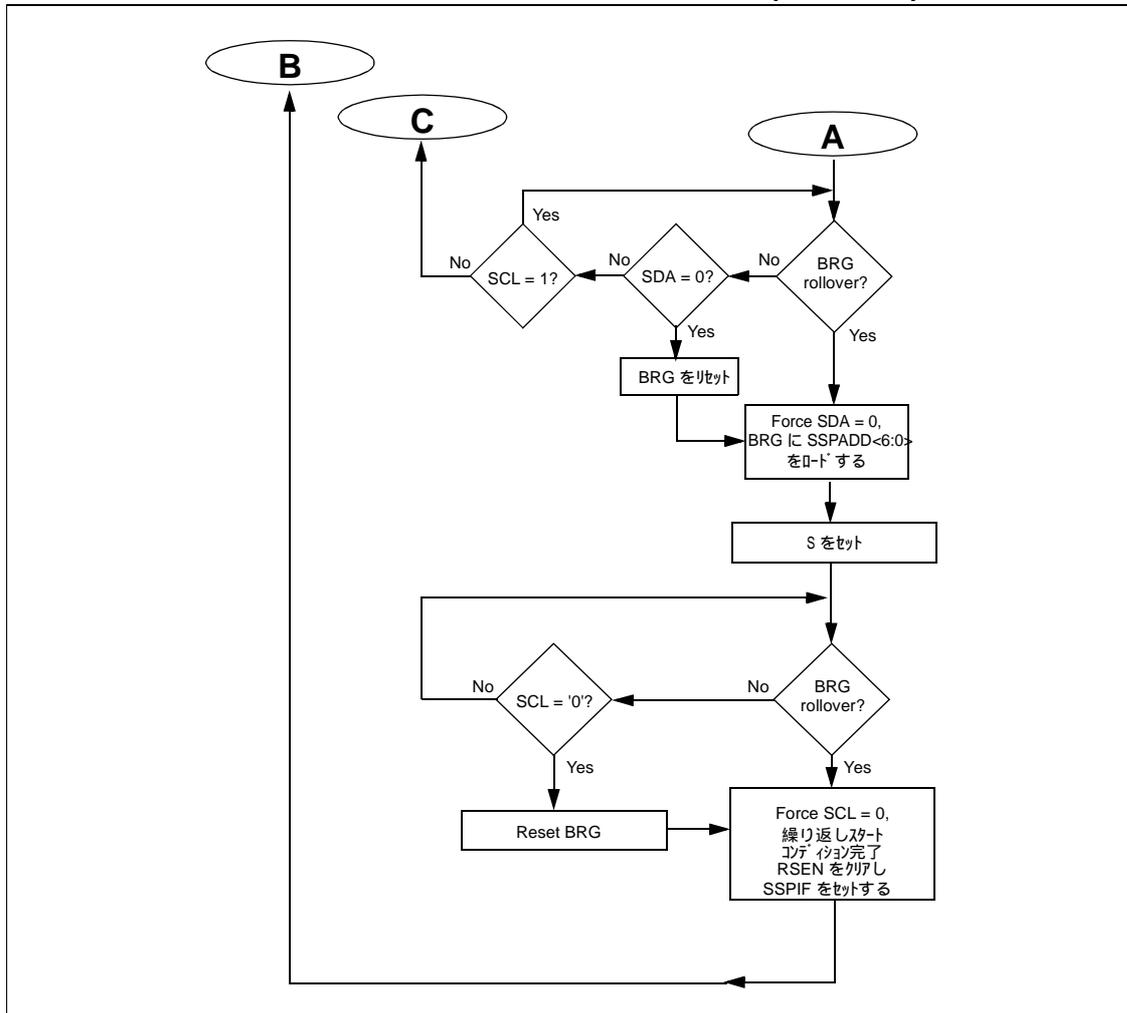


図 9-23: 繰り返しスタート・コンディションのフローチャート (第1ページ)



# PIC16F87X

図 9-24: 繰り返しスタート・コンディションのフローチャート (第2ページ)



## 9.2.11 I<sup>2</sup>C マスターモードの送信

データバイトまたは7ビットアドレスまたは10ビットアドレスの前半か後半のどちらかの送信は、単に値を SSPBUF レジスタにライトすることにより実行できます。この動作により、バッファ・フルフラグ (BF) がセットされて、ポーレート発生器がカウントを開始して送信を始めることができます。SCLの立ち下がりエッジがアサートされた後 (データ保持時間の仕様を参照) アドレス/データの各ビットが SDA ピンにシフトアウトされます。SCL はポーレート発生器の 1 ロールオーバーカウント (T<sub>BRG</sub>) の間 Low に保たれます。データは SCL が High にリリースされる前に有効にします (データセットアップ時間仕様参照)。SCL ピンが High にリリースされると、T<sub>BRG</sub> 間その状態を保ち、その時間内と SCL の次の立ち下がりエッジ後のホールド時間内は SDA ピンのデータは一定の状態を保たなければなりません。8 ビットがシフトアウトされた後 (第 8 クロックの立ち下がりエッジ) BF フラグはクリアされ、マスターは SDA をリリースします。これにより、アドレスの一致したか、データが正しく送信された場合に、指定されたスレーブデバイスは第 9 ビット時間に ACK ビットで応答することができます。ACK のステータスは第 9 クロックの立ち下がりエッジで ACKDT 内にリードされます。マスターがアクノリッジを受信した場合、アクノリッジステータスビット (ACKSTAT) はクリアされます。受信しない場合は、そのビットはセットされます。第 9 クロックの後 SSPIF がセットされて、マスタークロック (ポーレート発生器) は次のデータバイトが SSPBUF にロードされるまで保留になります。このとき SCL は Low で SDA は不変です。(図 9-26)。

SSPBUF へのライト後、アドレスの各ビットは、すべての 7 アドレスビットと R/W ビットが終了するまで、SCL の立ち下がりエッジでシフトアウトされます。第 8 クロックの立ち下がりエッジでは、マスターは SDA ピンをディアサートして、スレーブがアクノリッジで応答できるようにします。第 9 クロックの立ち下がりエッジでは、マスターは SDA ピンをサンプルして、スレーブがアドレスを認識しているか確認します。ACK ビットのステータスは ACKSTAT ステータスビット (SSPCON2<6>) にロードされます。アドレス送信の第 9 クロックの立ち下がりエッジで、SSPIF がセットされて、BF フラグがクリアされます。また、ポーレート発生器は SSPBUF へ次のライトが起こるまでオフになり、SCL を Low に保ち、SDA がフロートになります。

### 9.2.11.7 BF ステータスフラグ

送信モードでは、CPU が SSPBUF にライトを行うと BF ビット (SSPSTAT<0>) はセットされ、すべての 8 ビットがシフトアウトされるとクリアされます。

### 9.2.11.8 WCOL ステータスフラグ

送信中のとき (SSPSR がまだデータバイトをシフトアウトしているとき) に、ユーザーが SSPBUF へライトした場合、WCOL がセットされてバッファの内容は変化しません (ライトは行われません)。

WCOL は必ずソフトウェアでクリアします。

### 9.2.11.9 ACKSTAT ステータスフラグ

送信モードでは、ACKSTAT ビット (SSPCON2<6>) はスレーブがアクノリッジ (ACK = 0) を送信するとクリアされ、スレーブがアクノリッジをしない (ACK = 1) とセットされます。スレーブはアドレスを認識したとき (ゼネラル・コールを含む) または、スレーブが正しくデータを受信した時にアクノリッジを送信します。

# PIC16F87X

図 9-25: マスター送信のフローチャート

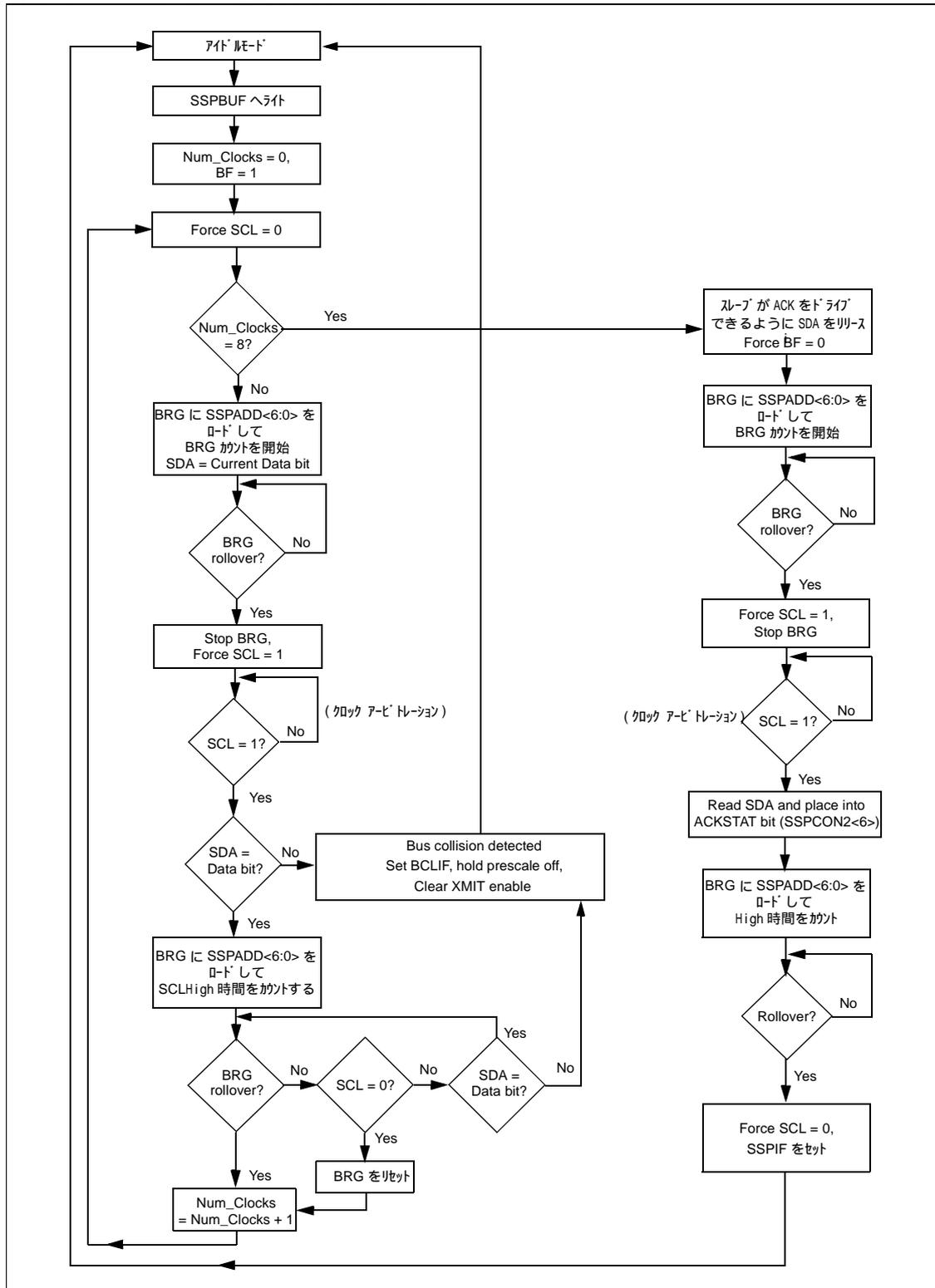
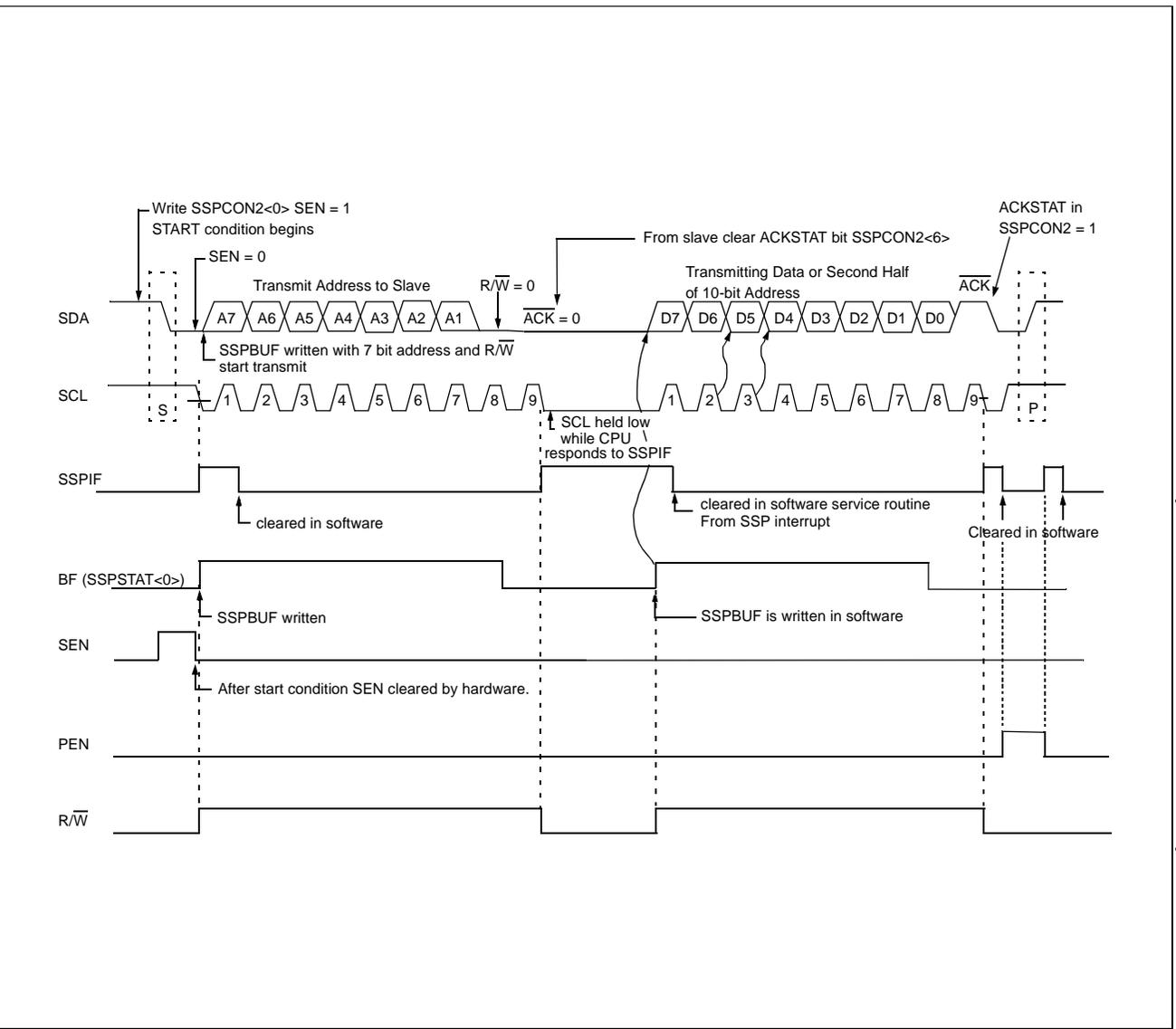


図 9-26: I<sup>2</sup>C マスターモードのタイムシグ (送信、7 または 10 ビットアドレス)



# PIC16F87X

---

## 9.2.12 I<sup>2</sup>C マスターモードの受信

マスターモードの受信は受信イネーブルビット、RCEN(SSPCON2<3>)のプログラム選択によりイネーブルになります。

**注意：** RCEN ビットがセットされる前は、SSP モジュールを必ず**アイドル状態**にしないと、RCEN ビットが無視されます。

ポーレート発生器はカウントを開始し、SCL ピンの状態は各ロールオーバーで変化して(ハイからロー/ローからハイ)データがSSPSRへシフトされます。第8クロックの立ち下がりエッジ後、受信イネーブルフラグが自動的にクリアされ、SSPSRの内容がSSPBUFにロードされます。また、BFフラグがセットされ、SSPIFがセットされて、ポーレート発生器はカウントを保留してSCLをLowのままにします。このときSSPはIDLE状態で、次の命令を待ちます。バッファがCPUにリードされると、BFフラグは自動的にクリアされます。こうして、ユーザーは受信の終了時にアクノリッジシーケンスイネーブルビット、ACKEN(SSPCON2<4>)をセットすることによりアクノリッジビットを送信することができます。

### 9.2.12.10 BF ステータスフラグ

受信動作では、アドレスまたはデータバイトがSSPSRからSSPBUFにロードされたときにBFがセットされます。BFはSSPBUFがリードされるとクリアされます。

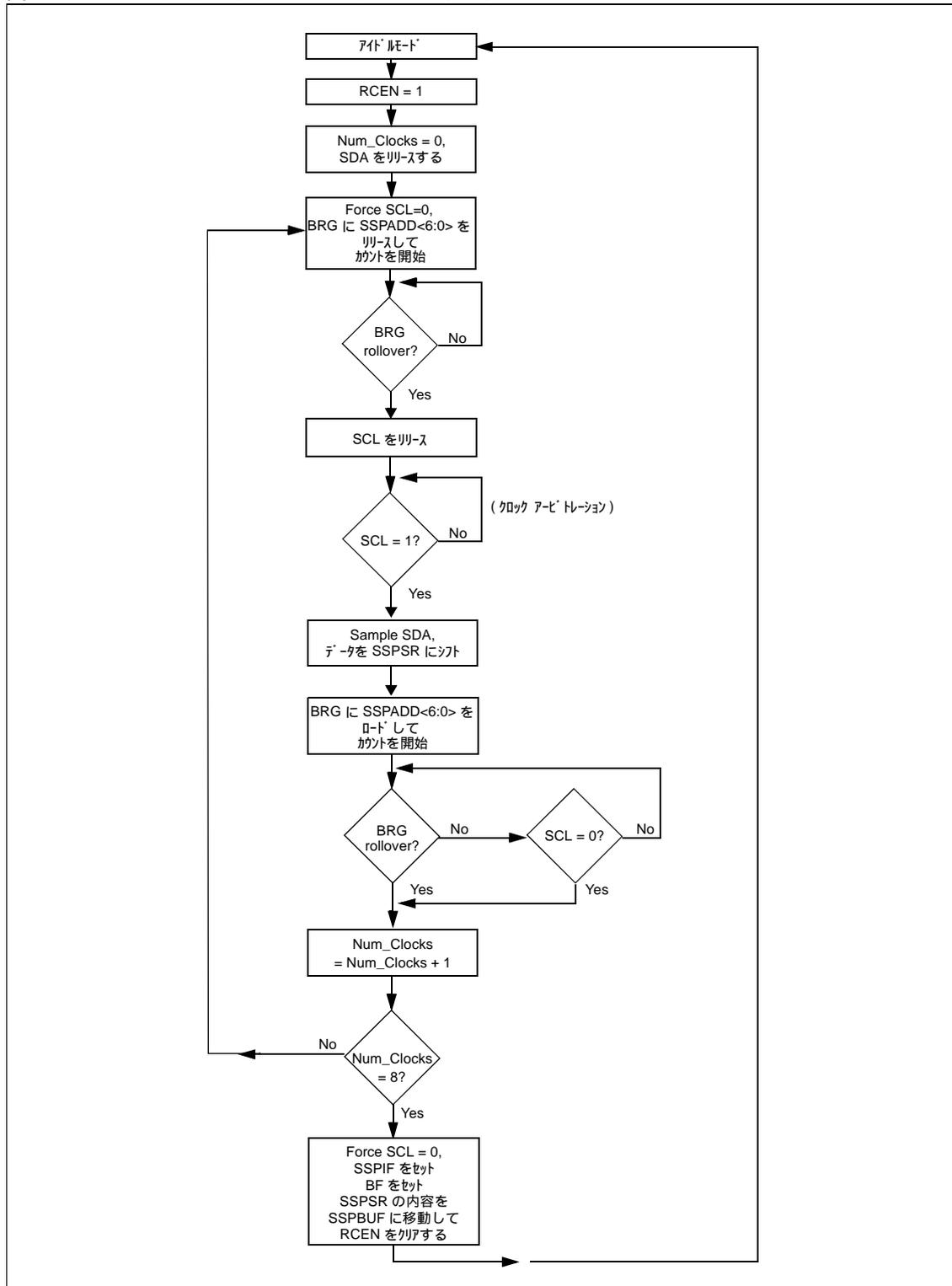
### 9.2.12.11 SSPOV ステータスフラグ

受信動作では、SSPSR内に8ビットを受信したときにBFフラグは前の受信のときからすでにセットされているときに、SSPOVがセットされます。

### 9.2.12.12 WCOL ステータスフラグ

受信中のとき(SSPSRがまだデータバイトをシフトインしているとき)ユーザーがSSPBUFへのライトを行った場合、WCOLがセットされて、バッファの内容は変化しません(ライトは実行されません)。

図 9-27: マスターレシーバーのフローチャート





## 9.2.13 アクノリッジシーケンスのタイミング

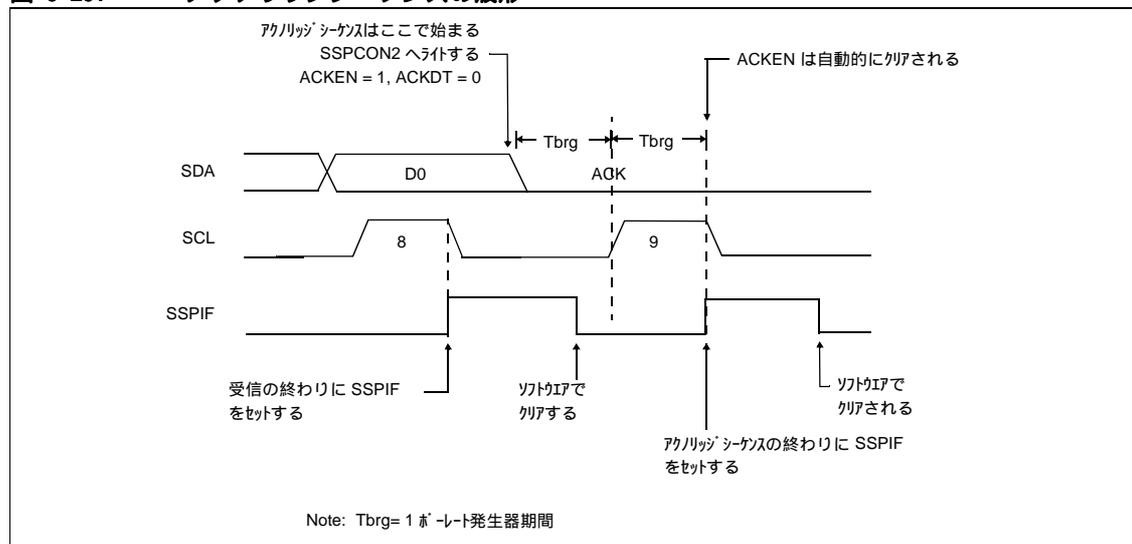
アクノリッジシーケンスは、アクノリッジシーケンスイネーブルビット、ACKEN (SSPCON2<4>) をセットすることによりイネーブルになります。このビットがセットされると、SCL ピンは Low になり、アクノリッジデータビットの内容が SDA ピンに現れます。アクノリッジを発生させたければ、ACKDT ビットをクリアします。アクノリッジを発生させたくない場合は、アクノリッジシーケンスを始める前に ACKDT をセットします。ポーレート発生器は、1 ロールオーバー期間 ( $T_{BRG}$ ) カウントを行い、SCL ピンは解放されます (High になります)。SCL ピンが High にサンプルされるときの (クロックアー

ビトレーション)、ポーレート発生器は  $T_{BRG}$  間カウントを行います。SCL ピンはこのとき Low に引かれます。その後、ACKEN ビットが自動的にクリアされて、ポーレート発生器はオフになり、SSP モジュールは IDLE モードになります。(図 9-29)

### 9.2.13.13 WCOL ステータスフラグ

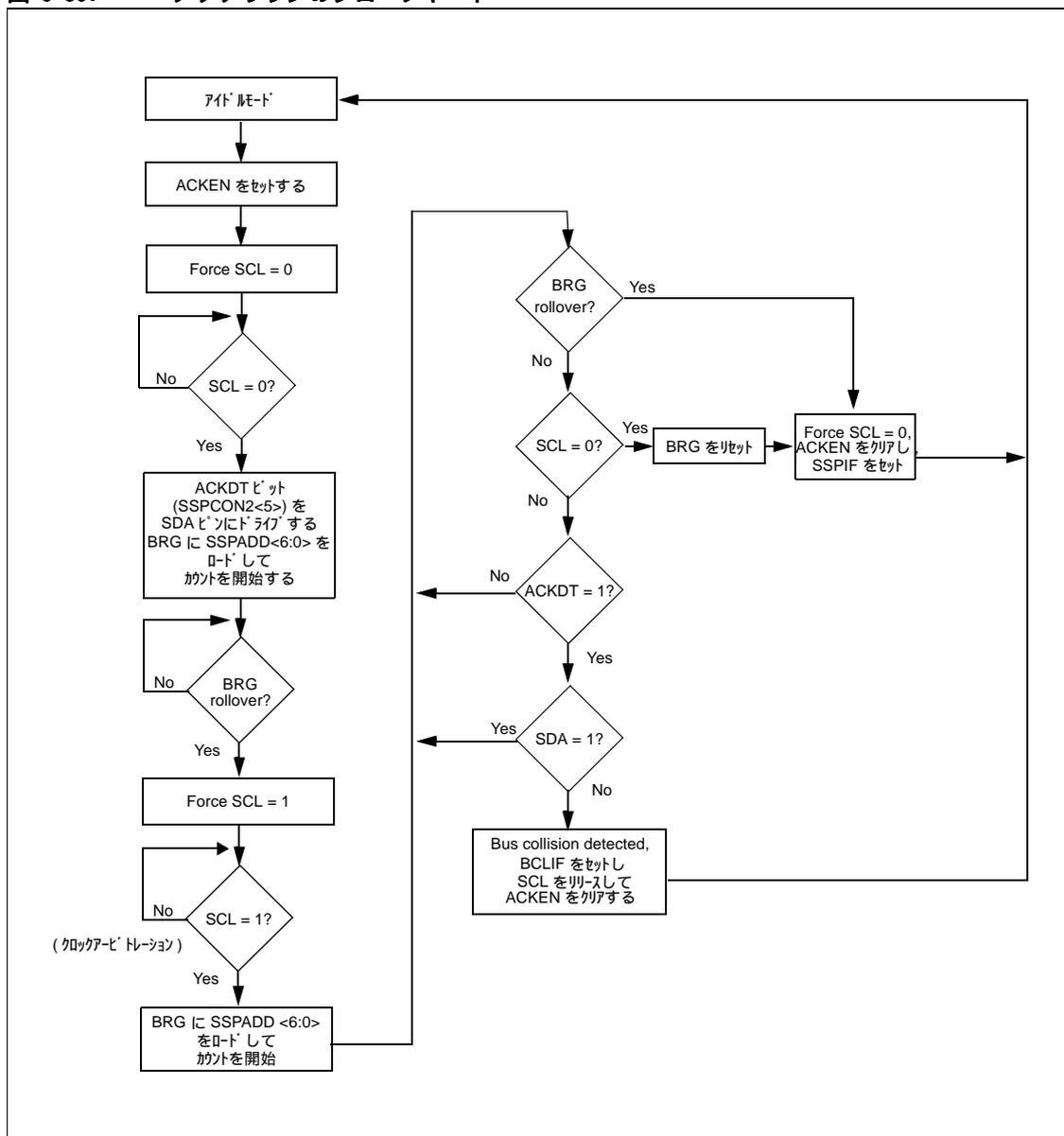
アクノリッジシーケンスを行っているときに、ユーザーが SSPBUF へのライトを行った場合、WCOL がセットされて、バッファの内容は変化しません (ライトは実行されません)。

図 9-29: アクノリッジシーケンスの波形



# PIC16F87X

図 9-30: アクノリッジのフローチャート



## 9.2.14 ストップ・コンディションのタイミング

ストップビットは、ストップシーケンスイネーブルビット PEN (SSPCON2<2>) をセットすることにより、送受信の終わりに SDA ピン上でアサートされます。送受信の終了時、第 9 クロックの立ち下がりエッジの後に SCL ピンは Low の状態を保ちます。PEN ビットがセットされると、マスターは SDA ラインを Low にアサートします。SDA ラインがローにサンプルされると、ポーレート発生器が再ロードされて 0 までカウントダウンします。ポーレート発生器がタイムアウトになると、SCL ピンが High になり、それに続いて  $1T_{BRG}$  (ポーレート発生器のロールオーバーカウンタ) 後、SDA ピンがディアサートされます。SCL が High の時に SDA ピンが High

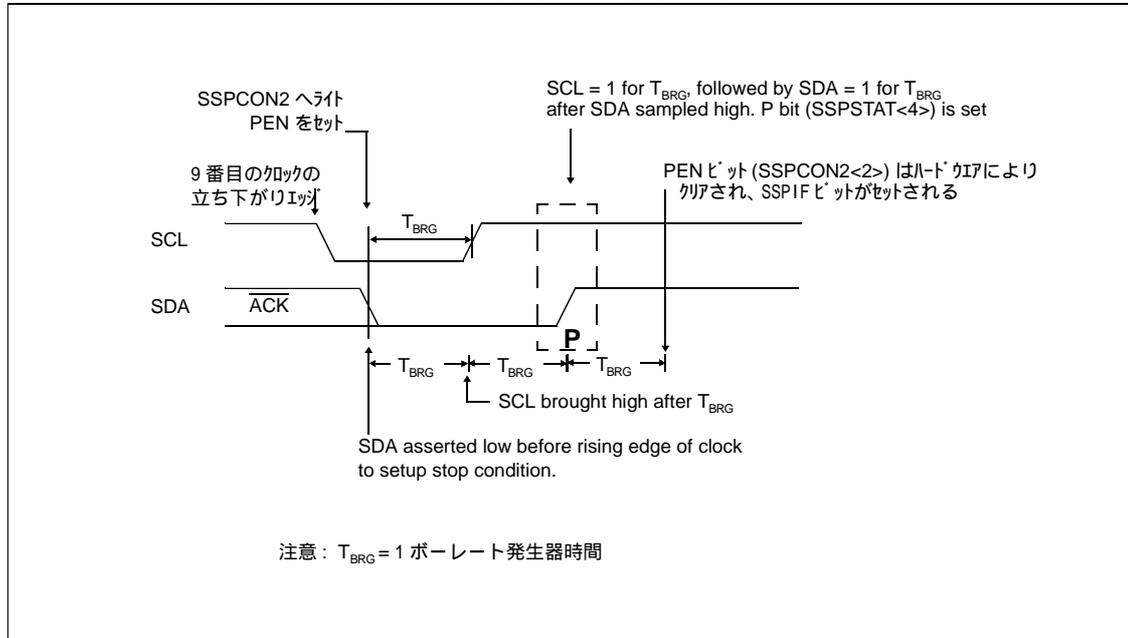
にサンプルされると、P ビット (SSPSTAT<4>) がセットされます。 $1T_{BRG}$  後、PEN ビットがクリアされ、SSPIF ビットがセットされます (図 9-31)。

ファームウェアがバス制御を開始するときは、まず SSPSTAT レジスタの S および P ビットをチェックすることによりバスがビジーであるか判定します。バスがビジーであれば、ストップビットが検出された (バスがフリーである) ときに CPU を割り込み (通知) することができます。

### 9.2.14.14 WCOL ステータスフラグ

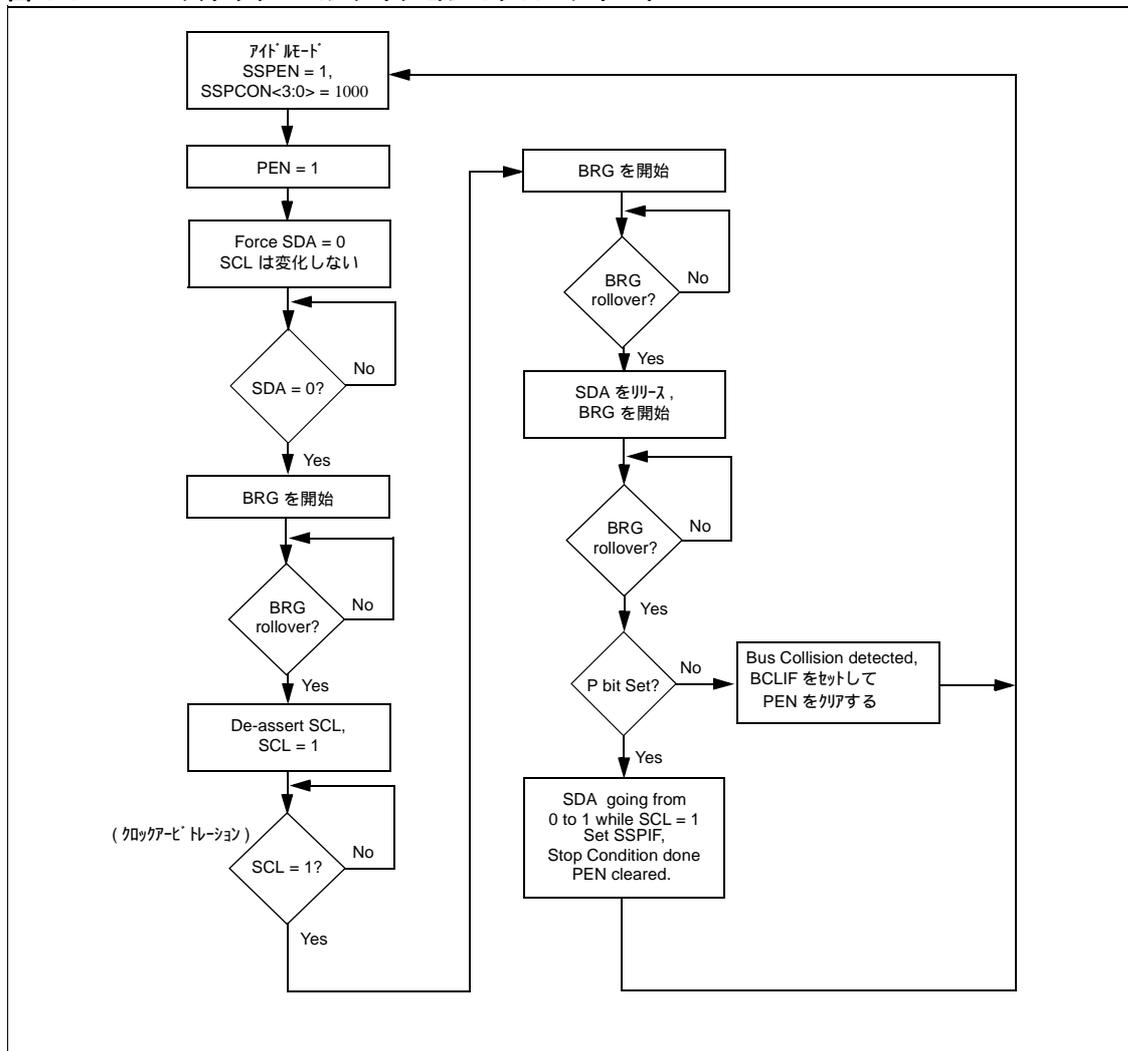
ストップ・シーケンスが進行しているときに、ユーザーが SSPBUF へのライトを行った場合、WCOL がセットされてバッファの内容は変更されません (ライトは実行されません)。

図 9-31: ストップ・コンディションの受信または送信モード



# PIC16F87X

図 9-32: ストップ・コンディションのフローチャート



## 9.2.15 クロックアービトレーション

クロックアービトレーションは、受信中、送信中または繰り返しスタート/ストップコンディション中にマスターがSCLピンを解放したときに発生します (SCLはHighにフロートできません)。SCLピンがHighにフロートできるとき、ポーレート発生器 (BRG) はSCLピンが実際にHighにサンプルされるまでカウントすることができません。SCLピンがHighにサンプルされると、ポーレート発生器にはSSPADD<6:0>の内容が再ロードされ、カウントを開始します。これにより、クロックが外部デバイスによりLowにホールドされた場合、SCLのHigh時間は常に1BRGロールオーバー時間以上あることが確実になります (図 9-33)。

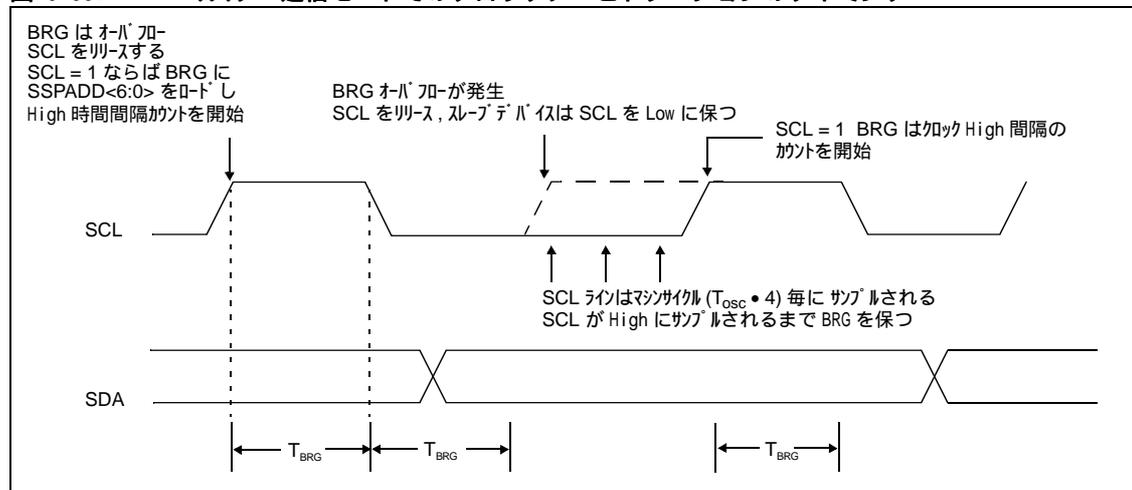
## 9.2.16 スリープ

スリープモードのとき、I2C モジュールはアドレスまたはデータを受信できます。アドレスの一致または全バイトの送信が発生すると、プロセッサはスリープから起動します (SSP 割り込みがイネーブルの場合)。

## 9.2.17 リセットの効果

リセットによりSSPモジュールはディセーブルになり、その時点の送信が終了します。

図 9-33: マスター送信モードでのクロックアービトレーションのタイミング



# PIC16F87X

## 9.2.18 マルチマスター通信、バス衝突およびバスアービトレーション

マルチマスターモードのサポートはバスアービトレーションにより成立します。マスターがアドレス/データビットを SDA ピンに出力するとき、マスターが SDA を High にフロートして SDA に「1」を出力し、別のマスターが「0」をアサートした場合、アービトレーションが起こります。SCL ピンが High にフロートしている場合は、データは安定しているはずですが、SDA に想定するデータが「1」で、SDA ピンでサンプルされたデータが「0」の場合、バス衝突が発生しています。マスターはバス衝突割り込みフラグ、BCLIF をセットして、I<sup>2</sup>C ポートを IDLE 状態にリセットします。(図 9-34)

バス衝突が発生した時に送信中であった場合、送信が中断して、BF フラグがクリアされます。また、SDA および SCL ラインは解放されて、SSPBUF へのライトが可能になります。ユーザーがバス衝突割り込み処理ルーチンを実行したとき、I<sup>2</sup>C バスがフリーであれば、スタート・コンディションをアサートすることにより通信を再開することができます。

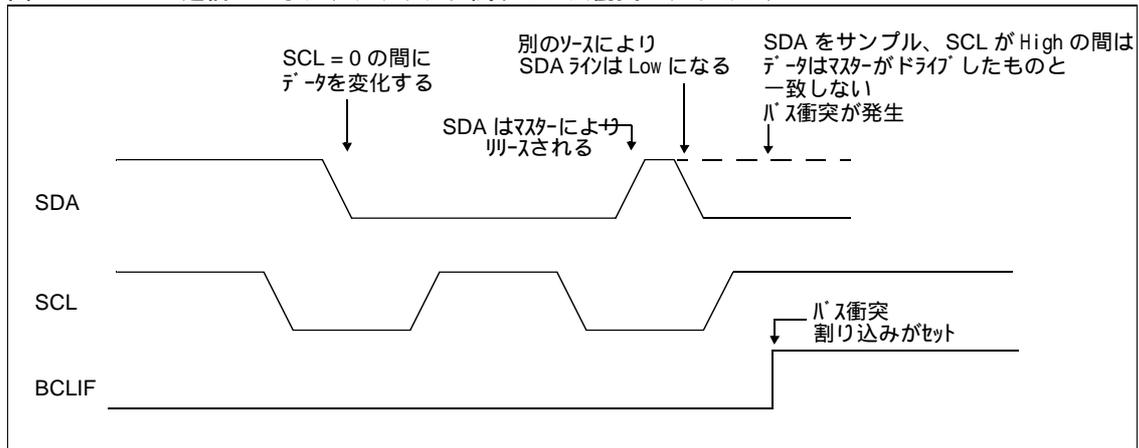
バス衝突が発生したときにスタート、繰り返しスタート、ストップまたはアクノリッジ・コンディションが進行中であった場合、状態はアポートされ、SDA および SCL ラインは解放されて、SSPCON2 内の対応するコントロールビットがクリアされます。ユーザーがバス衝突割り込み処理ルーチンを実行するとき、I<sup>2</sup>C バスがフリーであれば、スタート・コンディションをアサートすることにより通信を再開することができます。

マスターは SDA および SCL ピンの監視を続け、ストップ・コンディションが発生すると、SSPIF ビットがセットされます。

SSPBUF へのライトにより、バス衝突があったときにトランスミッターがオフになった場所とは関係なく、第 1 データビットからデータの送信が開始します。

マルチマスターモードでは、スタートおよびストップ・コンディションの検出の際の割り込み発生により、いつバスがフリーになるか判定することができます。SSPSTAT レジスタに P ビットがセットされるか、バスがアイドル状態で S および P ビットがクリアされたときに、I<sup>2</sup>C バスの制御ができるようになります。

図 9-34: 送信およびアクノリッジに関するバス衝突のタイミング



## 9.2.18.15 スタート・コンディション中のバス衝突

スタート・コンディション中はバス衝突は次の条件のとき起こります。

- SDA または SCL がスタート・コンディションの始めに Low にサンプルされる (図 9-35)。
- SDA が Low にアサートされる前に SCL が Low にサンプルされる (図 9-36)。

スタート・コンディションの間は、SDA と SCL ピンの両方が監視されます。

If:

SDA ピンがすでに Low である  
または SCL ピンがすでに Low である場合、

then:

スタート・コンディションは中断され、  
同時に BCLIF フラグがセットされて、  
更に SSP モジュールが IDLE 状態にリセットされる  
(図 9-35)。

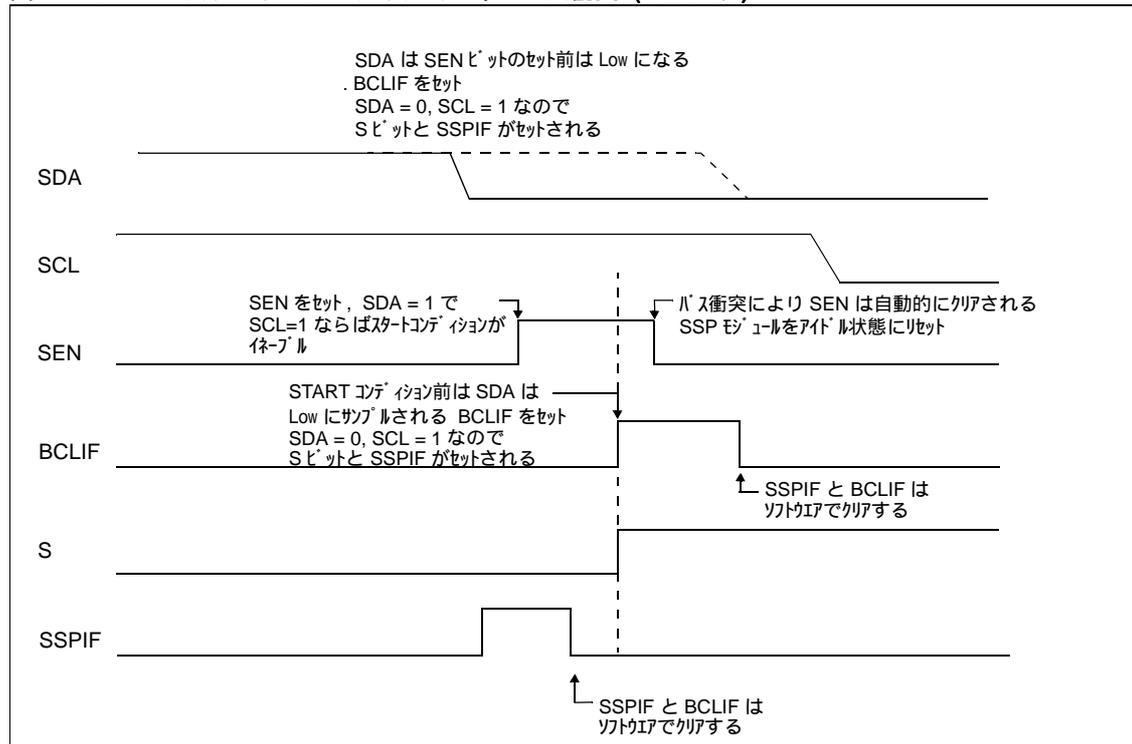
スタート・コンディションは SDA および SCL ピンの解放で始まります。SDA ピンが High にサンプルされると、ポーレート発生器に SSPADD<6:0> がロードされ、0 までカウントダウンします。SDA ピンが High のときに

SCL ピンが Low にサンプルされた場合、別のマスターがスタート・コンディション中にデータ「1」をドライブしようとしたと考えられ、バス衝突となります。

このカウントの間に SDA ピンが Low とサンプルされた場合、BRG がリセットされて、SDA ラインは早い段階でアサートされます(図 9-37)。しかし、SDA ピンに「1」がサンプルされた場合、SDA ピンは BRG カウントの終わりに Low にアサートします。その時、ポーレート発生器が再ロードされて、0 になるまでカウントダウンします。この間、SCL ピンが「0」とサンプルされた場合は、バス衝突は起こりません。BRG カウントの終わりに SCL ピンは Low にアサートします。

スタート・コンディションの際にバス衝突が要因にならない理由は、2つのバスマスターが全く同時にスタート・コンディションをアサートできないからです。従って、1つのマスターは常に他のマスターの前に SDA をアサートします。2つのマスターはスタート・コンディション後の第1アドレスでアービトレーションが行われるので、この条件によりバス衝突となることはありません。アドレスが同じ場合は、それに続くデータ、繰り返しスタートまたはストップ・コンディションでアービトレーションが行われます。

図 9-35: スタート・コンディション中のバス衝突 (SDA のみ)



# PIC16F87X

図 9-36: スタート・コンディション中のバス衝突 (SCL = 0)

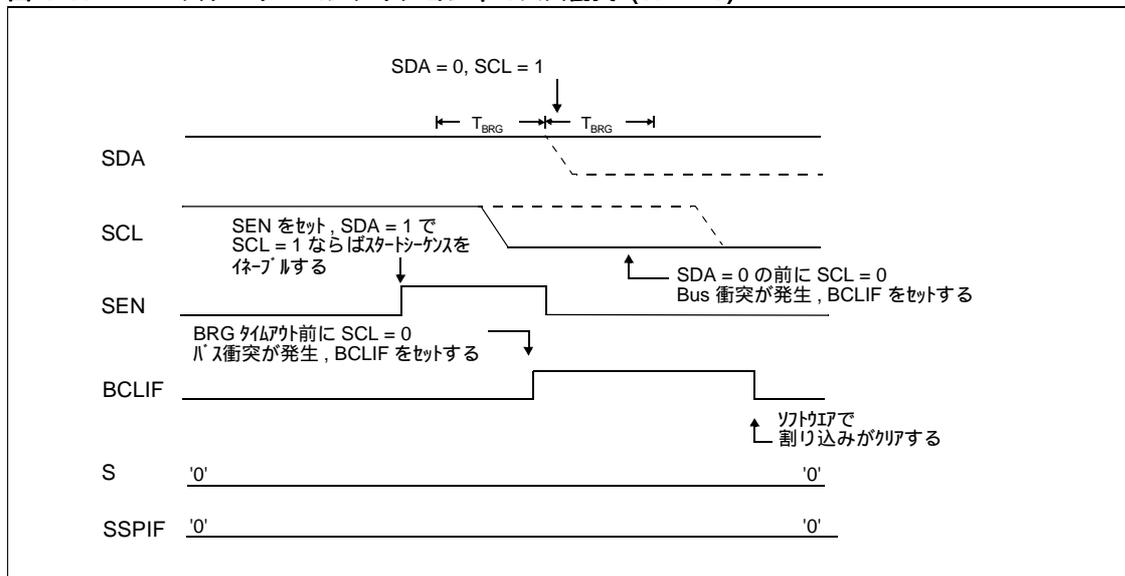
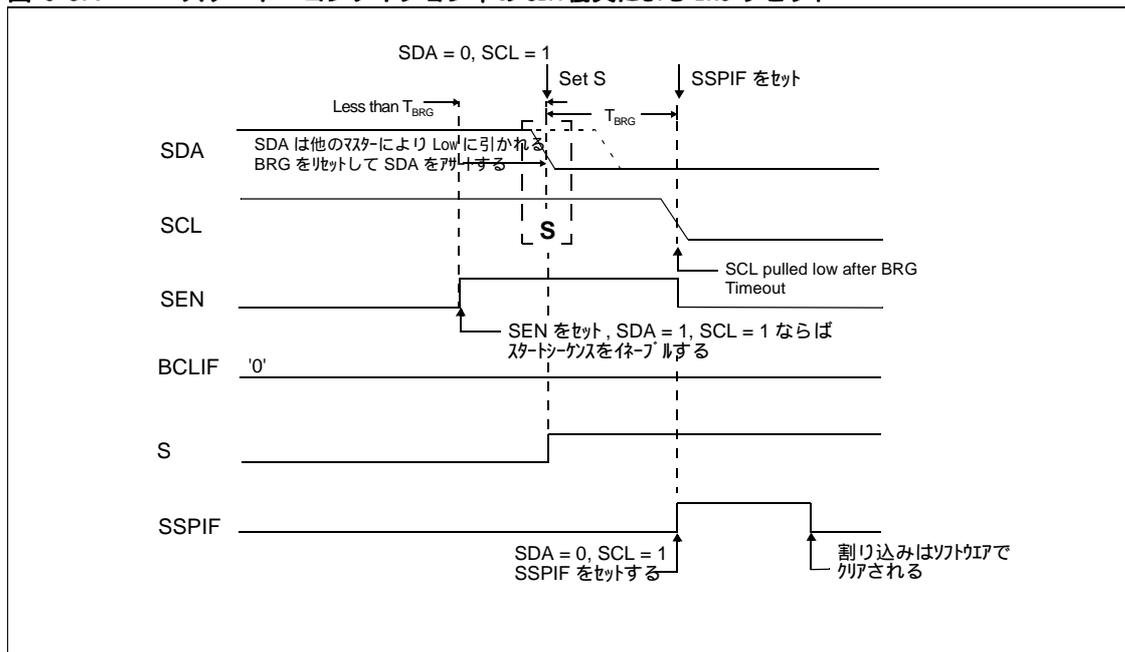


図 9-37: スタート・コンディション中の SDA 衝突による BRG リセット



## 9.2.18.16 繰り返しスタート・コンディション中のバス衝突

繰り返しスタート・コンディション中は、バス衝突は次の条件のときに起こります。

- SCLがLowからHighに移行するときにSDAでLowがサンプルされる。
- 別のマスターがデータ「1」を送信しようとして、SDAがLowにアサートする前にSCLがLowに移行した。

ユーザーがSDAを解放して、ピンがHighにフロートできるとき、BRGにSSPADD<6:0>がロードされて、0になるまでカウントダウンします。次にSCLピンが解放され、Highにサンプルされたとき、SDAピンがサンプルされます。SDAがLowの場合、バス衝突しています。(別のマスターがデータ「0」を送信しようとしている)

しかし、SDAがHighにサンプルされた場合、BRGが再ロードされてカウントを開始します。BRGがタイムアウトになる前に、SDAがHighからLowに移行した場合は、2つのマスターが全く同時にSDAをアサートすることができないので、バス衝突していません。

ただし、BRGがタイムアウトになる前にSCLがHighからLowに移行して、SDAがまだアサートされていない場合は、バス衝突しています。この場合、繰り返しスタート・コンディション中に別のマスターがデータ「1」の送信を試行します。

BRGタイムアウトの終わりにSCLとSDAの両方が依然としてHighであれば、SDAピンがLowにドライブされ、BRGが再ロードされ、カウントを開始します。このカウントの終わりでは、SCLピンのステータスに関係なく、SCLピンはローにドライブされて、繰り返しスタート・コンディションが完了します(図9-38)。

図 9-38: 繰り返しスタート・コンディション中のバス衝突 (ケース 1)

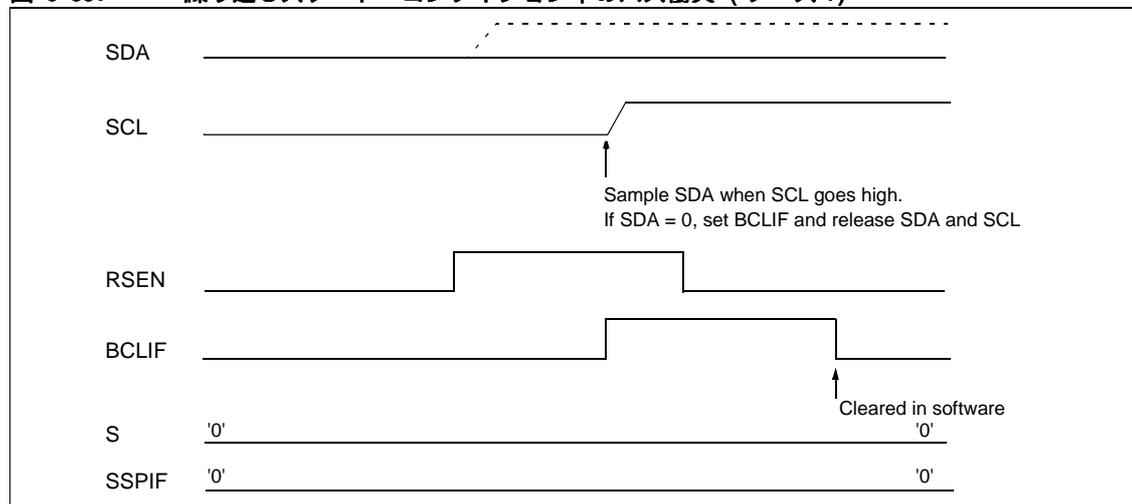
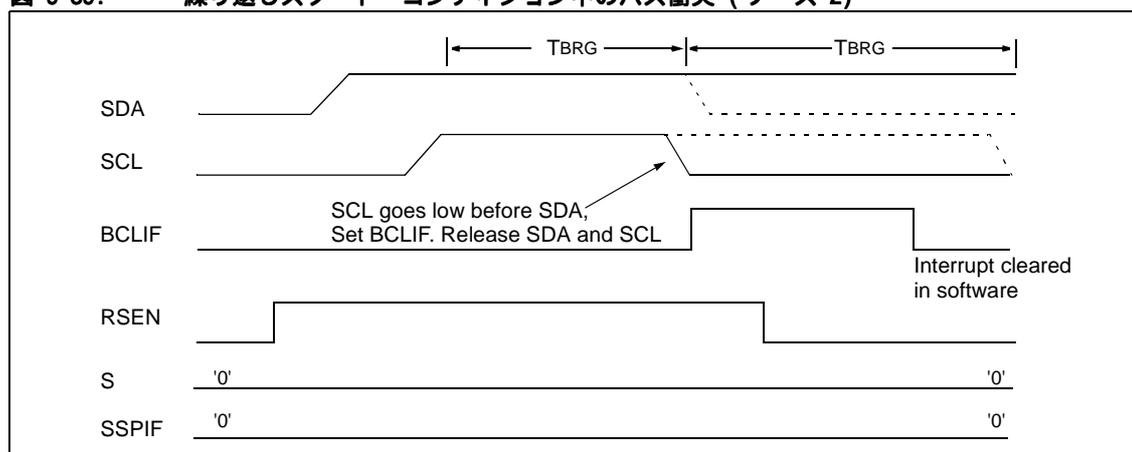


図 9-39: 繰り返しスタート・コンディション中のバス衝突 (ケース 2)



# PIC16F87X

## 9.2.18.17 ストップ・コンディション中のバス衝突

ストップ・コンディション中は、次の条件のときにバス衝突が起こります。

- SDAピンが解放されて、Highにフロートできるようになった後で、BRGのタイムアウト後 SDA が Low とサンプルされた。
- SCLピンが解放された後、SDAがHighに移行する前に SCL が Low とサンプルされた。

ストップ・コンディションはLowにアサートされたSDAで始まります。SDAがLowにサンプルされると、SCLピンはフロートできるようになります。ピンがHighにサ

ンプルされると(クロックアービトレーション) ボーレート発生器に SSPADD<6:0> がロードされ、0までカウントダウンします。BRGがタイムアウトになるとSDAがサンプルされます。SDAがLowとサンプルされたとき、バス衝突しています。これは別のマスターがデータ「0」のドライブしようとしているからです。SDAがHighにフロートできるようになる前にSCLピンがLowとサンプルされた場合、バス衝突が発生します。これは別のマスターがデータ「0」のドライブしようとしている、もう一つのケースです ( 図 9-40)。

図 9-40: ストップ・コンディション中のバス衝突 (ケース1)

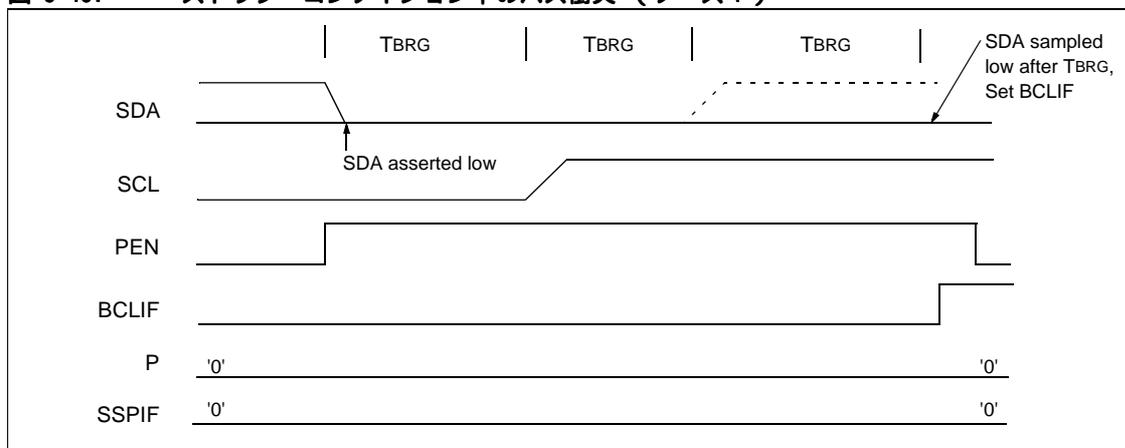
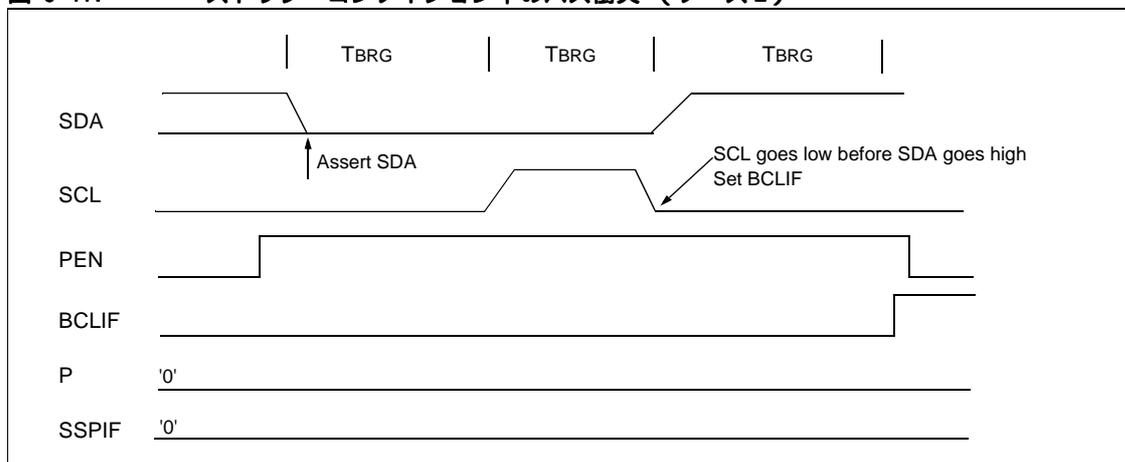


図 9-41: ストップ・コンディション中のバス衝突 (ケース2)



## 9.3 I<sup>2</sup>C バス接続に関する注意点

標準モードの I<sup>2</sup>C バスデバイスについては、レジスタの値、 $R_p$  および  $R_s$  ( 図 9-42) は次のパラメータによって変化します。

- 供給電圧
- バス容量
- 接続するデバイスの数  
( 入力電流 + リーク電流 )

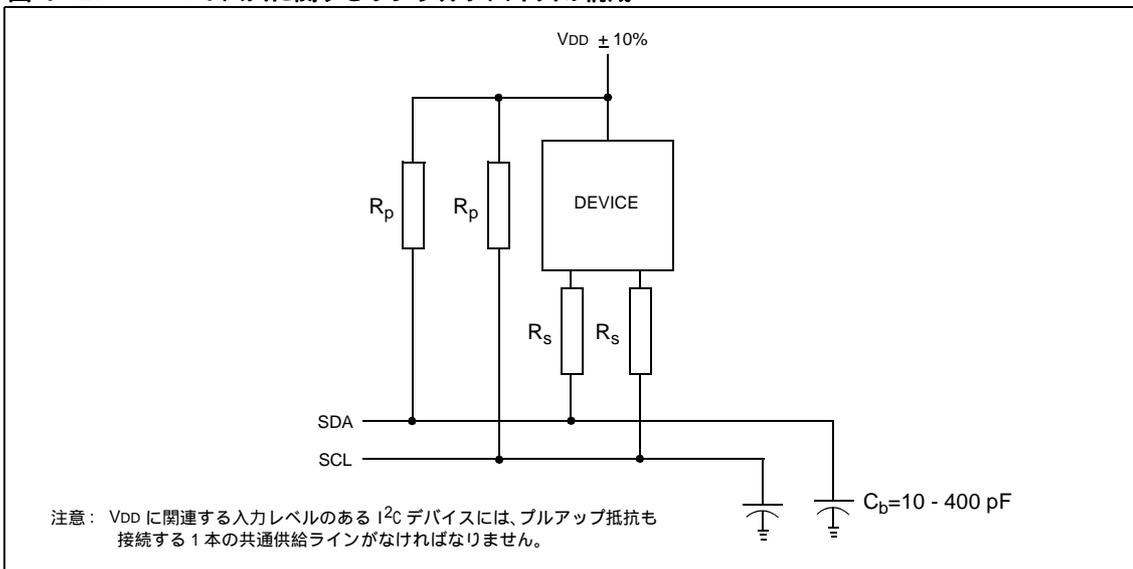
規定の出力ステージで  $V_{OL\ max} = 0.4V$  のとき規定の最小シンク電流が 3mA なので、供給電圧はレジスタ  $R_p$  の最小値を決めます。例えば、供給電圧が  $V_{DD} = 5V \pm 10\%$  で、3 mA、での  $V_{OL\ max} = 0.4V$  の場合、 $R_p$

$\min = (5.5 - 0.4) / 0.003 = 1.7\ k\Omega$  です。 $R_p$  の機能としての  $V_{DD}$  を図 9-42 に示します。Low レベルに対して望ましいノイズマージンの  $0.1V_{DD}$  が  $R_s$  の最小値を制限します。直列抵抗はオプションで、ESD 対策用です。

バス容量は、ワイヤ、コネクタ、ピンの総容量です。この容量は、規定の立ち上がり時間によって  $R_p$  の最大値を制限します ( 図 9-42)。

SMP ビットはスルーレート制御イネーブルビットです。このビットは、SSPSTAT レジスタ内にあり、I<sup>2</sup>C モード ( マスターまたはスレーブ ) の際の I/O ピンのスルーレートを制御します。

図 9-42: I<sup>2</sup>C バスに関するサンプルデバイスの構成



# PIC16F87X

---

NOTES:

## 10.0 アドレス指定可能ユニバーサル同期非同期レシーバトランスミッタ (USART)

ユニバーサル同期非同期レシーバトランスミッタ (USART) モジュールは 2 つのシリアル I/O モジュールの 1 つです。(USART はシリアル通信インターフェイス、SCI と呼ばれます。) USART は CRT 端末やパーソナルコンピュータなどの周辺デバイスと通信できる全二重非同期システムとして構成するか、A/D または D/A 統合回路やシリアルEEPROMなどの周辺デバイスと通信できる半二重同期システムとして構成することができます。

USART は次のモードで構成することができます。

- 非同期 (全二重)
- 同期 - マスター (半二重)
- 同期 - スレーブ (半二重)

ビット SPEN (RCSTA<7>) とビット TRISC<7:6> はユニバーサル同期非同期レシーバトランスミッタとしてピン RC6/TX/CK と RC7/RX/DT を構成するためにセットする必要があります。

また、USART モジュールは 9 ビットのアドレス検出でマルチプロセッサ通信を行うことができます。

図 10-1: TXSTA: 送信ステータスおよびコントロールレジスタ (アドレス 98h)

R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0	R-1	R/W-0	
CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	
bit7								bit0
<div style="border: 1px solid black; padding: 5px; width: fit-content; margin-left: auto; margin-right: auto;">                     R = リード可能なビット                      W = ライト可能なビット                      U = なし、「0」とリードされる                      -n = POR リセットでの値                 </div>								
bit 7:	<b>CSRC:</b> クロックソースセレクトビット							
	非同期モード Don't care 同期モード 1 = マスターモード (内部で BRG から発生するクロック) 0 = スレーブモード (外部ソースからのクロック)							
bit 6:	<b>TX9:</b> 9 ビット送信イネーブルビット							
	1 = 9 ビット送信を選択 0 = 8 ビット送信を選択							
bit 5:	<b>TXEN:</b> 送信イネーブルビット							
	1 = 送信はイネーブル 0 = 送信はディセーブル 注意: 同期モードでは SREN/CREN は TXEN をオーバーライドします。							
bit 4:	<b>SYNC:</b> USART モードセレクトビット							
	1 = 同期モード 0 = 非同期モード							
bit 3:	<b>なし:</b> 「0」とリードされる							
bit 2:	<b>BRGH:</b> 高速ボーレートセレクトビット							
	非同期モード 1 = 高速 0 = 低速 同期モード 使用しません							
bit 1:	<b>TRMT:</b> 送信シフトレジスタステータスビット							
	1 = TSR が空 0 = TSR がフル							
bit 0:	<b>TX9D:</b> 送信データの第 9 ビット。パリティビットとして使用可能							

# PIC16F87X

図 10-2: RCSTA: 受信ステータスおよびコントロールレジスタ ( アドレス 18h)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R-0	R-0	R-x
SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D
bit7							bit0

R = リード可能なビット  
 W = ライト可能なビット  
 U = なし、「0」とリードされる  
 - n = POR リセットでの値

bit 7: **SPEN:** シリアルポートイネーブルビット  
 1 = シリアルポートはイネーブル ( RC7/RX/DT および RC6/TX/CK ピンはシリアルポートピンとして構成 )  
 0 = シリアルポートはディセーブル

bit 6: **RX9:** 9 ビット受信イネーブルビット  
 1 = 9 ビット受信を選択  
 0 = 8 ビット受信を選択

bit 5: **SREN:** シングル受信イネーブルビット  
非同期モード  
 Don't care  
同期モード - マスター  
 1 = シングル受信はイネーブル  
 0 = シングル受信はディセーブル  
 このビットは受信完了後クリアされます。  
同期モード - スレーブ  
 使用しません。

bit 4: **CREN:** 連続受信イネーブルビット  
非同期モード  
 1 = 連続受信はイネーブル  
 0 = 連続受信はディセーブル  
同期モード  
 1 = イネーブルビット CREN がクリアされるまでは連続受信可能 ( CREN は SREN をオーバーライドする )  
 0 = 連続受信はディセーブル

bit 3: **ADDEN:** アドレス検出イネーブルビット  
非同期モード 9 ビット ( RX9=1 )  
 1 = アドレス検出はイネーブル、RSR<8> が 1 のとき、受信バッファの割り込みとロードがイネーブル  
 0 = アドレス検出はディセーブル、全バイトを受信、第 9 ビットはパリティビットとして使用可能

bit 2: **FERR:** フレーミングエラービット  
 1 = フレーミングエラー ( RCREG レジスタのリードにより更新でき、次の有効バイトを受信する )  
 0 = フレーミングエラーなし

bit 1: **OERR:** オーバーランエラービット  
 1 = オーバーランエラー ( ビット CREN のクリアによりクリア可能 )  
 0 = オーバーランエラーなし

bit 0: **RX9D:** 受信データの第 9 ビット ( パリティビットとして使用可能 )

## 10.1 USART ボーレート発生器 (BRG)

BRGはUSARTの非同期および同期モードの両方をサポートします。これは専用の8ビットボーレート発生器です。SPBRGレジスタはフリーラン8ビットタイマーの周期を制御します。非同期モードではビットBRGH(TXSTA<2>)もボーレートを制御します。同期モードではビットBRGHは無視されます。表 10-1 に二つのUSARTモードのボーレートの計算式を示します。これはマスターモード(内部クロック)のみに適用します。

希望のボーレートと  $F_{OSC}$  を当てはめれば、表 10-1 の式を使用して SPBRG レジスタの最も近い整数値を計算できます。この値からボーレートのエラーを判定することができます。

**例 10-1** 次の条件でのボーレートエラーの計算方法を示します。

$F_{OSC} = 16 \text{ MHz}$   
 希望のボーレート = 9600  
 BRGH = 0  
 SYNC = 0

### 例 10-1: ボーレートエラーの計算

$$\begin{aligned} \text{希望のボーレート} &= F_{OSC} / (64 (X + 1)) \\ 9600 &= 16000000 / (64 (X + 1)) \\ X &= \lfloor 25.042 \rfloor = 25 \\ \text{算出ボーレート} &= 16000000 / (64 (25 + 1)) \\ &= 9615 \\ \text{エラー} &= \frac{(\text{算出ボーレート} - \text{希望のボーレート})}{\text{希望のボーレート}} \\ &= (9615 - 9600) / 9600 \\ &= 0.16\% \end{aligned}$$

遅いボーレートに関しては高速ボーレート (BRGH=1) を使用したほうがよい場合があります。これは、場合によって、 $F_{OSC}/(16(X+1))$  のほうがボーレートエラーが小さいことの場合です。

SPBRG レジスタに新規の値をライトすることにより、BRG タイマがリセット (またはクリア) されます。こうすることで、新規ボーレートの出力の前に BRG がタイマのオーバーフローを待たないようにします。

#### 10.1.1 サンプリング

RC7/RX/DTピンのデータは多数決検出回路により3度サンプルされて、RXピンに High または Low が存在するか判定します。

表 10-1 ボーレートの式

SYNC	BRGH = 0 (低速)	BRGH = 1 (高速)
0	(非同期) ボーレート = $F_{OSC}/(64(X+1))$	ボーレート = $F_{OSC}/(16(X+1))$
1	(同期) ボーレート = $F_{OSC}/(4(X+1))$	NA

X = value in SPBRG (0 to 255)

表 10-2 ボーレート発生器に関連するレジスタ

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR、BOR での値	その他のリ セットでの 値
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
99h	SPBRG	ボーレート発生器レジスタ								0000 0000	0000 0000

凡例: x = 不定、- = なし、「0」とリードされる。網掛部分は BRG では使用しません。

# PIC16F87X

表 10-3 同期モードのボーレート

ボーレート (K)	FOSC = 20 MHz			16 MHz			10 MHz			7.15909 MHz		
	K ボー	% エラー	SPBRG 値 (decimal)	K ボー	% エラー	SPBRG 値 (decimal)	K ボー	% エラー	SPBRG 値 (decimal)	K ボー	% エラー	SPBRG 値 (decimal)
0.3	NA	-	-	NA	-	-	NA	-	-	NA	-	-
1.2	NA	-	-	NA	-	-	NA	-	-	NA	-	-
2.4	NA	-	-	NA	-	-	NA	-	-	NA	-	-
9.6	NA	-	-	NA	-	-	9.766	+1.73	255	9.622	+0.23	185
19.2	19.53	+1.73	255	19.23	+0.16	207	19.23	+0.16	129	19.24	+0.23	92
76.8	76.92	+0.16	64	76.92	+0.16	51	75.76	-1.36	32	77.82	+1.32	22
96	96.15	+0.16	51	95.24	-0.79	41	96.15	+0.16	25	94.20	-1.88	18
300	294.1	-1.96	16	307.69	+2.56	12	312.5	+4.17	7	298.3	-0.57	5
500	500	0	9	500	0	7	500	0	4	NA	-	-
HIGH	5000	-	0	4000	-	0	2500	-	0	1789.8	-	0
LOW	19.53	-	255	15.625	-	255	9.766	-	255	6.991	-	255

ボーレート (K)	FOSC = 5.0688 MHz			4 MHz			3.579545 MHz			1 MHz			32.768 kHz		
	K ボー	% エラー	SPBRG 値 (decimal)	K ボー	% エラー	SPBRG 値 (decimal)	K ボー	% エラー	SPBRG value (decimal)	KBAUD	% エラー	SPBRG 値 (decimal)	K ボー	% エラー	SPBRG 値 (decimal)
0.3	NA	-	-	NA	-	-	NA	-	-	NA	-	-	0.303	+1.14	26
1.2	NA	-	-	NA	-	-	NA	-	-	1.202	+0.16	207	1.170	-2.48	6
2.4	NA	-	-	NA	-	-	NA	-	-	2.404	+0.16	103	NA	-	-
9.6	9.6	0	131	9.615	+0.16	103	9.622	+0.23	92	9.615	+0.16	25	NA	-	-
19.2	19.2	0	65	19.231	+0.16	51	19.04	-0.83	46	19.24	+0.16	12	NA	-	-
76.8	79.2	+3.13	15	76.923	+0.16	12	74.57	-2.90	11	83.34	+8.51	2	NA	-	-
96	97.48	+1.54	12	1000	+4.17	9	99.43	+3.57	8	NA	-	-	NA	-	-
300	316.8	+5.60	3	NA	-	-	298.3	-0.57	2	NA	-	-	NA	-	-
500	NA	-	-	NA	-	-	NA	-	-	NA	-	-	NA	-	-
HIGH	1267	-	0	100	-	0	894.9	-	0	250	-	0	8.192	-	0
LOW	4.950	-	255	3.906	-	255	3.496	-	255	0.9766	-	255	0.032	-	255

表 10-4 非同期モードのボーレート (BRGH = 0)

ボーレート (K)	FOSC = 20 MHz			16 MHz			10 MHz			7.15909 MHz		
	K ボー	% エラー	SPBRG 値 (decimal)	K ボー	% エラー	SPBRG 値 (decimal)	K ボー	% エラー	SPBRG 値 (decimal)	K ボー	% エラー	SPBRG 値 (decimal)
0.3	NA	-	-	NA	-	-	NA	-	-	NA	-	-
1.2	1.221	+1.73	255	1.202	+0.16	207	1.202	+0.16	129	1.203	+0.23	92
2.4	2.404	+0.16	129	2.404	+0.16	103	2.404	+0.16	64	2.380	-0.83	46
9.6	9.469	-1.36	32	9.615	+0.16	25	9.766	+1.73	15	9.322	-2.90	11
19.2	19.53	+1.73	15	19.23	+0.16	12	19.53	+1.73	7	18.64	-2.90	5
76.8	78.13	+1.73	3	83.33	+8.51	2	78.13	+1.73	1	NA	-	-
96	104.2	+8.51	2	NA	-	-	NA	-	-	NA	-	-
300	312.5	+4.17	0	NA	-	-	NA	-	-	NA	-	-
500	NA	-	-	NA	-	-	NA	-	-	NA	-	-
HIGH	312.5	-	0	250	-	0	156.3	-	0	111.9	-	0
LOW	1.221	-	255	0.977	-	255	0.6104	-	255	0.437	-	255

ボーレート (K)	FOSC = 5.0688 MHz			4 MHz			3.579545 MHz			1 MHz			32.768 kHz		
	K ボー	% エラー	SPBRG 値 (decimal)	K ボー	% エラー	SPBRG 値 (decimal)	K ボー	% エラー	SPBRG 値 (decimal)	K ボー	% エラー	SPBRG 値 (decimal)	K ボー	% エラー	SPBRG 値 (decimal)
0.3	0.31	+3.13	255	0.3005	-0.17	207	0.301	+0.23	185	0.300	+0.16	51	0.256	-14.67	1
1.2	1.2	0	65	1.202	+1.67	51	1.190	-0.83	46	1.202	+0.16	12	NA	-	-
2.4	2.4	0	32	2.404	+1.67	25	2.432	+1.32	22	2.232	-6.99	6	NA	-	-
9.6	9.9	+3.13	7	NA	-	-	9.322	-2.90	5	NA	-	-	NA	-	-
19.2	19.8	+3.13	3	NA	-	-	18.64	-2.90	2	NA	-	-	NA	-	-
76.8	79.2	+3.13	0	NA	-	-	NA	-	-	NA	-	-	NA	-	-
96	NA	-	-	NA	-	-	NA	-	-	NA	-	-	NA	-	-
300	NA	-	-	NA	-	-	NA	-	-	NA	-	-	NA	-	-
500	NA	-	-	NA	-	-	NA	-	-	NA	-	-	NA	-	-
HIGH	79.2	-	0	62.500	-	0	55.93	-	0	15.63	-	0	0.512	-	0
LOW	0.3094	-	255	3.906	-	255	0.2185	-	255	0.0610	-	255	0.0020	-	255

# PIC16F87X

表 10-5 非同期モードのボーレート (BRGH = 1)

ボーレート (K)	FOSC = 20 MHz			16 MHz			10 MHz			7.16 MHz		
	K ボー	% エラー	SPBRG 値 (decimal)	K ボー	% エラー	SPBRG 値 (decimal)	K ボー	% エラー	SPBRG 値 (decimal)	K ボー	% エラー	SPBRG 値 (decimal)
9.6	9.615	+0.16	129	9.615	+0.16	103	9.615	+0.16	64	9.520	-0.83	46
19.2	19.230	+0.16	64	19.230	+0.16	51	18.939	-1.36	32	19.454	+1.32	22
38.4	37.878	-1.36	32	38.461	+0.16	25	39.062	+1.7	15	37.286	-2.90	11
57.6	56.818	-1.36	21	58.823	+2.12	16	56.818	-1.36	10	55.930	-2.90	7
115.2	113.636	-1.36	10	111.111	-3.55	8	125	+8.51	4	111.860	-2.90	3
250	250	0	4	250	0	3	NA	-	-	NA	-	-
625	625	0	1	NA	-	-	625	0	0	NA	-	-
1250	1250	0	0	NA	-	-	NA	-	-	NA	-	-

ボーレート (K)	FOSC = 5.068 MHz			4 MHz			3.579 MHz			1 MHz			32.768 kHz		
	K ボー	% エラー	SPBRG 値 (decimal)	K ボー	% エラー	SPBRG 値 (decimal)	K ボー	% エラー	SPBRG 値 (decimal)	K ボー	% エラー	SPBRG 値 (decimal)	K ボー	% エラー	SPBRG 値 (decimal)
9.6	9.6	0	32	NA	-	-	9.727	+1.32	22	8.928	-6.99	6	NA	-	-
19.2	18.645	-2.94	16	1.202	+0.17	207	18.643	-2.90	11	20.833	+8.51	2	NA	-	-
38.4	39.6	+3.12	7	2.403	+0.13	103	37.286	-2.90	5	31.25	-18.61	1	NA	-	-
57.6	52.8	-8.33	5	9.615	+0.16	25	55.930	-2.90	3	62.5	+8.51	0	NA	-	-
115.2	105.6	-8.33	2	19.231	+0.16	12	111.860	-2.90	1	NA	-	-	NA	-	-
250	NA	-	-	NA	-	-	223.721	-10.51	0	NA	-	-	NA	-	-
625	NA	-	-	NA	-	-	NA	-	-	NA	-	-	NA	-	-
1250	NA	-	-	NA	-	-	NA	-	-	NA	-	-	NA	-	-

# PIC16F87X

## 10.2 USART 非同期モード

このモードでは、USART は標準のノン・リターン・トゥ・ゼロ (NRZ) フォーマット(1 スタートビット、8 または 9 データビット、1 ストップビット)を使用します。最もよく使用されるデータフォーマットは8ビットです。オン・チップ専用 8 ビットボーレート発生器を使用して、オシレータから標準ボーレート周波数をつくることができます。USART は LSB から先に送信および受信します。USART のトランスミッターとレシーバーは機能的には独立していますが、同じデータフォーマットとボーレートを使用します。ボーレート発生器は、ビット BRGH(TXSTA<2>) により、シフトレートが X16 または X64 のどちらかのクロックを生成します。パリティはハードウェアではサポートされていませんが、ソフトウェアで作成可能です(第9データビットに格納する)。非同期モードはスリープ中は停止します。

非同期モードはビット SYNC(TXSTA<4>) をクリアすることにより選択します。

USART非同期モジュールは主に次の要素から成ります。

- ボーレート発生器
- サンプリング回路
- 非同期トランスミッター
- 非同期レシーバー

### 10.2.1 USART 非同期トランスミッター

USARTトランスミッターのブロック図を図 10-3 に示します。トランスミッターの中心部は送信(シリアル)シフトレジスタ(TSR)です。シフトレジスタはリード/ライト送信バッファ、TXREG からデータがロードされます。TXREG レジスタにはソフトウェアでデータがロードされます。TSR レジスタは前のロードの STOP ビットが送信されるまでロードされません。STOP ビットが送信されると、TSR には直ちに TXREG レジスタからの新規データが(あれば)ロードされます。TXREG レジスタが TSR レジスタにデータを転送すると(1TCY で実行)TXREG レジスタは空になり、フラグビット TXIF (PIE1<4>) がセットされます。この割り込みはイネー

ブルビット TXIE(PIE1<4>) をセット/クリアすることによりイネーブル/ディセーブルできます。フラグビット TXIF は TXIE に関係なくセットされ、ソフトウェアではクリアできません。このビットは TXREG レジスタに新しいデータがロードされたときにのみセットします。フラグビット TXIF は TXREG レジスタのステータスを示し、別のビット TRMT(TXSTA<1>) は TSR レジスタのステータスを示します。ステータスビット TRMT は TSR レジスタが空のときにセットされるリード・オンリービットです。このビットは割り込みとは連動しません。TSR レジスタが空かどうかを判定するために、このビットをポーリングできます。

**注意 1:** TSR レジスタはデータメモリ内には配置されていないので、ユーザーが使用することはできません。

**注意 2:** フラグビット TXIF はいネーブルビット TXEN がセットされたときにセットされます。

非同期送信をセットアップする際は、以下のステップに従います。

1. SPBRG レジスタを適切なボーレートで初期化します。高速ボーレートを希望する場合、ビット BRGH をセットします。(10.1 節)
2. ビット SYNC をクリアしてビット SPEN をセットすることにより非同期シリアルポートを動作させます。
3. 割り込みが必要な場合は、イネーブルビット TXIE をセットします。
4. 9 ビットの送信が必要な場合は、送信ビット TX9 をセットします。
5. ビット TXEN をセットすることにより送信をイネーブルにします。これにより TXIF ビットもセットされます。
6. 9 ビット送信を選択した場合、第9ビットはビット TX9D にロードされる必要があります。
7. TXREG レジスタにデータをロードします(送信を開始します)。

図 10-3: USART 送信のブロック図

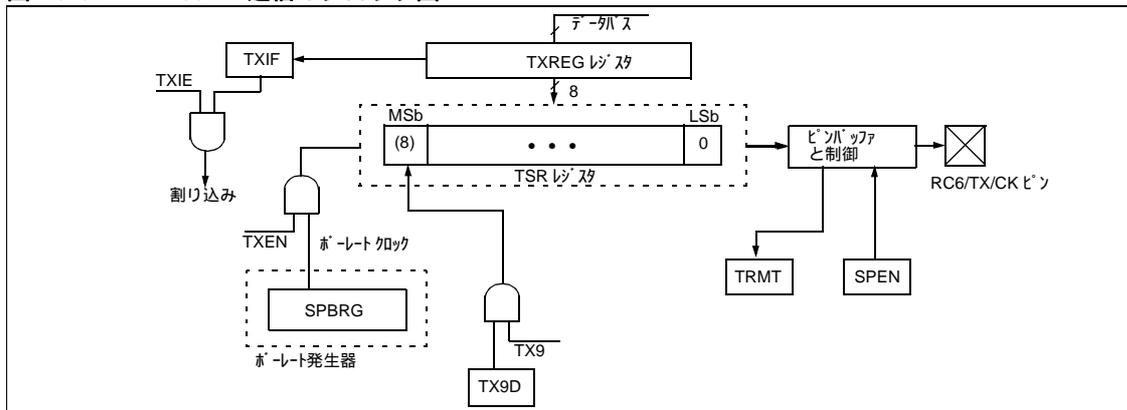


図 10-4: 非同期送信

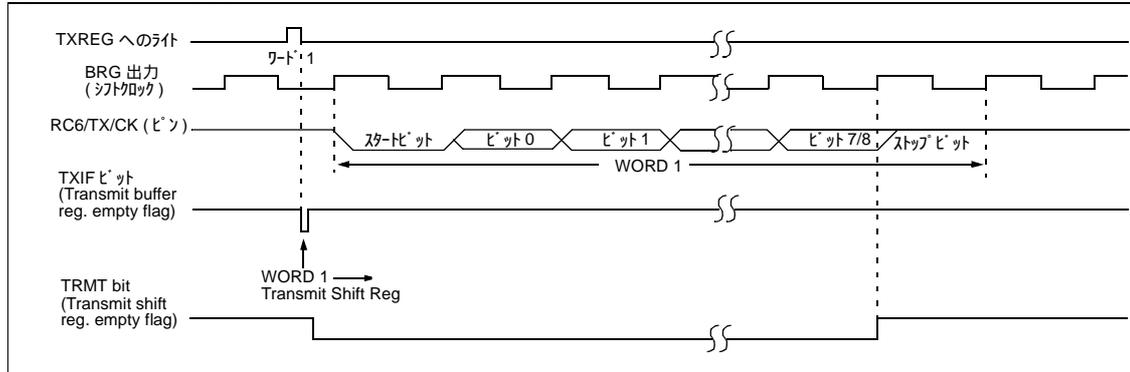


図 10-5: 非同期送信 (バック・トゥ・バック)

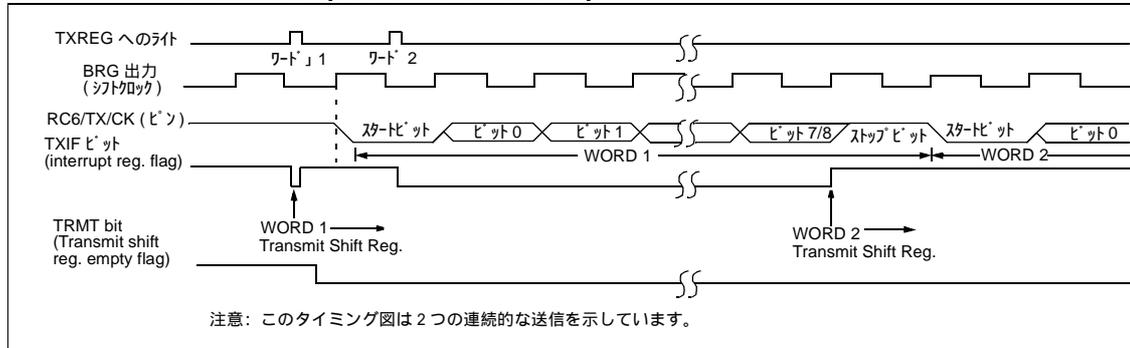


表 10-6 非同期送信に関連するレジスタ

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR、BOR での値	他のすべてのリセットでの値
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
19h	TXREG	USART Transmit Register								0000 0000	0000 0000
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	Baud Rate Generator Register								0000 0000	0000 0000

凡例: x = 不定、- = なし、「0」とリードされる。網掛部分は非同期送信では使用しません。

注意 1: ビット PSPIE および PSPIF は 28 ピンデバイスでは 0 にしておいてください。予約ビットになります。

# PIC16F87X

## 10.2.2 USART 非同期レシーバー

レシーバーのブロック図を図 10-6 に示します。データは RC7/RX/DT ピンに受信されてデータ回復ブロックをドライブします。データ回復ブロックは実際は X16 倍ポーレートで動作する高速シフトです。なお、メイン受信シリアルシフトはビットレートまたは  $F_{OSC}$  で動作します。

USART モジュールにはマルチ・プロセッサ通信の特別な機能があります。RX9 ビットが RCSTA レジスタにセットされると、9 ビットが受信されて、第 9 ビットは RCSTA レジスタの RX9D ステータスビットに配置されます。ポートは、ストップビットを受信したときに RX9D ビット = 1 のときのみシリアルポート割り込みが発生するようにプログラムすることができます。この機能は RCSTA レジスタに ADDEN ビット RCSTA<3> をセットすることにより動作できるようになります。この機能は次のようなマルチ・プロセッサシステムで使用できます。

マスタープロセッサは 1 ブロックのデータを複数のスレーブの 1 つに送信しようとしています。プロセッサはまず目標のスレーブを識別するアドレスバイトを送信しなければなりません。アドレスバイトは RX9D ビットが「1」であることにより識別されます(データバイトは「0」)。ADDEN ビットがスレーブの RCSTA レジスタでセットされている場合、すべてのデータバイトは無視されます。しかし、第 9 受信バイトが「1」の場合、受信バイトがアドレスであることを示すので、スレーブは割り込み発生して、RSR レジスタの内容が受信バッファに転送されます。これにより、スレーブはアドレスのみ割り込み発生でき、スレーブがアドレス指定されたかどうか確認できるようにします。アドレス指定されたスレーブはその ADDEN ビットをクリアしてマスターからのデータバイトを受信する準備をします。

ADDEN がセットされると、すべてのデータバイトは無視されます。STOP ビットの次にはデータバイトは受信バッファにロードされず、割り込みは発生しません。別のバイトが RSR レジスタにシフトインされた場合、前のデータバイトはなくなります。

ADDEN ビットはレシーバーが 9 ビット非同期モードで構成されているときのみ有効です。

レシーバーのブロック図を図 10-6 に示します。

一度非同期モードを選択すると、受信はビット CREN(RCSTA<4>)をセットすることによりイネーブルになります。

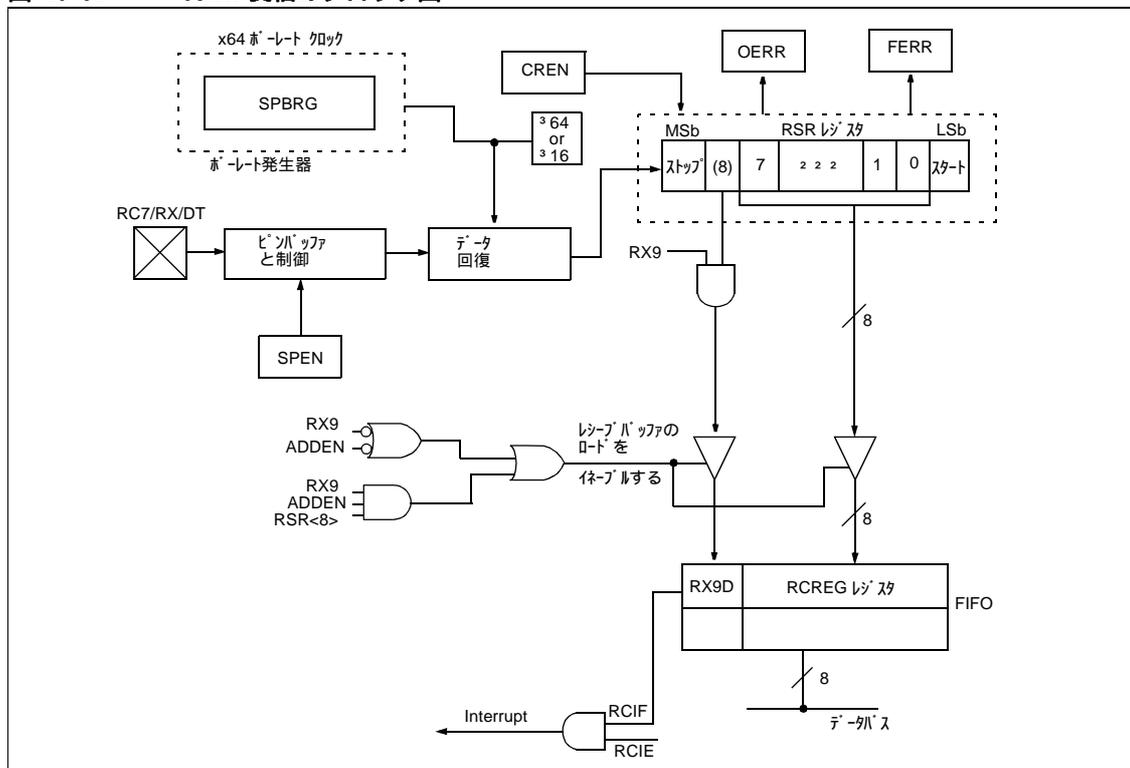
## 10.2.3 アドレス検出付き 9 ビットモードのセッティング

アドレス機能のついた非同期受信をセットアップするには次のステップに従います。

- SPBRG レジスタを適切なボーレートで初期化します。高速ボーレートが必要な場合は、ビット BRGH をセットします。
- ビット SYNC をクリアして、および、ビット SPEN をセットすることにより非同期シリアルポートを動作させます。
- 割り込みが必要な場合は、イネーブルビット RCIE をセットします。
- ビット RX9 をセットして 9 ビット受信をイネーブルにします。
- ADDEN をセットしてアドレス検出をイネーブルにします。

- イネーブルビット CREN をセットすることにより受信をイネーブルにします。
- 受信が完了するとフラグビット RCIF がセットされます。イネーブルビット RCIE がセットされた場合は割り込みが発生します。
- RCSTA レジスタをリードして、第 9 ビットをリード、および、受信中に何かエラーが発生したかどうかを判定します。
- RCREG レジスタのリードにより 8 ビットの受信データをリードして、アドレス指定されたかどうかを判定します。
- エラーが発生した場合、イネーブルビット CREN をクリアしてエラーをクリアします。
- デバイスがアドレスされた場合、ADDEN ビットをクリアして、データバイトとアドレスバイトを受信バッファにリードして、CPU を割り込みできるようにします。

図 10-6: USART 受信のブロック図



# PIC16F87X

図 10-7: アドレス検出付き非同期受信

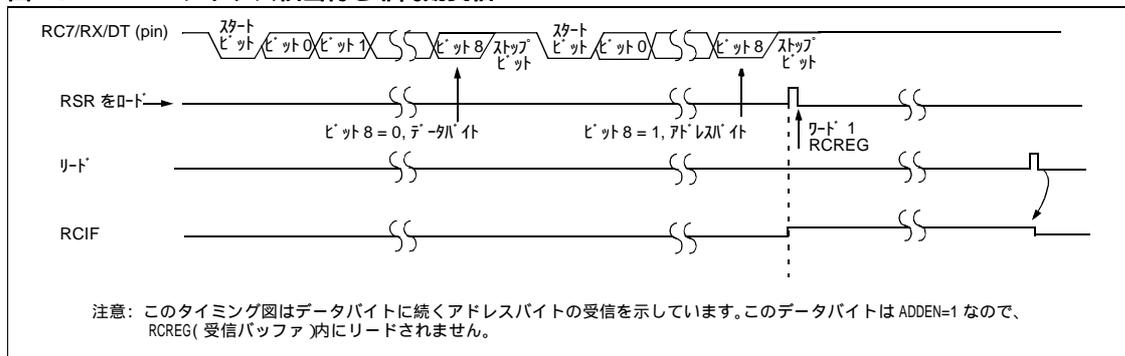


図 10-8: アドレスバイトが先の非同期受信

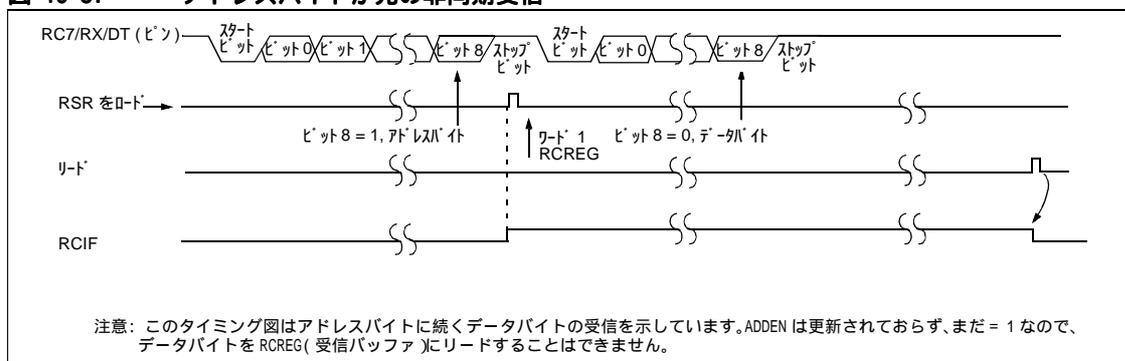


表 10-7 非同期受信に関連するレジスタ

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR、BOR での値	他のすべてのリセットでの値
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
1Ah	RCREG	USART 受信レジスタ								0000 0000	0000 0000
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	ボーレート発生器レジスタ								0000 0000	0000 0000

凡例: x = 不定、- = なし、「0」とリードされる。網掛け部分は非同期受信では使用しません。

注意 1: ビット PSPIE および PSPIF は 28 ピンデバイスでは 0 にしておいてください。

## 10.3 USART 同期マスターモード

同期マスターモードでは、データは半2重方式で送信されます。つまり送信と受信が一度に発生することはありません。データを送信する際は、受信は禁止されており、受信の際は送信は禁止されています。同期モードに入るには、ビット SYNC (RXSTA<4>) をセットします。更に、RC6/TX/CK および RC7/RX/DT の I/O ピンをそれぞれ CK (クロック) と DT (データ) ラインに構成するために、イネーブルビット SPEN (RCSTA<7>) をセットします。マスターモードはプロセッサが CK ラインにマスタークロックを送信するを示します。マスターモードに入るには、ビット CSRC (TXSTA<7>) をセットします。

### 10.3.1 USART 同期マスターの送信

USART トランスミッターのブロック図を [図 10-3](#) に示します。トランスミッターの中心部は送信 (シリアル) シフトレジスタ (TSR) です。シフトレジスタは、リード/ライト送信バッファレジスタ TXREG からデータがロードされます。TXREG レジスタにはソフトウェアでデータをロードします。TSR レジスタは前のロードの最終ビットが送信されるまではロードされません。最終ビットが送信されると、TSR レジスタには直ちに TXREG からの新しいデータがロードされます (データがある場合)。TXREG レジスタが TSR レジスタにデータを送信すると (1Tcycle で実行) TXREG は空になり、割り込みビット、TXIF (PIR1<4>) がセットされます。割り込みはイネーブルビット TXIE (PIE<4>) のセット/クリアによりイネーブル/ディセーブルになります。フラグビット TXIF はイネーブルビット TXIE の状態に

関係なくセットされ、ソフトウェアでクリアすることはできません。新しいデータが TXREG レジスタにロードされたときのみリセットされます。フラグビット TXIF は TXREG レジスタのステータスを示しますが、もう1つのビット TRMT (TXSTA<1>) は TSR レジスタのステータスを示します。TRMT は TSR が空のときにセットされるリード・オンリービットです。このビットに連動する割り込みはないので、TSR レジスタが空であるか判定するためには、このビットをポーリングする必要があります。TSR はデータメモリ内には配置されていないので、プログラムからアクセスできません。

同期マスター送信をセットアップする際には、次のステップに従います。

1. SPBRG レジスタを適切なボーレートに初期設定します (10.1 節)。
2. SYNC、SPEN および CSRC ビットをセットすることにより同期マスターシリアルポートをイネーブルにします。
3. 割り込みが必要な場合は、イネーブルビット TXIE をセットします。
4. 9 ビット送信が必要な場合は、ビット TX9 をセットします。
5. ビット TXEN のセットにより送信をイネーブルにします。
6. 9 ビットの送信を選択する場合は、第9ビットをビット TX9D にロードする必要があります。
7. TXREG レジスタにデータをロードすることにより送信を開始します。

表 10-8 同期マスター送信に関連するレジスタ

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR、BOR での値	他のリセットでの値
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
19h	TXREG	USART 送信レジスタ								0000 0000	0000 0000
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	ボーレート発生器レジスタ								0000 0000	0000 0000

凡例: x = 不定、- = なし、「0」とリードされる。網掛部分は同期マスター送信では使用しません。

注意 1: ビット PSPIE と PSPIF は 28 ピンデバイスでは 0 にしておいてください。

# PIC16F87X

図 10-9: 同期送信

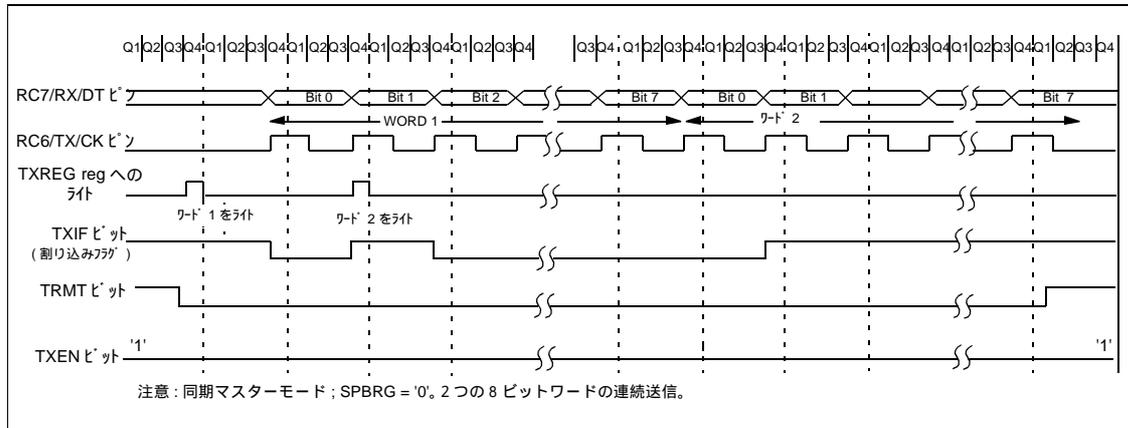
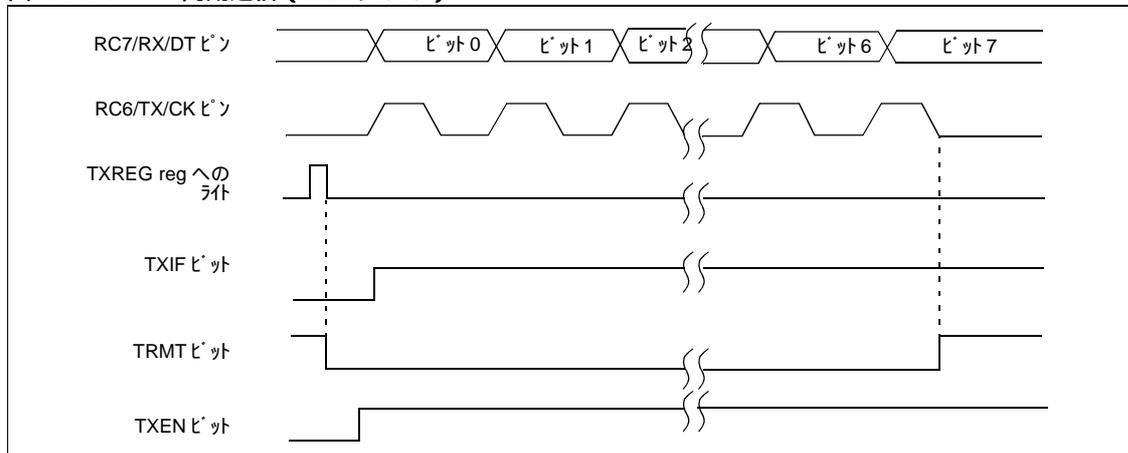


図 10-10: 同期送信 (TXEN による)



## 10.3.2 USART 同期マスター受信

同期モードが選択されると、イネーブルビット SREN(RCSTA<5>) かイネーブルビット CREN(RCSTA<4>) のどちらかをセットすることにより受信ができるようになります。データはクロックの立下りエッジの RC7/RX/DTピンでサンプルされます。イネーブルビットSRENがセットされた場合、1 シングルのワードのみが受信されます。イネーブルビット CREN がセットされた場合、CREN がクリアされるまで受信が継続します。両方のビットがセットされた場合は、CREN が優先します。

同期マスター受信をセットアップする際には、次のステップに従います。

1. SPBRG レジスタを適切なボーレートに初期設定します。(10.1 節)
2. SYNC、SPEN および CSRC ビットをセットすることにより同期マスターシリアルポートを動作させます。
3. CREN および SREN ビットがクリアされているのを確認します。
4. 割り込みが必要な場合、イネーブルビット RCIE をセットします。
5. 9 ビット受信が必要な場合、ビット RX9 をセットします。
6. シングル受信の場合、ビット SREN をセットします。連続受信にはビット CREN をセットします。
7. 受信が終了すると、割り込みフラグビット RCIF がセットされて、イネーブルビット RCIE がセットされている場合は割り込みが発生します。
8. RCSTA レジスタをリードして、第9ビット(イネーブルの場合)をリード、および、受信中にエラーが発生したかどうか判定します。
9. RCREG レジスタのリードにより8ビット受信データをリードします。
10. エラーが発生した場合、CREN をクリアすることでエラーをクリアします。

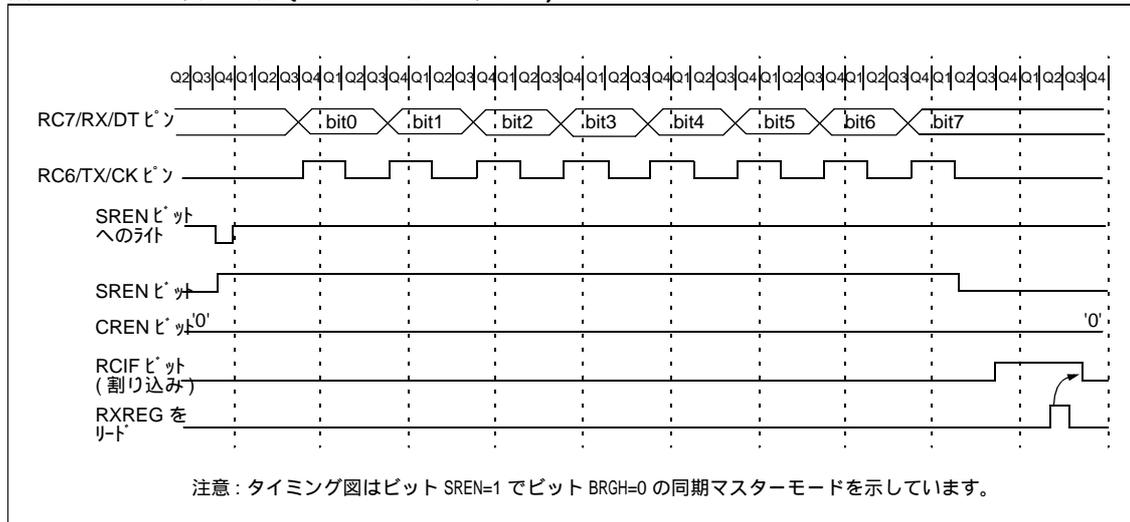
表 10-9 同期マスター受信に関連するレジスタ

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR、BOR での値	他のリセットでの値
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
1Ah	RCREG	USART 受信レジスタ								0000 0000	0000 0000
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	ボーレート発生器レジスタ								0000 0000	0000 0000

凡例: x = 不定、- = なし、「0」とリードされます。網掛部分は同期マスター受信では使用しません。

注意 1: ビット PSPIE および PSPIF は 28 ビンデバイスでは 0 にしておいてください。

図 10-11: 同期受信 (マスターモード、SREN)



# PIC16F87X

## 10.4 USART 同期スレーブモード

同期スレーブモードはシフトクロックが RC6/TX/CK ピンに外部から供給される点で、マスターモードとは異なります (マスターモードではクロックは内部から供給されます)。これによりデバイスはスリープモード中でもデータを送受信できます。スレーブモードに入るには、ビット CSRC (TXSTA<7>) をクリアします。

### 10.4.1 USART 同期スレーブ送信

同期マスターモードとスレーブモードは、スリープモードの場合以外は同じ動作になります。

2 ワードが TXREG にライトされ、SLEEP 命令が実行された場合、以下のことが起きます。

- 最初のワードが直ちに TSR レジスタに転送され、送信されます。
- 2 番目のワードは TXREG レジスタに残ります。
- フラグビット TXIF はセットされません。
- 最初のワードが TSR からシフトアウトされると、TXREG レジスタは 2 番目のワードを TSR に転送して、今度は TXIF ビットがセットされます。
- イネーブルビット TXIE がセットされている場合、割り込みがチップをスリープから起動させ、グローバル割り込みがイネーブルの場合は、プログラムは割り込みベクタ (0004h) に分岐します。

同期スレーブ送信をセットアップする際には次のステップに従います。

- ビット SYNC および SPEN ビットをセットしてビット CSRC をクリアすることにより同期スレーブシリアルポートを動作させます。
- ビット CREN および SREN をクリアします。
- 割り込みが必要な場合、イネーブルビット TXIE をセットします。
- 9 ビット送信が必要な場合、ビット TX9 をセットします。
- イネーブルビット TXEN をセットすることにより送信ができるようにします。
- 9 ビット送信を選択した場合は、第 9 ビットをビット TX9D にロードする必要があります。
- データを TXREG レジスタにロードすることにより送信を開始します。

### 10.4.2 USART 同期スレーブ受信

同期マスターモードとスレーブモードは、スリープモードのときの動作を除いて同じ動作になります。また、SREN はスレーブモードでは無効です。

SLEEP 命令の前に、ビット CREN のセットにより受信をイネーブルにした場合、スリープ中でも受信できます。ワードを完全に受信すると、RSR レジスタはデータを RCREG レジスタに転送し、イネーブルビット RCIE ビットがセットされている場合は、発生した割り込みによりチップがスリープから起動します。グローバル割り込みがイネーブルの場合は、プログラムは割り込みベクタ (0004h) に分岐します。

同期スレーブ受信をセットアップする際には、次のステップに従います。

- ビット SYNC と SPEN をセットして CSRC をクリアすることにより同期スレーブシリアルポートを動作させます。
- 割り込みが必要な場合は、イネーブルビット RCIE をセットします。
- 9 ビット受信が必要な場合は、ビット RX9 をセットします。
- 受信を許可するには、イネーブルビット CREN をセットします。
- 受信が終了すると、フラグビット RCIF がセットされ、イネーブルビット RCIE がセットされている場合は割り込みが発生します。
- RCSTA レジスタをリードして、第 9 ビット (イネーブルの場合) をリード、および、受信中にエラーが発生したかどうかを判定します。
- RCREG レジスタをリードすることにより 8 ビットの受信データをリードします。
- エラーが発生した場合、ビット CREN をクリアすることによりエラーをクリアします。

# PIC16F87X

表 10-10 同期スレーブ送信に関連するレジスタ

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR、BOR での値	他のリセットでの値
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
19h	TXREG	USART 送信レジスタ								0000 0000	0000 0000
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	ボーレート発生器レジスタ								0000 0000	0000 0000

凡例： x = 不定、- = なし、「0」とリードされる。網掛部分は同期スレーブ送信では使用しません。

注意 1: ビット PSPIE および PSPIF は 28 ピンデバイスでは 0 にしておいてください。

表 10-11 同期スレーブ受信に関連するレジスタ

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR、BOR での値	他のリセットでの値
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
18h	RCSTA	SPEN	RX9	SREN	CREN	ADDEN	FERR	OERR	RX9D	0000 000x	0000 000x
1Ah	RCREG	USART 受信レジスタ								0000 0000	0000 0000
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
98h	TXSTA	CSRC	TX9	TXEN	SYNC	—	BRGH	TRMT	TX9D	0000 -010	0000 -010
99h	SPBRG	ボーレート発生器レジスタ								0000 0000	0000 0000

凡例： x = 不定、- = なし、「0」とリードされる。網掛部分は同期スレーブ受信では使用しません。

注意 1: ビット PSPIE および PSPIF は 28 ピンデバイスでは 0 にしておいてください。

# PIC16F87X

---

NOTES:

## 11.0 A/D 変換器モジュール

A/D 変換器モジュールは、28 ピンデバイスには 5 入力、他のデバイスには 8 入力があります。

アナログ入力はサンプル・アンド・ホールドコンデンサを充電します。サンプル・アンド・ホールドコンデンサの出力は変換器への入力になります。変換器は逐次比較でアナログレベルをデジタルにします。アナログ入力信号の A/D 変換の結果、対応する 10 ビットのデジタル値が得られます。

この A/D 変換器には、スリープモード中も動作できるというユニークな機能があります。スリープ中に動作するには、A/D 用の内部 RC オシレータを A/D クロックとして使用する必要があります。

A/D モジュールには次の 4 つのレジスタがあります。

- A/D 結果 High レジスタ (ADRESH)
- A/D 結果 Low レジスタ (ADRESL)
- A/D 制御レジスタ 0 (ADCON0)
- A/D 制御レジスタ 1 (ADCON1)

図 11-1 に示す ADCON0 レジスタは AD モジュールの動作を制御します。図 11-2 に示す ADCON1 レジスタはポートピンの機能を構成します。ポートピンはアナログ入力 (RA3 は電圧リファレンスとしても) またはデジタル I/O として構成できます。

図 11-1: ADCON0 レジスタ (アドレス: 1Fh)

R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	U-0	R/W-0
ADCS1	ADCS0	CHS2	CHS1	CHS0	GO/DONE	—	ADON
bit7						bit0	
<p>bit 7-6: <b>ADCS1:ADCS0</b>: AD 変換クロックセレクトビット</p> <p>00 = FOSC/2 01 = FOSC/8 10 = FOSC/32 11 = FRC (RC 発振)</p> <p>bit 5-3: <b>CHS2:CHS0</b>: アナログチャンネルセレクトビット</p> <p>000 = channel 0, (RA0/AN0) 001 = channel 1, (RA1/AN1) 010 = channel 2, (RA2/AN2) 011 = channel 3, (RA3/AN3) 100 = channel 4, (RA5/AN4) 101 = channel 5, (RE0/AN5)<sup>(1)</sup> 110 = channel 6, (RE1/AN6)<sup>(1)</sup> 111 = channel 7, (RE2/AN7)<sup>(1)</sup></p> <p>bit 2: <b>GO/DONE</b>: A/D 変換ステータスビット</p> <p>If ADON = 1 1 = A/D 変換中 (このビットをセットすると A/D 変換が開始します) 0 = A/D 変換中ではない (このビットは A/D 変換が終了すると自動的にハードウェアでクリアされます)</p> <p>bit 1: なし: 「0」とリードされる</p> <p>bit 0: <b>ADON</b>: A/D ON ビット</p> <p>1 = AD 変換器モジュールは動作中 0 = AD 変換器モジュールはオフになり、消費電流なし</p> <p><b>注意 1:</b> これらのチャンネルは 28 ピンデバイスにはありません。</p>							

R = リード可能なビット  
W = ライト可能なビット  
U = なし、「0」とリードされる  
-n = POR リセットでの値

# PIC16F87X

図 11-2: ADCON1 レジスタ (アドレス 9Fh)

U-0	U-0	R/W-0	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0			
ADFM	—	—	—	PCFG3	PCFG2	PCFG1	PCFG0				
bit7								bit0			

R = リード可能ビット  
 W = ライト可能ビット  
 U = なし、「0」とリードされる  
 - n = PORリセットでの値

bit 7: **ADFM:** A/D 結果フォーマットセレクト  
 1 = 右詰。ADRESH の 6MSb は「0」とリードされる。  
 0 = 左詰。ADRESL の 6LSb は「0」とリードされる。

bit 6-4: **なし:** 「0」とリードされる

bit 3-0: **PCFG3:PCFG0:** A/D ポート構成コントロールビット

PCFG3: PCFG0	AN7 <sup>(1)</sup> RE2	AN6 <sup>(1)</sup> RE1	AN5 <sup>(1)</sup> RE0	AN4 RA5	AN3 RA3	AN2 RA2	AN1 RA1	AN0 RA0	VREF+	VREF-	CHAN / REFS
0000	A	A	A	A	A	A	A	A	VDD	VSS	8/0
0001	A	A	A	A	VREF+	A	A	A	RA3	VSS	7/1
0010	D	D	D	A	A	A	A	A	VDD	VSS	5/0
0011	D	D	D	A	VREF+	A	A	A	RA3	VSS	4/1
0100	D	D	D	D	A	D	A	A	VDD	VSS	3/0
0101	D	D	D	D	VREF+	D	A	A	RA3	VSS	2/1
011x	D	D	D	D	D	D	D	D	VDD	VSS	0/0
1000	A	A	A	A	VREF+	VREF-	A	A	RA3	RA2	6/2
1001	D	D	A	A	A	A	A	A	VDD	VSS	6/0
1010	D	D	A	A	VREF+	A	A	A	RA3	VSS	5/1
1011	D	D	A	A	VREF+	VREF-	A	A	RA3	RA2	4/2
1100	D	D	D	A	VREF+	VREF-	A	A	RA3	RA2	3/2
1101	D	D	D	D	VREF+	VREF-	A	A	RA3	RA2	2/2
1110	D	D	D	D	D	D	D	A	VDD	VSS	1/0
1111	D	D	D	D	VREF+	VREF-	D	A	RA3	RA2	1/2

A = アナログ入力  
 D = デジタル I/O

**注意 1:** これらのチャンネルは 28 ピンデバイスにはありません。

ADRESH:ADRESL レジスタは 10 ビットの A/D 変換結果が入ります。A/D 変換が終了すると、結果が A/D 結果レジスタのペアにロードされ、GO/DONE ビット (ADCON0<2>) がクリアされて、A/D 割り込みフラグビット ADIF がセットされます。A/D モジュールのブロック図を図 11-3 に示します。

A/D モジュール設定後は、変換開始前に選択したチャネルをアクイジションする必要があります。アナログ入力チャネルには、対応する TRIS ビットを入力として選択しなければなりません。サンプル時間を決定するには、11.1 節を参照してください。このアクイジション時間が経過した後に A/D 変換を開始できます。A/D 変換を実行するには次のステップに従います。

1. A/D モジュールを構成します。
  - アナログピン / 電圧リファレンス / デジタル I/O を構成します (ADCON1)
  - A/D 入力チャネルを選択します (ADCON0)
  - A/D 変換クロックを選択します (ADCON0)
  - A/D モジュールをオンにします (ADCON0)
2. A/D 割り込みを設定します (必要な場合)
  - ADIF ビットをクリアします
  - ADIE ビットをセットします
  - GIE ビットをセットします
3. 必要なアクイジション時間を待ちます
4. 変換を開始します
  - GO/DONE ビットをセットします (ADCON0)
5. 以下のどちらかにより A/D 変換が終了するのを待ちます
  - GO/DONE ビットがクリアされたか確認するまたは
  - A/D 割り込みを待つ
6. A/D 結果レジスタのペア (ADRESH:ADRESL) をリードして、必要ならば ADIF をクリアします
7. 次回の変換については、必要に応じてステップ 1 またはステップ 2 から実行します。1 ビットあたりの A/D 変換時間は  $T_{AD}$  として定義されます。次のアクイジション開始前に、少なくとも  $2T_{AD}$  待つ必要があります。

# PIC16F87X

図 11-3: A/D のブロック図

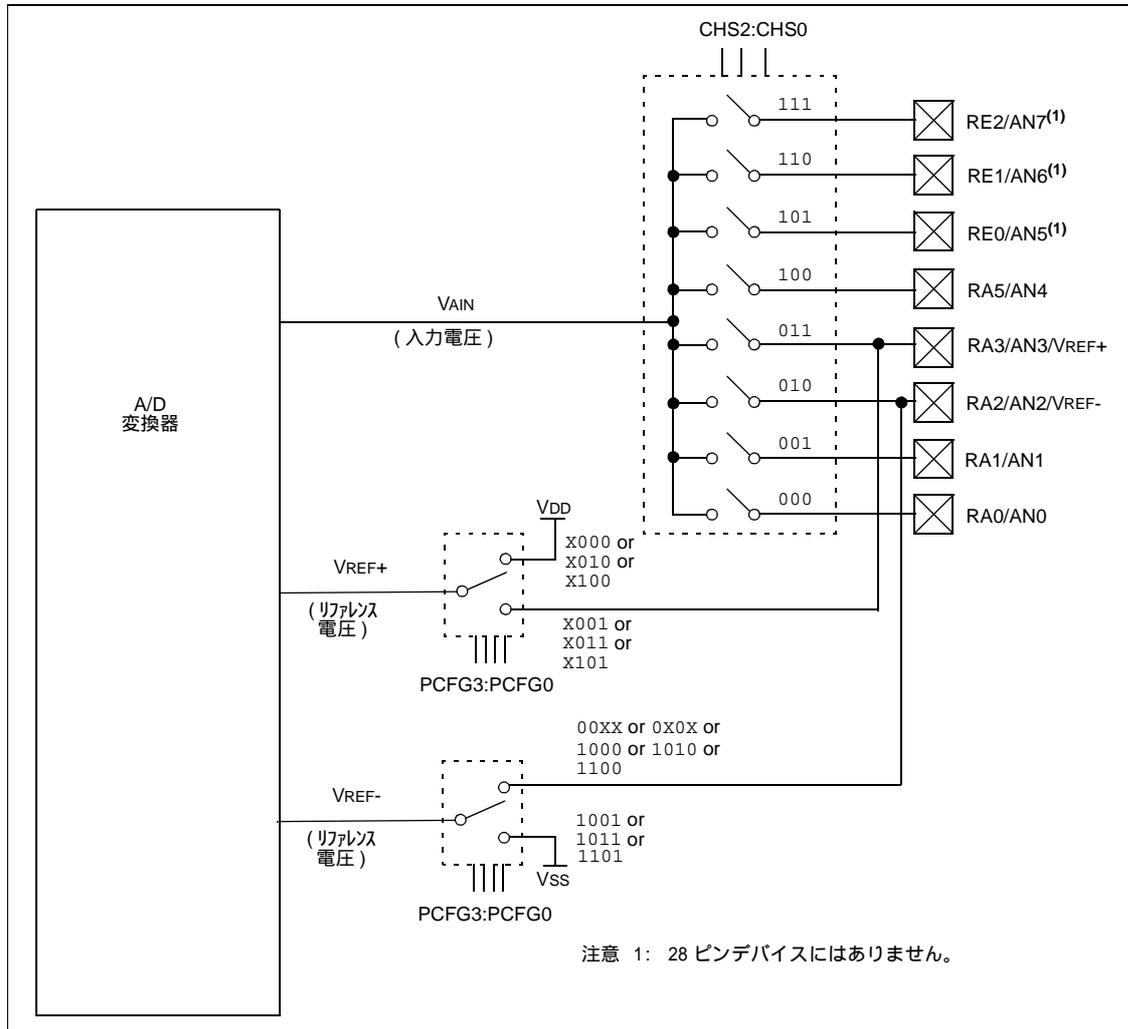
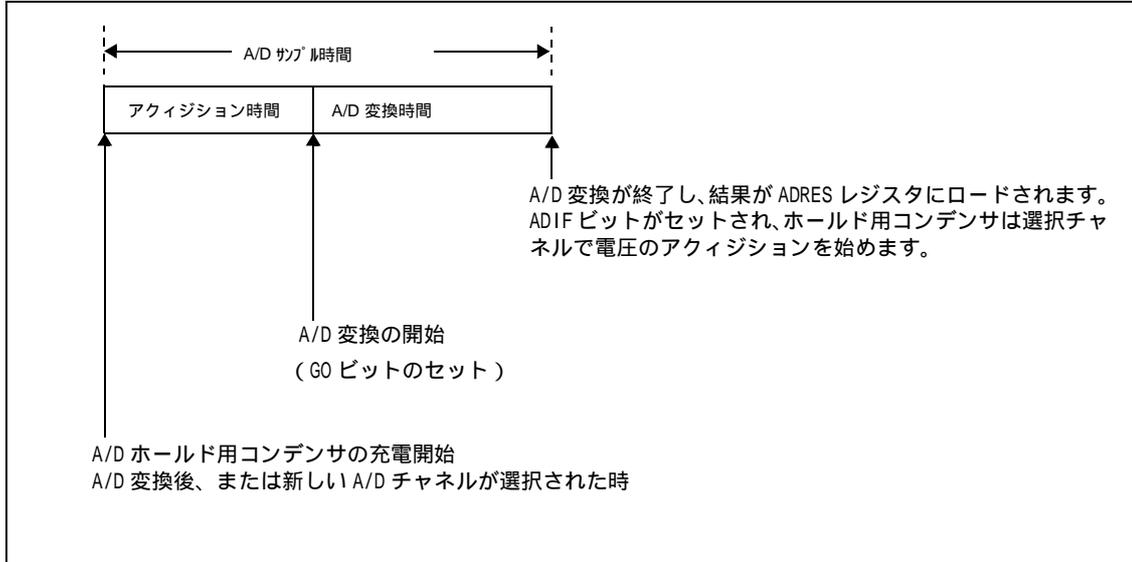


図 11-4 に変換のシーケンスと使用する時間を示します。アキュイジション時間は、A/D モジュールのホールド用コンデンサが外部電圧レベルに接続される時間で、また、 $12T_{AD}$  の変換時間がありますが、これは GO

ビットがセットされたときに始まります。これら 2 つの時間の合計がサンプリング時間です。ホールド用コンデンサが A/D 変換にされるべき電圧まで充電するまでの最小時間があります。

図 11-4: A/D 変換のシーケンス



## 11.1 A/D アキュイジションの条件

A/D 変換器が規定の精度に結果を出すには、ホールド用コンデンサ (CHOLD) を入力チャンネルの電圧までフル充電されなければいけません。アナログ入力モデルを図 11-5 に示します。ソースインピーダンス ( $R_s$ ) と内部サンプリングスイッチ ( $R_{ss}$ ) インピーダンスはコンデンサ  $C_{HOLD}$  の充電に必要な時間に直接関係します。サンプリングスイッチ ( $R_{ss}$ ) のインピーダンスはデバイスの電圧 ( $V_{DD}$ ) により変化します (図 11-5 を参照)。アナログソースの最大推奨インピーダンスは  $10k\ \Omega$  です。インピーダンスが少なくなるほど、アキュイジション時間も少なくなります。アナログ入力チャンネルが選択 (または、変更) された後は、変換が開始する前にこのアキュイジションを行わなければなりません。

最小アキュイジション時間を計算するには、公式 11-1 を使用することができます。この公式は  $1/2LSb$  のエラーを使用する (A/D は 1024 ステップ) ことを想定しています。 $1/2LSb$  エラーは A/D が規定の分解能を満たすために許された最大エラーです。

例 11-1 に最小必要アキュイジション時間  $T_{ACQ}$  の計算を示します。この計算は次のアプリケーションシステムの想定に基づいています。

CHOLD	=	120 pF
$R_s$	=	10 k $\Omega$
Conversion Error	≤	1/2 LSb
$V_{DD}$	=	5V → $R_{ss} = 7\ k\Omega$ (図 11-5 のグラフ参照)
Temperature	=	50°C (system max.)
VHOLD	=	0V @ time = 0

### 公式 11-1: アキュイジション時間

$$T_{ACQ} = \text{Amplifier Settling Time} + \text{Holding Capacitor Charging Time} + \text{Temperature Coefficient}$$

$$= T_{AMP} + T_c + T_{COFF}$$

# PIC16F87X

## 公式 11-2: A/D 最小チャージ時間

$$V_{\text{HOLD}} = (V_{\text{REF}} - (V_{\text{REF}}/2048)) \cdot (1 - e^{(-T_c/CHOLD(RIC + R_{\text{SS}} + R_s))})$$

or

$$T_c = -(120 \text{ pF})(1 \text{ k}\Omega + R_{\text{SS}} + R_s) \ln(1/2047)$$

## 例 11-1: 最小必要アキュジション時間の計算方法

$$T_{\text{ACQ}} = T_{\text{AMP}} + T_c + T_{\text{COFF}}$$

温度係数は、温度 > 25 のときのみ必要です。

$$T_{\text{ACQ}} = 2 \mu\text{s} + T_c + [(Temp - 25^\circ\text{C})(0.05 \mu\text{s}/^\circ\text{C})]$$

$$T_c = -CHOLD (RIC + R_{\text{SS}} + R_s) \ln(1/2047)$$

$$= -120 \text{ pF} (1 \text{ k}\Omega + 7 \text{ k}\Omega + 10 \text{ k}\Omega) \ln(0.0004885)$$

$$= -120 \text{ pF} (18 \text{ k}\Omega) \ln(0.0004885)$$

$$= -2.16 \mu\text{s} (-7.6241)$$

$$= 16.47 \mu\text{s}$$

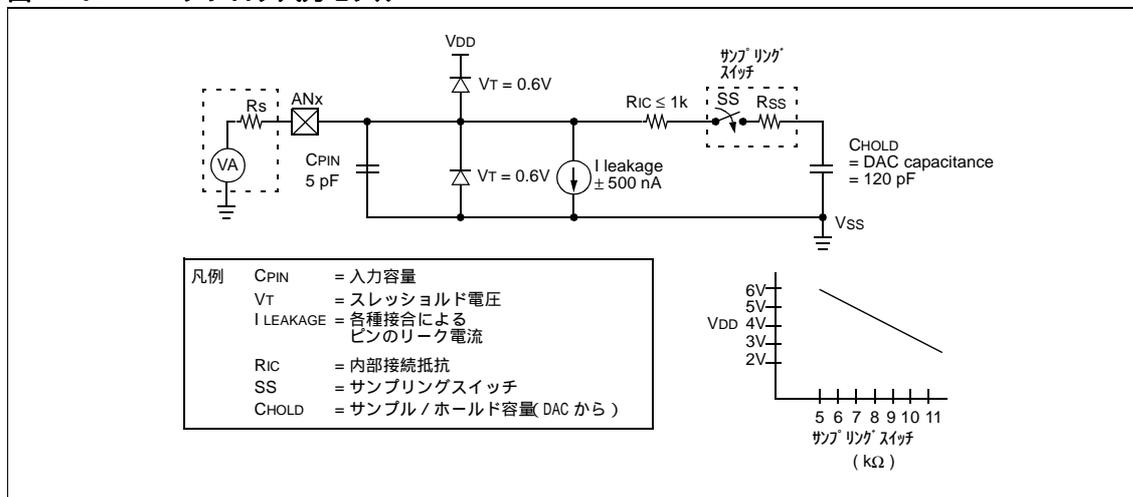
$$T_{\text{ACQ}} = 2 \mu\text{s} + 16.47 \mu\text{s} + [(50^\circ\text{C} - 25^\circ\text{C})(0.05 \mu\text{s}/^\circ\text{C})]$$

$$= 18.447 \mu\text{s} + 1.25 \mu\text{s}$$

$$= 19.72 \mu\text{s}$$

- 注意 1:** リファレンス電圧 ( $V_{\text{REF}}$ ) は、それ自身をキャンセルするので、この式に影響を与えません。
- 注意 2:** ホールド用コンデンサ ( $C_{\text{HOLD}}$ ) は各変換後、放電させません。
- 注意 3:** アナログ信号源の推奨インピーダンスは 10k 以下です。これは、ピンのリーク仕様を満たすために必要です。
- 注意 4:** 変換終了後、アキュジションが再開する前に  $2.0T_{\text{AD}}$  の遅延が終了しなければなりません。この時間中はホールド用コンデンサは選択された A/D 入力チャンネルに接続されません。

図 11-5: アナログ入力モデル



## 11.2 A/D変換クロックの選択

1ビット当たりのA/D変換時間は $T_{AD}$ として定義されます。A/D変換は、10ビット変換には最小12 $T_{AD}$ が必要です。A/D変換クロックのソースはソフトウェアで選択します。 $T_{AD}$ のオプションとして次のものがあります。

- 2Tosc
- 8Tosc
- 32Tosc
- 内部RCオシレータ

正しいA/D変換のために、必ずA/D変換クロックを( $T_{AD}$ )を最小 $T_{AD}$ 時間の1.6 $\mu$ 秒以上にします。

表 11-1と表 11-2にデバイスの動作周波数と選択したA/Dクロックソースによる $T_{AD}$ 時間を示します。

表 11-1  $T_{AD}$  vs. デバイスの動作周波数 (標準デバイス (C))

ADクロックソース ( $T_{AD}$ )		デバイスの周波数			
動作	ADCS1:ADCS0	20 MHz	5 MHz	1.25 MHz	333.33 kHz
2Tosc	00	100 ns <sup>(2)</sup>	400 ns <sup>(2)</sup>	1.6 $\mu$ s	6 $\mu$ s
8Tosc	01	400 ns <sup>(2)</sup>	1.6 $\mu$ s	6.4 $\mu$ s	24 $\mu$ s <sup>(3)</sup>
32Tosc	10	1.6 $\mu$ s	6.4 $\mu$ s	25.6 $\mu$ s <sup>(3)</sup>	96 $\mu$ s <sup>(3)</sup>
RC	11	2 - 6 $\mu$ s <sup>(1, 4)</sup>	2 - 6 $\mu$ s <sup>(1, 4)</sup>	2 - 6 $\mu$ s <sup>(1, 4)</sup>	2 - 6 $\mu$ s <sup>(1)</sup>

凡例：網掛部分は推奨範囲外になります。

**注意 1:** RCソースの標準 $T_{AD}$ 時間は4 $\mu$ 秒です。

2: これらの値は最小必要 $T_{AD}$ 時間に違反しています。

3: 変換時間を短くするため、別のクロックソースをお勧めします。

4: デバイスの周波数が1 MHzより速い場合、RCのA/D変換ソースはスリープでのみの使用を推奨します。

5: 拡張電圧デバイス(LC)については、電気的特性の章を参照してください。

## 11.3 アナログポートピンの構成

ADCON1およびTRISレジスタはA/Dポートピンの動作を制御します。アナログ入力として希望するポートピンにはそれに対応するTRISビットのセット(入力)が必要です。TRISビットがクリア(出力)された場合、デジタル出力レベル( $V_{OH}$ または $V_{OL}$ )が変換されず。

CHS2:CHS0ビットおよびTRISビットの状態に関係なくA/D変換は行われます。

**注意 1:** アナログ入力チャンネルとして構成されるピンをリードすると0(Lowレベル)とリードされます。デジタル入力として構成されるピンはアナログ入力と変換します。デジタル入力のアナログレベルは変換精度に影響を与えません。

**注意 2:** デジタル入力(AN7:ANOを含む)と設定されたピンにアナログレベルが入力されると、入力バッファがデバイスの仕様外の電流を消費することがあります。

# PIC16F87X

## 11.4 A/D 変換

例 11-1 に A/D 変換の実行方法を示します。アナログピンはアナログ入力として構成されています。アナログリファレンス (VREF) はデバイスの VDD と VSS です。A/D 割り込みは発生可、A/D 変換クロックは FRC、A/D 結果は左詰されます。変換は RAO/ANO ピン (チャンネル 0) で実行されます。

**注意：** GO/DONE ビットは A/D をオンにする命令と同じ命令ではセットできません。

変換中に GO/DONE ビットをクリアすると、変換を中断することになります。中断した場合は、A/D 結果レジスタは更新されません。つまり、ADRESH:ADRESL レジスタは最後に完了した変換値 (または ADRESH:ADRESL レジスタに最後にライトされた値) を保持します。A/D 変換の中断後は、次のアキュジションを開始する前に 2TAD のウェイトが必要です。この 2TAD のウェイト後、選択されたチャンネルでのアキュジションが自動的に開始します。

図 11-6 では、GO ビットがセットされた後、1 回目のセグメントに最低で T<sub>cy</sub>、最大で TAD です。

### 例 11-1: A/D 変換

```

BSF STATUS, RP0 ; Bank 1 を選択する
BCF STATUS, RP1 ;
CLRF ADCON1 ; A/D 入力を構成する
BSF PIE1, ADIE ; A/D 割り込みを発生可にする
BCF STATUS, RP0 ; Bank 0 を選択する
MOVLW B'11000001' ; RC クロック、A/D はオン、チャンネル 0 を選択
MOVWF ADCON0 ;
BCF PIR1, ADIF ; A/D 割り込みフラグビットをクリアする
BSF INTCON, PEIE ; 周辺割り込みを発生させる
BSF INTCON, GIE ; すべての割り込みを発生させる
;
; 選択した入力チャンネルに必要なサンプリング時間が経過後、
; 変換を開始します。
;
BSF ADCON0, GO ; A/D 変換を開始する
: ; A/D 変換が完了すると、ADIF ビットがセットされ、
: ; GO/DONE ビットがクリアされる。

```

図 11-6: A/D 変換の TAD サイクル

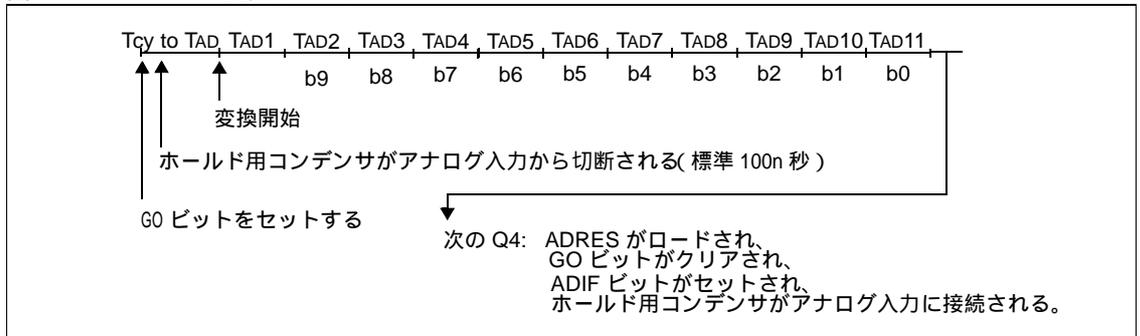
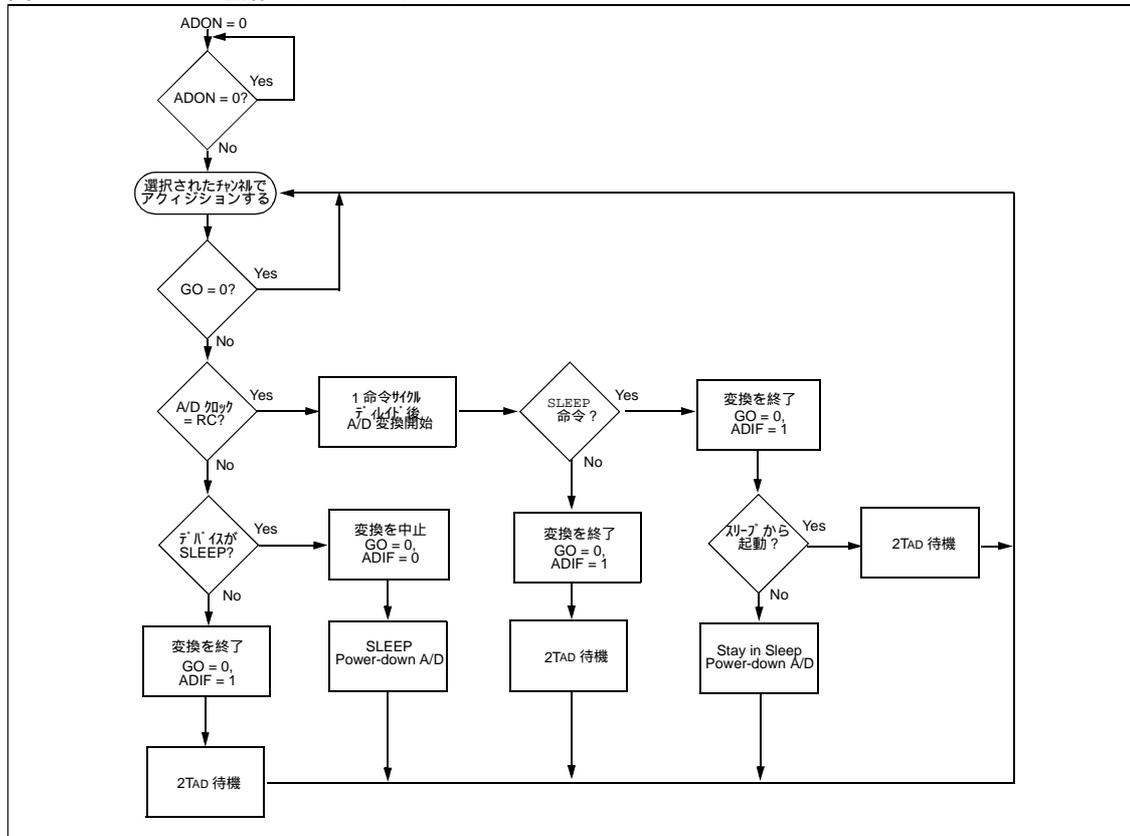


図 11-7: A/D 動作のフローチャート



### 11.4.1 A/D 結果レジスタ

ADRESH:ADRESL レジスタのペアは、A/D 変換の終了時に 10ビットのA/D結果がロードされるロケーションです。このレジスタのペアは 16 ビット幅です。A/D モジュールは、16 ビット結果レジスタの 10 ビットの結果に左または右詰できます。A/D フォーマットセレクトビット (ADFM) はこの左詰または右詰を制御します。図 11-8 に A/D 結果の詰め方を示します。余分なビットには「0」がロードされます。A/D 結果がこれらのロケーションをオーバーライドしない場合 (A/D を使用しない) これらのレジスタは汎用 8 ビットレジスタとして使用できます。

### 11.5 スリープ中の A/D 動作

A/D モジュールはスリープ中も動作できます。そのためには、A/D クロックソースを RC (ADCS1:ADCS0=11) にセットする必要があります。RC クロックソースが選択されると、A/D モジュールは 1 命令サイクル待ってから変換を開始します。これにより、SLEEP 命令を実行して、変換によるデジタル変換ノイズを除去することができます。変換が終了すると、GO/DONE ビットがクリアされて、結果が ADRES レジスタにロードされます。A/D 割り込みが発生可の場合は、デバイスはスリー

プから起動します。A/D 割り込み発生が許可されていない場合は、ADON ビットがセットされたままであっても、A/D モジュールはオフになります。

A/D クロックソースが別のクロックオプション (RC 以外) である場合、SLEEP 命令により変換は中断され、ADON ビットがセットされたままであっても、A/D モジュールはオフになります。

A/D をオフにすることにより、A/D モジュールは最も消費電流の低い状態になります。

**注意:** A/D モジュールがスリープ中に動作するには、A/D クロックソースを RC (ADCS1:ADCS0=11) に設定する必要があります。スリープ中に変換するには、GO/DONE ビットをセットした後すぐに SLEEP 命令を実行します。

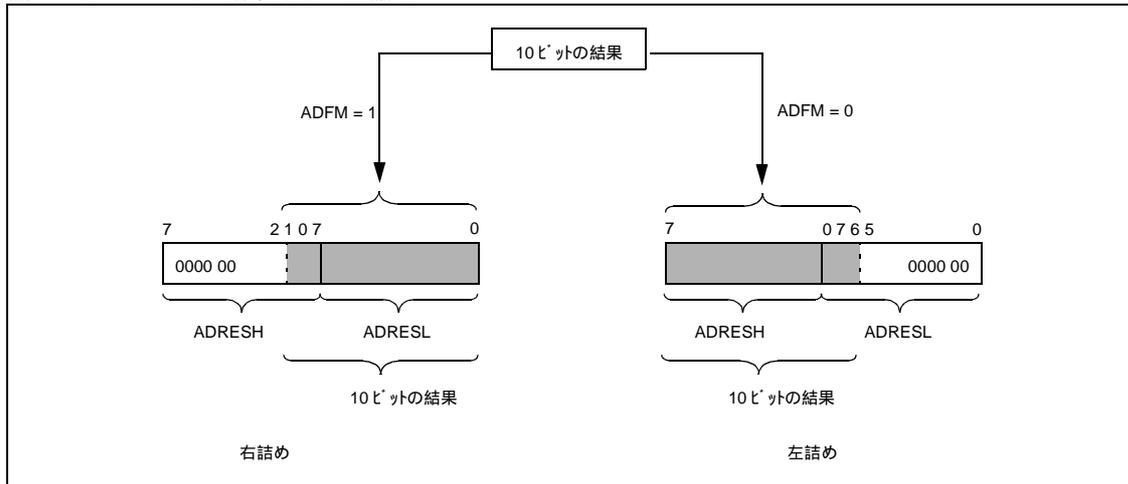
# PIC16F87X

## 11.6 リセットの影響

デバイスリセットによりすべてのレジスタは強制的にリセット状態になります。これにより A/D モジュールは強制的にオフになり、すべての変換が中止になります。

ADRESH:ADRESL レジスタの値はパワー・オン・リセットでは変更されません。ADRESH:ADRESL レジスタはパワー・オン・リセット後はデータが不定です。

図 11-8: A/D 結果の右 / 左詰め



# PIC16F87X

表 11-2 A/D に関連するレジスタ

Addr	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	POR, BOR	MCLR, WDT
0Bh	INTCON	GIE	PEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF	0000 000x	0000 000u
0Ch	PIR1	PSPIF <sup>(1)</sup>	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	0000 0000	0000 0000
8Ch	PIE1	PSPIE <sup>(1)</sup>	ADIE	RCIE	TXIE	SSPIE	CCP1IE	TMR2IE	TMR1IE	0000 0000	0000 0000
1Eh	ADRESH	A/D 結果レジスタ ハイバイト								xxxx xxxx	uuuu uuuu
9Eh	ADRESL	A/D 結果レジスタ ローバイト								—	—
1Fh	ADCON0	ADCS1	ADCS0	CHS2	CHS1	CHS0	GO/DONE	—	ADON	0000 00-0	0000 00-0
9Fh	ADCON1	ADFM	—	—	—	PCFG3	PCFG2	PCFG1	PCFG0	--0- 0000	--0- 0000
85h	TRISA	—	—	PORTA データ方向レジスタ						--11 1111	--11 1111
05h	PORTA	—	—	ライト時には PORTA データラッチ; リード時には PORTA ピン						--0x 0000	--0u 0000
89h <sup>(1)</sup>	TRISE	IBF	OBF	IBOV	PSPMODE	—	PORTE データ方向ビット			0000 -111	0000 -111
09h <sup>(1)</sup>	PORTE	—	—	—	—	—	RE2	RE1	RE0	---- -xxx	---- -uuu

凡例: x = 不定、u = 不変、- = なし、「0」とリードされる。網掛け部分は A/D 変換では使用しません。

注意 1: これらのレジスタ/ビットは 28 ピンデバイスにはありません。

# PIC16F87X

---

NOTES:

## 12.0 CPU の特殊機能

下記のようなシステムの信頼性を最大限に高めたり、外付け部品の削除によりコストを最小限にしたり、低消費電力モードを備えたり、コードを保護するための機能を搭載しています。

- オシレータ選択
- リセット
  - パワーオンリセット (POR)
  - パワーアップタイム (PWRT)
  - オシレータスタートアップタイム (OST)
  - ブラウンアウトリセット (BOR)
- 割り込み
- ウォッチドッグタイマ (WDT)
- スリープ
- コードプロテクト
- ID ロケーション
- インサーキットシリアルプログラミング
- 低電圧プログラミング
- インサーキットデバッグ

PIC16F87X にはコンフィグレーションビットでのみ停止できるウォッチドッグタイマがあります。ウォッチドッグタイマは信頼性を上げるために、専用の RC オシレータで動作します。電源 ON 時に必要な遅延時間を作るために 2 つのタイマがあります。1 つはオシレータスタートアップタイム (OST) で、水晶発振子が安定するまでチップをリセット状態にしておくために役立ちます。もう 1 つはパワーアップタイム (PWRT) で、電源 ON 時のみ 72m 秒 (通常) の固定遅延時間を発生します。電源が安定するまでデバイスをリセット状態にしておくために役立ちます。チップに内蔵されたこの 2 つのタイマに多くのアプリケーションで外部リセット回路が不要となります。

スリープモードは、非常に消費電力が小さいモードです。外部リセット、ウォッチドッグタイマのタイムアウト、割り込みによりスリープから起動できます。複数のオシレータオプションが選択できます。RC オシレータオプションは低コストです。LP 水晶オプションは低消費電力です。コンフィグレーションビットの組み合わせでいろいろなオプションを選択できます。

特殊機能についての更に詳しい情報は、PICmicro™ ミッド・レンジ・リファレンスマニュアル (DS33023) を参照してください。

## 12.1 コンフィギュレーションビット

複数のデバイスの設定を選択するために、これらのコンフィギュレーションビットを、プログラム書き込みした状態 (「0」とリードされる) またはプログラム書き込みしないままの状態 (「1」とリードされる) にできます。これらのビットは、プログラムメモリ番地 2007h に配置されています。

アドレス 2007h は、ユーザープログラムメモリの範囲外です。実際には、特殊テスト / コンフィギュレーションメモリ範囲 (2000h - 3FFFh) に入っており、プログラム書き込み中のみアクセスできます。

# PIC16F87X

図 12-1: コンフィグレーションワード

CP1	CP0	BKBUG	-	WRT	CPD	LVP	BODEN	CP1	CP0	PWRT $\bar{E}$	WDTE	FOSC1	FOSC0	レジスタ: CONFIG アドレス 2007h
													bit0	
bit13														
bit 13-12:														
bit 5-4: <b>CP1:CP0:</b> フラッシュプログラムメモリコードプロテクションビット <sup>(2)</sup>														
11 = コードプロテクションされていない														
10 = 1F00h から 1FFFh がコードプロテクションされている (PIC16F877, 876)														
10 = 0F00h から 0FFFh がコードプロテクションされている (PIC16F874, 873)														
01 = 1000h から 1FFFh がコードプロテクションされている (PIC16F877, 876)														
01 = 0800h から 0FFFh がコードプロテクションされている (PIC16F874, 873)														
00 = 0000h から 1FFFh がコードプロテクションされている (PIC16F877, 876)														
00 = 0000h から 0FFFh がコードプロテクションされている (PIC16F874, 873)														
bit 11: <b>DEBUG:</b> インサーキットデバッグモード														
1 = インサーキットデバッグモードにしない、RB6 と RB7 は汎用 I/O ピン														
0 = インサーキットデバッグにする、RB6 と RB7 はデバッグ専用ピン														
bit 10: <b>なし:</b> 「1」としてリードする														
bit 9: <b>WRT:</b> フラッシュプログラムメモリライトイネーブル														
1 = プロテクトされていないプログラムメモリは EECON コントロールによるライトが可能														
0 = プロテクトされていないプログラムメモリは EECON コントロールによるライトが不可能														
bit 8: <b>CPD:</b> データ EE メモリコードプロテクト														
1 = コードプロテクトしない														
0 = データ EEPROM メモリがコードプロテクトする														
bit 7: <b>LVP:</b> 低電圧プログラミングイネーブルビット														
1 = RB3/PGM ピンには PGM 機能があり、低電圧プログラミングが可能にする														
0 = RB3 はデジタル I/O で、プログラミングには MCLR に高電圧を使用する														
bit 6: <b>BODEN:</b> ブラウンアウトリセットイネーブルビット <sup>(1)</sup>														
1 = BOR を動作させる														
0 = BOR を動作させない														
bit 3: <b>PWRT<math>\bar{E}</math>:</b> パワーアップタイムイネーブルビット <sup>(1)</sup>														
1 = PWRT を動作させない														
0 = PWRT を動作させる														
bit 2: <b>WDTE:</b> ウォッチドッグタイムイネーブルビット														
1 = WDT を動作させる														
0 = WDT を動作させない														
bit 1-0: <b>FOSC1:FOSC0:</b> オシレータセレクションビット														
11 = RC オシレータ														
10 = HS オシレータ														
01 = XT オシレータ														
00 = LP オシレータ														
注意 1: ブラウンアウトリセットをイネーブルにすると、ビット $\overline{\text{PWRT}}\bar{E}$ の値に関係なく自動的にパワーアップタイム (PWRT) がイネーブルになります。ブラウンアウトリセットがイネーブルの時は常にパワーアップタイムをイネーブルにして下さい。														
2: CP1:CP0 ペアのすべてに同じ値を入力して、リスト上のコードプロテクションをイネーブルにします。														

## 12.2 オシレータの構成

### 12.2.1 オシレータの種類

PIC16F87X は 4 つの異なるオシレータモードで動作できます。2 つのコンフィグレーションビット (FOSC1 および FOSC0) をプログラムして以下の 4 種類のモードから 1 つを選択することができます。

- LP 低消費電力水晶
- XT 水晶 / レゾネータ
- HS 高速水晶 / レゾネータ
- RC 抵抗 / コンデンサ

### 12.2.2 水晶オシレータ / セラミックレゾネータ

XT、LP または HS モードでは、クリスタルまたはセラミックレゾネータを OSC1/CLKIN および OSC2/CLKOUT に接続して発振させます (図 12-2)。PIC16F87X のオシレータの設計にはパラレルカット水晶を使用する必要があります。シリーズカット水晶を使用すると、周波数が水晶メーカーの規格外になる場合があります。XT、LP または HS モードでは、外部クロックソースが OSC1/CLKIN ピンを入力することができます (図 12-3)。

図 12-2: 水晶/セラミックレゾネータ (HS、XTまたはLPのOSC構成)

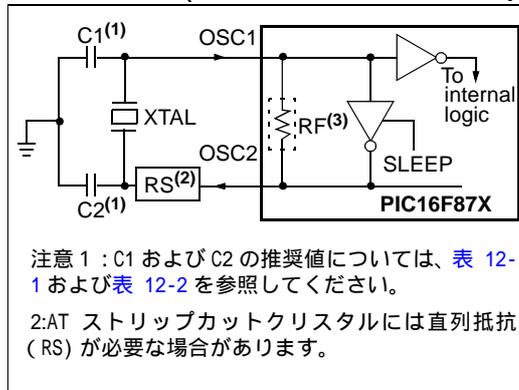


図 12-3: 外部クロック入力 (HS、XTまたはLPのOSC構成)

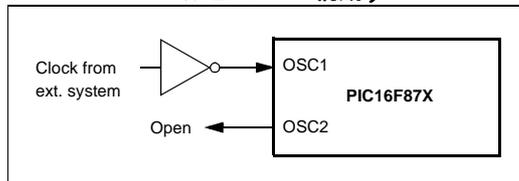


表 12-1 セラミックレゾネータ

テストした範囲:			
Mode	Freq	OSC1	OSC2
XT	455 kHz	68 - 100 pF	68 - 100 pF
	2.0 MHz	15 - 68 pF	15 - 68 pF
	4.0 MHz	15 - 68 pF	15 - 68 pF
HS	8.0 MHz	10 - 68 pF	10 - 68 pF
	16.0 MHz	10 - 22 pF	10 - 22 pF

値は設計ガイダンスを示すためのものです。ページ下の注意をご覧ください。

使用レゾネータ:		
455 kHz	Panasonic EFC-A455K04B	± 0.3%
2.0 MHz	Murata Epc CSA2.00MG	± 0.5%
4.0 MHz	Murata Epc CSA4.00MG	± 0.5%
8.0 MHz	Murata Epc CSA8.00MT	± 0.5%
16.0 MHz	Murata Epc CSA16.00MX	± 0.5%

コンデンサ内蔵タイプはテストしていません。

表 12-2 水晶用オシレータ選択表

Osc Type	Crystal Freq	Cap. Range C1	Cap. Range C2
LP	32 kHz	33 pF	33 pF
	200 kHz	15 pF	15 pF
XT	200 kHz	47-68 pF	47-68 pF
	1 MHz	15 pF	15 pF
	4 MHz	15 pF	15 pF
HS	4 MHz	15 pF	15 pF
	8 MHz	15-33 pF	15-33 pF
	20 MHz	15-33 pF	15-33 pF

値は設計ガイダンスを示すためのものです。ページの注意をご覧ください。

使用水晶		
32 kHz	Epson C-001R32.768K-A	± 20 PPM
200 kHz	STD XTL 200.000KHz	± 20 PPM
1 MHz	ECS ECS-10-13-1	± 50 PPM
4 MHz	ECS ECS-40-20-1	± 50 PPM
8 MHz	EPSON CA-301 8.000M-C	± 30 PPM
20 MHz	EPSON CA-301 20.000M-C	± 30 PPM

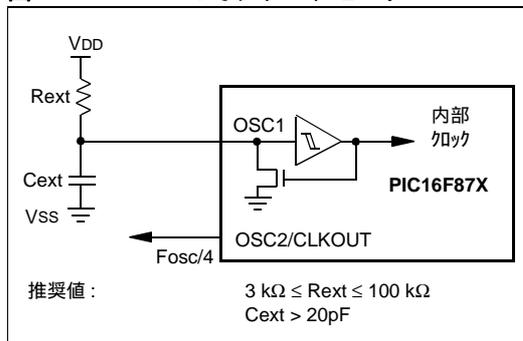
- 注意 1: C1 と C2 の推奨値は、テストした範囲と同じです (表 12-1)。
- 2: 容量が大きいと発振の安定性は高くなりますが、スタートアップ時間も長くなります。
- 3: それぞれのレゾネータ/水晶には独自の特性がありますので、外付け部品の適当な定数についてはレゾネータ/水晶メーカーにお問い合わせください。
- 4: HS、XT モードでは低駆動レベル規格の水晶のオーバードライブを防ぐため、Rs が必要な場合があります。

### 12.2.3 RC オシレータ

タイミングについてそれほど精度を必要としないアプリケーションでは、RC デバイスオプションを使用して低コストが可能です。RC 発振周波数は供給電圧、抵抗 (R<sub>EXT</sub>) やコンデンサ (C<sub>EXT</sub>) の値、および動作温度により変化します。これに加え、オシレータ周波数は製造上のばらつきによりデバイスごとに異なります。さらに、パッケージの種類によるリードフレーム容量の差も、特に C<sub>EXT</sub> の値が低いとき、発振周波数に影響を与えます。外付けの R と C の誤差によるばらつきも考慮しなければなりません。図 12-4 に R/C の組み合わせがどのように PIC16F87X に接続されるのかを示します。

# PIC16F87X

図 12-4: RC オシレータモード



## 12.3 リセット

PIC16F87X は以下のリセットを発生できます。

- パワーオンリセット (POR)
- 通常動作中の MCLR リセット
- スリープ中の MCLR リセット
- WDT リセット (通常動作中)
- WDT ウェイクアップ (スリープ中)
- ブラウンアウトリセット (BOR)

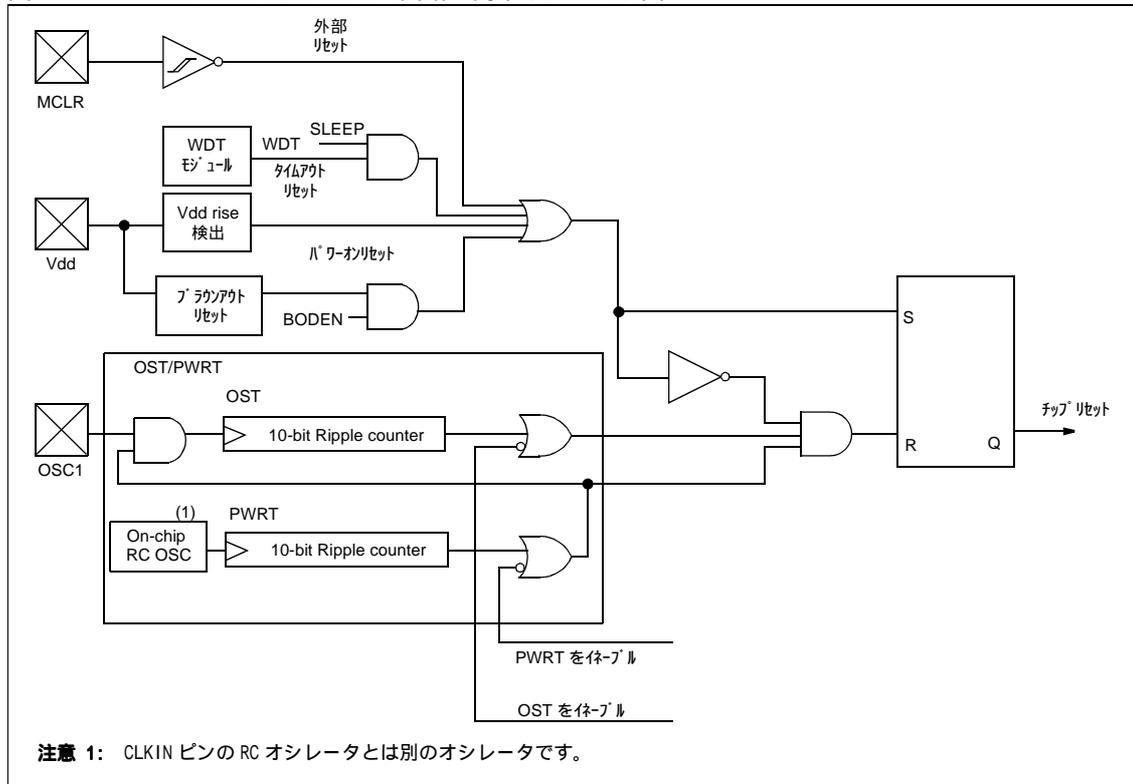
値がリセットされないレジスタがあります。リセットされないレジスタの値は POR リセット後は不定、他のリセット後は不変です。他のレジスタは通常動作中はパワーオンリセット (POR)、MCLR または WDT リセット、スリープ中の MCLR リセット、ブラウンアウトリセット (BOR) によりリセットされます。スリープ中の WDT ウェイクアップは、通常動作の再開のように扱われるのでリセットされません。T0 および PD ビットは表 12-4 に示すようなリセット条件によりセットまたはクリアされます。これらのビットはソフトウェアでどのリセットが発生したかを判定するために使用します。すべてのレジスタのリセット状態についての説明は、表 12-6 を参照してください。

オンチップリセット回路の簡単なブロック図を図 12-5 に示します。

PIC16F87X は MCLR リセットパスに MCLR ノイズフィルタを持っています。フィルタは微小なパルスを検出したり無視したりします。

WDT リセットは MCLR ピンを Low にドライブしないので注意してください。

図 12-5: オンチップリセット回路の簡単なブロック図



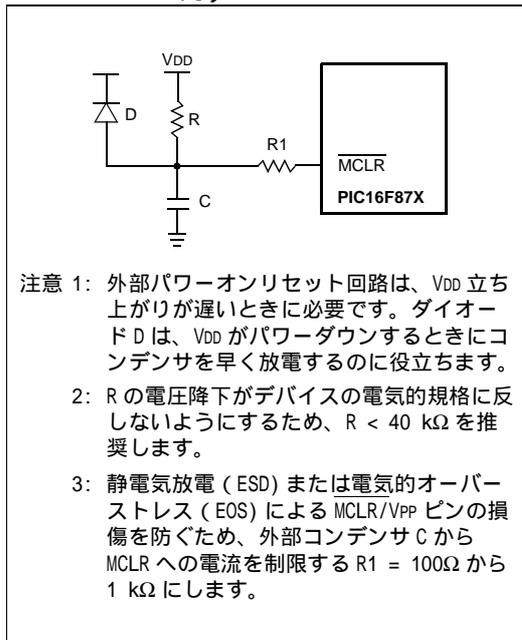
# PIC16F87X

## 12.4 パワーオンリセット (POR)

(1.2V - 1.7V の範囲内で)  $V_{DD}$  の立ち上がりが検出されたとき、パワーオンリセットパルスがチップ内で発生します。POR を利用するには、MCLR ピンを  $V_{DD}$  に直接 (またはレジスタを通して) 接続します。これにより、多くの場合、パワーオンリセットに必要なとされる外付け RC が不要となります。 $V_{DD}$  の最大立ち上がり時間が規定されています。詳細は電気的特性の章を参照してください。立ち上がり時間が遅い場合は、[図 12-6](#) を参照してください。

デバイスが (リセット状態から抜けて) 通常動作を開始するとき、デバイスが正常に動作するためには動作パラメータ (電圧、周波数、温度など) は動作範囲内であればなりません。それらが動作範囲外の場合、動作範囲内になるまでデバイスをリセット状態に保持しておく必要があります。ブラウンアウトリセットを使用すればスタートアップ状態を満たすことができます。

図 12-6: 外部パワーオンリセット回路 ( $V_{DD}$  の立ち上がりが遅いとき用)



## 12.5 パワーアップタイム (PWRT)

パワーアップタイムは、パワーアップ時のみ POR から固定の 72m 秒 (通常) のタイムアウトが発生します。パワーアップタイムは内部 RC オシレータで動作します。PWRT が動作中はチップをリセット状態に保持します。PWRT は  $V_{DD}$  が動作範囲内に達するまでの遅延時間を発生させるために役立ちます。コンフィギュレーションビットにより PWRT をイネーブル/ディセーブルできます。

パワーアップタイムの遅延は  $V_{DD}$ 、温度、製造上のばらつきにより、チップごとにばらつきます。詳しくは、DC パラメータの章を参照してください。

## 12.6 オシレータスタートアップタイム (OST)

オシレータスタートアップタイム (OST) は、PWRT の遅延時間が終了後、1024 オシレータサイクル (OSC1 入力) の遅延時間を発生します。これにより、水晶オシレータまたはレゾネータの発振が安定するまでリセット状態にしておくために役立ちます。

OST タイムアウトは、XT、LP および HS モードのときと、パワーオンリセットまたはスリープからの起動のときのみ起動します。

## 12.7 ブラウンアウトリセット (BOR)

コンフィギュレーションビット、BODEN により、ブラウンアウトリセット回路を (クリア/プログラムされた場合) ディセーブルさせたり、(セットの場合) イネーブルさせたりすることができます。パラメータ #35 以上の間、 $V_{DD}$  が 4.0V (3.8V - 4.2V の範囲で) を下回った場合、ブラウンアウト状態なので、チップはリセットされます。 $V_{DD}$  が 4.0V を下回ってもパラメータ #35 以内であれば、リセットは発生しません。チップは  $V_{DD}$  が  $BV_{DD}$  以上に上がるまでブラウンアウトリセット状態を保持します。パワーアップタイムが起動するので、更に 72m 秒リセット状態を保ちます。パワーアップタイムの動作中に  $V_{DD}$  が  $BV_{DD}$  を下回った場合、チップはブラウンアウトリセット状態に戻り、パワーアップタイムは初期化されます。 $V_{DD}$  が  $BV_{DD}$  を上回ると、パワーアップタイムは 72m 秒の遅延時間を実行します。パワーアップタイムはブラウンアウトリセットがイネーブルの時は常にイネーブルにしておいてください。

## 12.8 タイムアウトシーケンス

電源 ON のときのタイムアウトシーケンスでは、POR 遅延時間の経過後、まず PWRT タイムアウトが起動して、その後に OST が動作します。合計のタイムアウトはオシレータのコンフィギュレーションと PWRT の設定により変化します。例えば、RC モード、かつ、PWRT がディセーブルの場合は、タイムアウトはありません。パワーアップ時のタイムアウトシーケンスについては、[図 12-7](#)、[図 12-8](#)、[図 12-9](#) および [図 12-10](#) に記載します。

タイムアウトは POR パルスから起動するので、一定時間 MCLR が Low でも、タイムアウトは終了します。その後 MCLR を High にすると同時にプログラムの実行が開始されます ([図 12-9](#))。これはテストや並列動作の複数の PIC16F87X デバイスを同期させるために役立ちます。

[表 12-5](#) にいくつかの特殊機能レジスタのリセット状態、[表 12-6](#) にすべてのレジスタのリセット状態を示します。

**表 12-3 各種状態のタイムアウト**

オシレータの構成	パワーアップ		ブラウンアウト	スリープからの起動
	PWRTE = 0	PWRTE = 1		
XT, HS, LP	72 ms + 1024TOSC	1024TOSC	72 ms + 1024TOSC	1024TOSC
RC	72 ms	—	72 ms	—

**表 12-4 ステータスビットおよびその意味**

POR	BOR	TO	PD	
0	x	1	1	パワーオンリセット
0	x	0	x	違法、POR で TO がセットされる
0	x	x	0	違法、POR で PD がセットされる
1	0	1	1	ブラウンアウトリセット
1	1	0	1	WDT リセット
1	1	0	0	WDT によるスリープからの起動
1	1	u	u	通常動作中の MCLR リセット
1	1	1	0	スリープ中の MCLR リセットまたは割り込みによるスリープからの起動

**表 12-5 特殊レジスタのリセット状態**

状態	プログラムカウンタ	STATUS レジスタ	PCON レジスタ
パワーオンリセット	000h	0001 1xxx	---- --0x
通常動作中 MCLR リセット	000h	000u uuuu	---- --uu
スリープ中の MCLR リセット	000h	0001 0uuu	---- --uu
WDT リセット	000h	0000 1uuu	---- --uu
WDT によるスリープからの起動	PC + 1	uuu0 0uuu	---- --uu
ブラウンアウトリセット	000h	0001 1uuu	---- --u0
割り込みによるスリープからの起動	PC + 1 <sup>(1)</sup>	uuu1 0uuu	---- --uu

凡例： u = 不変、x = 不定、- = なし、「0」とリードされる。

注意 1： スリープからの起動が割り込みによるもので、GIE ビットがセットされた場合、PC には割り込みベクタ (0004h) がロードされます。

## 12.9 パワーコントロール/ステータスレジスタ (PCON)

パワーコントロール/ステータスレジスタ、PCON にはデバイスにより 2 ビットまでのビットがあります。

ビット 0 は、ブラウンアウトリセットステータスビット BOR です。ビット BOR はパワーオンリセット時には不定になります。このビットはユーザーがセットして、BOR の発生したときはクリアされるので、次のリセット時には BOR がクリアされているか確認しなければなりません。BOR ビットは「Don't care」ビットなので、(コンフィグレーションワードのビット BODEN をクリアすることにより) ブラウンアウトリセット回路がディセーブルの場合は、予測できる必要はありません。

ビット 1 は POR (パワーオンリセットステータスビット) です。このビットはパワーオンリセット時にクリアされ、他のリセットには影響されません。パワーオンリセット後はこのビットをセットする必要があります。

# PIC16F87X

表 12-6 すべてのレジスタの初期化状態

レジスタ	デバイス				パワーオンリセット ブラウンアウトリセット	MCLR リセット WDT リセット	WDT による起動または 割り込み
W	873	874	876	877	xxxx xxxx	uuuu uuuu	uuuu uuuu
INDF	873	874	876	877	N/A	N/A	N/A
TMRO	873	874	876	877	xxxx xxxx	uuuu uuuu	uuuu uuuu
PCL	873	874	876	877	0000h	0000h	PC + 1 <sup>(2)</sup>
STATUS	873	874	876	877	0001 1xxx	000q quuu <sup>(3)</sup>	uuuq quuu <sup>(3)</sup>
FSR	873	874	876	877	xxxx xxxx	uuuu uuuu	uuuu uuuu
PORTA	873	874	876	877	--0x 0000	--0u 0000	--uu uuuu
PORTB	873	874	876	877	xxxx xxxx	uuuu uuuu	uuuu uuuu
PORTC	873	874	876	877	xxxx xxxx	uuuu uuuu	uuuu uuuu
PORTD	873	874	876	877	xxxx xxxx	uuuu uuuu	uuuu uuuu
PORTE	873	874	876	877	---- -xxx	---- -uuu	---- -uuu
PCLATH	873	874	876	877	---0 0000	---0 0000	---u uuuu
INTCON	873	874	876	877	0000 000x	0000 000u	uuuu uuuu <sup>(1)</sup>
PIR1	873	874	876	877	r000 0000	r000 0000	ruuu uuuu <sup>(1)</sup>
	873	874	876	877	0000 0000	0000 0000	uuuu uuuu <sup>(1)</sup>
PIR2	873	874	876	877	-r-0 0--0	-r-0 0--0	-r-u u--u <sup>(1)</sup>
TMR1L	873	874	876	877	xxxx xxxx	uuuu uuuu	uuuu uuuu
TMR1H	873	874	876	877	xxxx xxxx	uuuu uuuu	uuuu uuuu
T1CON	873	874	876	877	--00 0000	--uu uuuu	--uu uuuu
TMR2	873	874	876	877	0000 0000	0000 0000	uuuu uuuu
T2CON	873	874	876	877	-000 0000	-000 0000	-uuu uuuu
SSPBUF	873	874	876	877	xxxx xxxx	uuuu uuuu	uuuu uuuu
SSPCON	873	874	876	877	0000 0000	0000 0000	uuuu uuuu
CCPR1L	873	874	876	877	xxxx xxxx	uuuu uuuu	uuuu uuuu
CCPR1H	873	874	876	877	xxxx xxxx	uuuu uuuu	uuuu uuuu
CCP1CON	873	874	876	877	--00 0000	--00 0000	--uu uuuu
RCSTA	873	874	876	877	0000 000x	0000 000x	uuuu uuuu
TXREG	873	874	876	877	0000 0000	0000 0000	uuuu uuuu
RCREG	873	874	876	877	0000 0000	0000 0000	uuuu uuuu
CCPR2L	873	874	876	877	xxxx xxxx	uuuu uuuu	uuuu uuuu
CCPR2H	873	874	876	877	xxxx xxxx	uuuu uuuu	uuuu uuuu
CCP2CON	873	874	876	877	0000 0000	0000 0000	uuuu uuuu
ADRESH	873	874	876	877	xxxx xxxx	uuuu uuuu	uuuu uuuu
ADCON0	873	874	876	877	0000 00-0	0000 00-0	uuuu uu-u
OPTION_REG	873	874	876	877	1111 1111	1111 1111	uuuu uuuu

凡例： u = 不変、 x = 不定、 - = なし、「0」とリードされる、 q = 状態により変化する値、 r = 予約、クリアしておく。

- 注意 1: INTCON、PIR1 および/または PIR2 の 1 ビット以上が影響されます (スリープから起動します)。  
 2: スリープからの起動が割り込みによるもので、GIE ビットがセットされた場合、PC に割り込みベクタ (0004h) がロードされます。  
 3: 特定の状態のリセット値については、表 12-5 を参照してください。

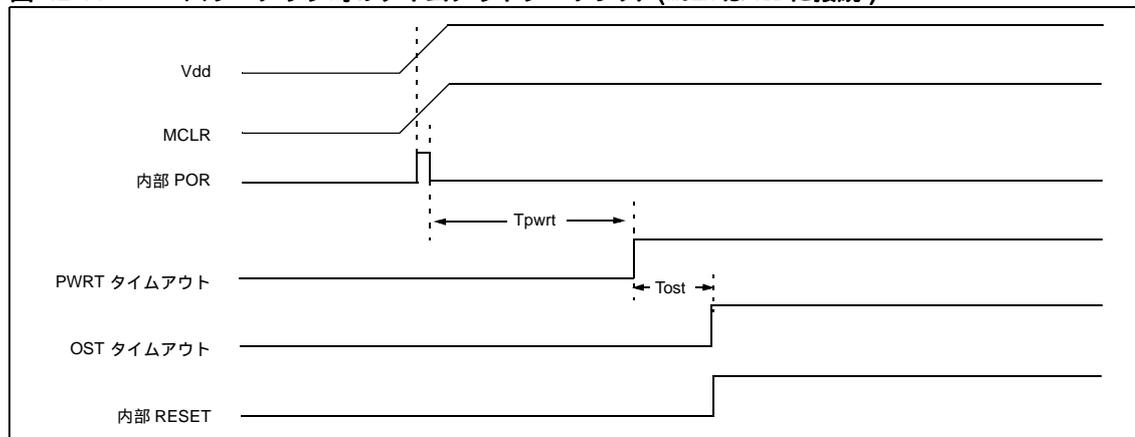
表 12-6 すべてのレジスタの初期化状態 (Cont. 1d)

レジスタ	デバイス				パワーオンリセット ブラウナウトリセッ ト	MCLR リセット WDT リセット	WDTによる起動または 割り込み
TRISA	873	874	876	877	--11 1111	--11 1111	--uu uuuu
TRISB	873	874	876	877	1111 1111	1111 1111	uuuu uuuu
TRISC	873	874	876	877	1111 1111	1111 1111	uuuu uuuu
TRISD	873	874	876	877	1111 1111	1111 1111	uuuu uuuu
TRISE	873	874	876	877	0000 -111	0000 -111	uuuu -uuu
PIE1	873	874	876	877	r000 0000	r000 0000	ruuu uuuu
	873	874	876	877	0000 0000	0000 0000	uuuu uuuu
PIE2	873	874	876	877	-r-0 0--0	-r-0 0--0	-r-u u--u
PCON	873	874	876	877	---- -q q	---- -uu	---- -uu
PR2	873	874	876	877	1111 1111	1111 1111	1111 1111
SSPADD	873	874	876	877	0000 0000	0000 0000	uuuu uuuu
SSPSTAT	873	874	876	877	--00 0000	--00 0000	--uu uuuu
TXSTA	873	874	876	877	0000 -010	0000 -010	uuuu -uuu
SPBRG	873	874	876	877	0000 0000	0000 0000	uuuu uuuu
ADRESL	873	874	876	877	xxxx xxxx	uuuu uuuu	uuuu uuuu
ADCON1	873	874	876	877	--0- 0000	--0- 0000	--U- Uuuu
EEDATA	873	874	876	877	xxxx xxxx	uuuu uuuu	uuuu uuuu
EEADR	873	874	876	877	xxxx xxxx	uuuu uuuu	uuuu uuuu
EEDATH	873	874	876	877	xxxx xxxx	uuuu uuuu	uuuu uuuu
EEADRH	873	874	876	877	xxxx xxxx	uuuu uuuu	uuuu uuuu
EECON1	873	874	876	877	x--- x000	u--- u000	u--- uuuu
EECON2	873	874	876	877	---- ----	---- ----	---- ----

凡例： u = 不変、 x = 不定、 - = なし、「0」とリードされる、 q = 状態により変化する値、 r = 予約、クリアしておく。

- 注意 1: INTCON、PIR1 および / または PIR2 の 1 ビット以上が影響されます (スリープから起動します)。  
 2: スリープからの起動が割り込みによるもので、GIE ビットがセットされた場合、PC に割り込みベクタ (0004h) がロードされます。  
 3: 特定の状態のリセット値については、表 12-5 を参照してください。

図 12-7: パワーアップ時のタイムアウトシーケンス (MCLR は V<sub>DD</sub> に接続)



# PIC16F87X

図 12-8: パワーアップ時のタイムアウトシーケンス (MCLR は VDD に接続しない): ケース 1

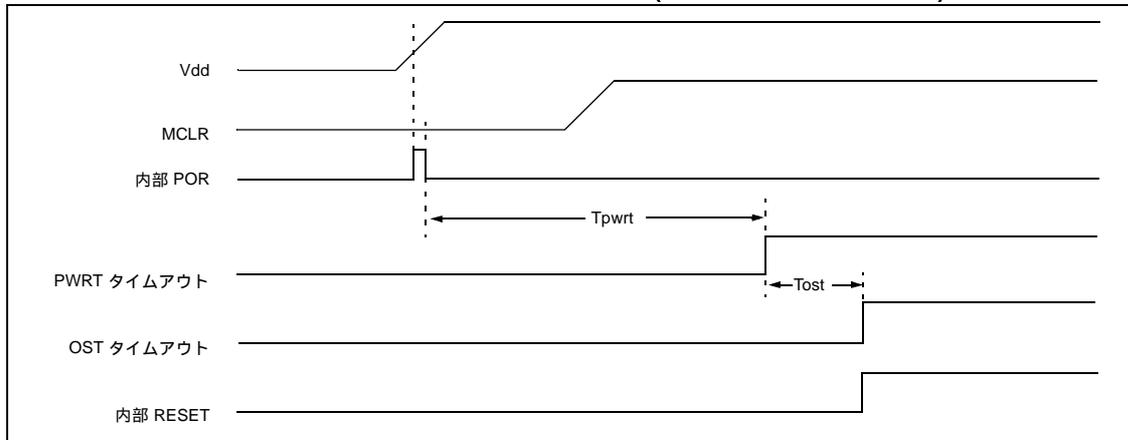


図 12-9: パワーアップ時のタイムアウトシーケンス (MCLR は VDD に接続しない): ケース 2

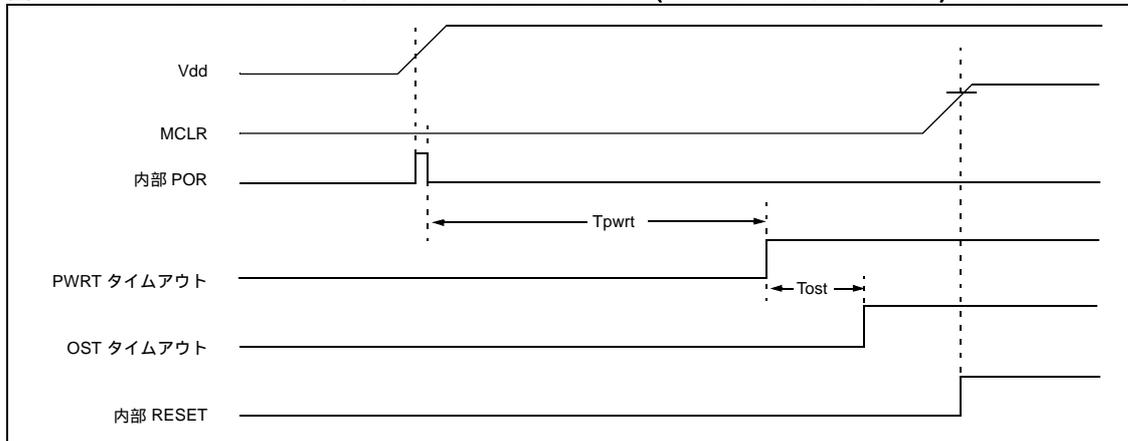
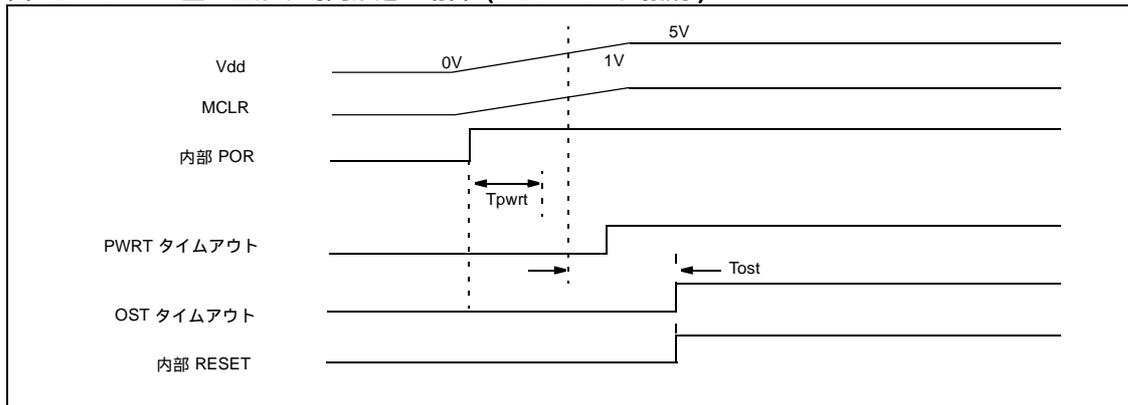


図 12-10: 立ち上がり時間が遅い場合 (MCLR は VDD に接続)



## 12.10 割り込み

PIC16F87X には 14 本の割り込み要因があります。割り込みコントロールレジスタ (INTCON) は、個別の割り込み要求フラグビットを記憶します。また、このレジスタには、個別/グローバルの割り込みイネーブルビットもあります。

**注意：** 個別割り込みフラグビットは、それに対応するマスクビットやGIEビットのステータスとは関係なくセットされます。

グローバル割り込みイネーブルビット、GIE (INTCON<7>) は、マスクされていないすべての割り込みをイネーブルするか (1 のとき) またはすべての割り込みをディセーブルします (0 のとき)。ビット GIE がイネーブルで、割り込みフラグビットとマスクビットがセットされている場合、割り込みは直ちに発生します。個別の割り込みは、各種レジスタの対応するイネーブルビットでディセーブルすることができます。個別の割り込みビットは GIE ビットのステータスとは関係なくセットされます。GIE ビットはリセットによりクリアされます。

“return from interrupt” 命令、RETFIE は、割り込みルーチンからリターンし、GIE ビットをセットします。これにより、割り込みが再イネーブルになります。

RBO/INT ピン割り込み、RB ポート変化割り込みおよび TMRO オーバーフロー割り込みフラグは、INTCON レジスタにあります。

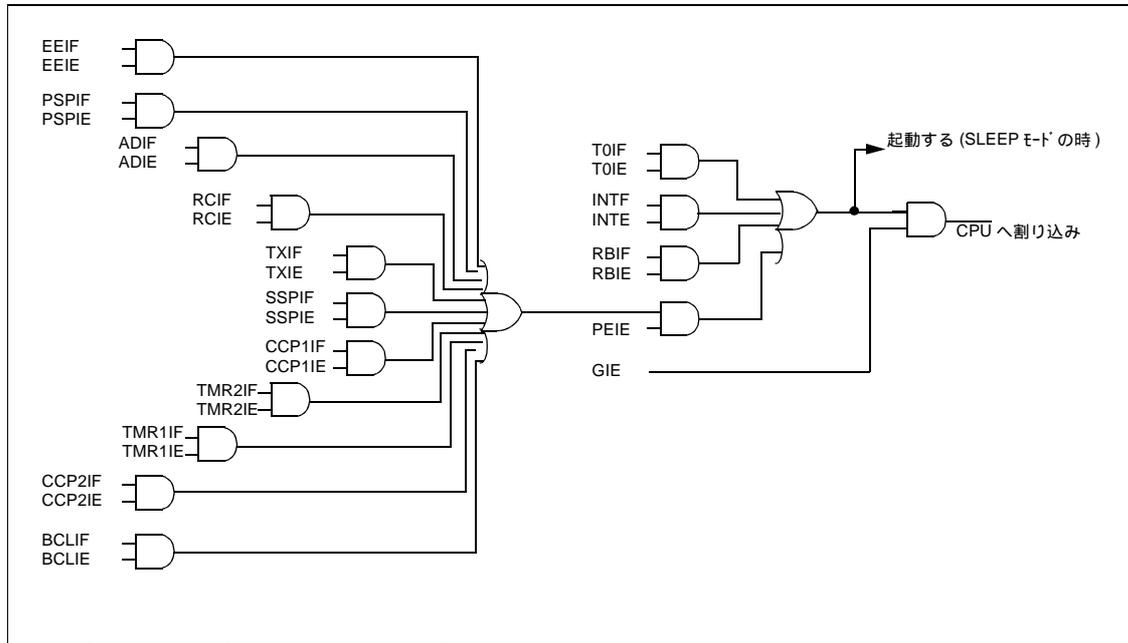
周辺割り込みフラグは、特殊機能レジスタ PIR1 および PIR2 にあります。対応する割り込みイネーブルビットは、特殊機能レジスタ PIE1 および PIE2 にあり、周辺割り込みイネーブルビットは、特殊機能レジスタ INTCON にあります。

割り込みが実行されると、GIE ビットが 0 になり、それ以上の割り込みがディセーブルとなり、リターンアドレスがスタックにプッシュされて、PC に 0004h がロードされます。割り込み処理ルーチンでは、割り込みフラグビットをポーリングすることにより、発生した割り込み要因がわかります。割り込みを再イネーブルする前に、割り込みフラグビットをソフトウェアでクリアする必要があります。そうしないと割り込み要求の無限ループが発生します。

INT ピンまたは PORTB の変化割り込みなどの外部割り込みのときは、割り込み遅延時間は 3 から 4 命令サイクルです。正確な遅延時間は割り込みが発生したタイミングによります。遅延は 1 サイクル命令でも 2 サイクル命令でも同じです。個別の割り込みフラグビットは、それに対応するマスクビットや GIE ビットのステータスに関わらずセットされます。

# PIC16F87X

図 12-11: 割り込みロジック



以下の表は、どのデバイスにどの割り込みがあるか示します。

デバイス	T0IF	INTF	RBIF	PSPIF	ADIF	RCIF	TXIF	SSPIF	CCP1IF	TMR2IF	TMR1IF	EEIF	BCLIF	CCP2IF
PIC16F876/873	Yes	Yes	Yes	-	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes
PIC16F877/874	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes	Yes

## 12.10.1 INT 割り込み

RBO/INT ピンの外部割り込みは、エッジで発生します。INTEDG ビット(OPTION\_REG<6>) が 1 のときは立ち上がりエッジ、INTEDG ビットが 0 のときは立ち下がりエッジです。RBO/INT ピンに有効なエッジが入力されたとき、フラグビット INTF(INTCON<1>) がセットされます。この割り込みをディセーブルするにはイネーブルビット INTE(INTCON<4>) をクリアします。割り込みを再イネーブルにする前に、割り込み処理ルーチン内でフラグビット INTF をソフトウェアでクリアする必要があります。スリープモードに入る前に INTE ビットが 1 のとき、INT 割り込みはプロセッサをスリープから起動できます。グローバル割り込みイネーブルビット GIE は、スリープからの起動後プロセッサが割り込みベクタにプログラム分岐するかどうか判断します。スリープモードの詳細は、12.13 項を参照してください。

## 12.10.2 TMRO 割り込み

TMRO レジスタのオーバーフロー (FFh 00h) によってフラグビット TOIF (INTCON<2>) がセットされます。イネーブルビット TOIE (INTCON<5>) のセット/クリアによって、この割り込み発生をイネーブル/ディセーブルすることができます (5.0 節参照)。

## 12.10.3 PORTB INTCON 変化

PORTB<7:4> の入力変化によって、フラグビット RBIF (INTCON<0>) がセットされます。イネーブルビット RBIE (INTCON<4>) のセット/クリアによってこの割り込み発生をイネーブル/ディセーブルすることができます (3.2 項参照)。

## 12.11 割り込み中のコンテキストの保存

割り込み中は、PC のリターンアドレスのみがスタックに保存されます。ほとんどのソフトウェアでは、割り込み中はいくつかのレジスタの値を保存する必要があります (例えば W レジスタや STATUS レジスタ)。これはソフトウェアで行う必要があります。

**例 12-1** は W レジスタおよび STATUS レジスタの値を保存、リストアします。レジスタ W\_TEMP は全バンクの同じバンクベースアドレスで使用されます。(例えば、W\_TEMP がバンク 0 の 0x20 に定義された場合、バンク 1 の 0xA0 も使用します)。

例

- W レジスタを保存する。
- STATUS レジスタをバンク 0 に保存する。
- PCLATH レジスタを保存する。
- 割り込み処理ルーチンを実行する (ユーザー)。
- STATUS (およびバンク選択ビット) を元に戻す。

### 例 12-1: STATUS、W および PCLATH レジスタの RAM への保存

```

MOVWF    W_TEMP           ;TEMP レジスタに W をコピー
SWAPF   STATUS,W         ;W に保存するため 状態を 交換
CLRF    STATUS           ;現時点のバンクに関係なく、バンク 0 が IRP,RP1,RP0 をクリア
MOVWF   STATUS_TEMP      ;バンクゼロ ステータスレジスタに ステータスをコピー
MOVF    PCLATH, W       ;レジ 1, 2 および / または 3 を使用の時のみ必要
MOVWF   PCLATH_TEMP     ;W に PCLATH をコピー
CLRF    PCLATH          ;現時点のレジに関係なく、レジゼロ
MOVF    FSR, W          ;W に FSR をコピー
MOVWF   FSR_TEMP        ;W から FSR_TEMP へ FSR をコピー
:
:(ISR)
:
CLRF    STATUS          ;現時点のバンクに関係なく、バンク 0 が IRP,RP1,RP0 をクリア
MOVF    FSR_TEMP, W     ;FSR を元に戻す
MOVWF   FSR             ;
MOVF    PCLATH_TEMP, W  ;PCLATH を元に戻す
MOVWF   PCLATH         ;
SWAPF   STATUS_TEMP,W   ;STATUS_TEMP レジスタを元に戻す
; (バンクをレジスタ状態にセット)
MOVWF   STATUS          ;W を STATUS レジスタに移動
SWAPF   W_TEMP,F        ;W_TEMP をスワップ
SWAPF   W_TEMP,W        ;W_TEMP を W にスワップ

```

# PIC16F87X

## 12.12 ウォッチドッグタイマ (WDT)

ウォッチドッグタイマは、外付け部品不要のフリーランのオンチップ RC オシレータです。この RC オシレータは OSC1/CLKIN ピンの RC オシレータとは別のもので、例えば、SLEEP 命令の実行によりデバイスの OSC1/CLKIN ピンおよび OSC2/CLKIN ピンのクロックが停止しているときでも、WDT は動作します。

通常動作中は、WDT タイムアウトはデバイスリセット (ウォッチドッグタイマリセット) を発生します。スリープ中は WDT タイムアウトによりデバイスはスリープから起動して通常動作を継続します (ウォッチドッグタイマウェイクアップ)。STATUS レジスタの TO ビットはウォッチドッグタイマのタイムアウトと同時にクリアされます。

WDT は、コンフィギュレーションビット WDTE をクリアすることで永久にディセーブルすることができます (12.1 項)。

WDT タイムアウト周期の値は電気的特性の章のパラメータ #31 に記載されています。OPTION\_REG レジスタを使用して、WDT プリスケアラ (実際はポストスケアラであるが、タイマ 0 プリスケアラと共有) の値を指定することもできます。

**注意:** CLRWDT および SLEEP 命令は WDT とポストスケアラ (WDT に割り当てられている場合) をクリアして、タイムアウトさせないことでデバイスリセットの発生を防ぎます。

**注意:** CLRWDT 命令が実行されてプリスケアラが WDT に割り当てられているときは、プリスケアラカウンタはクリアされますが、プリスケアラの割り当ては変わりません。

図 12-12: ウォッチドッグタイマのブロック図

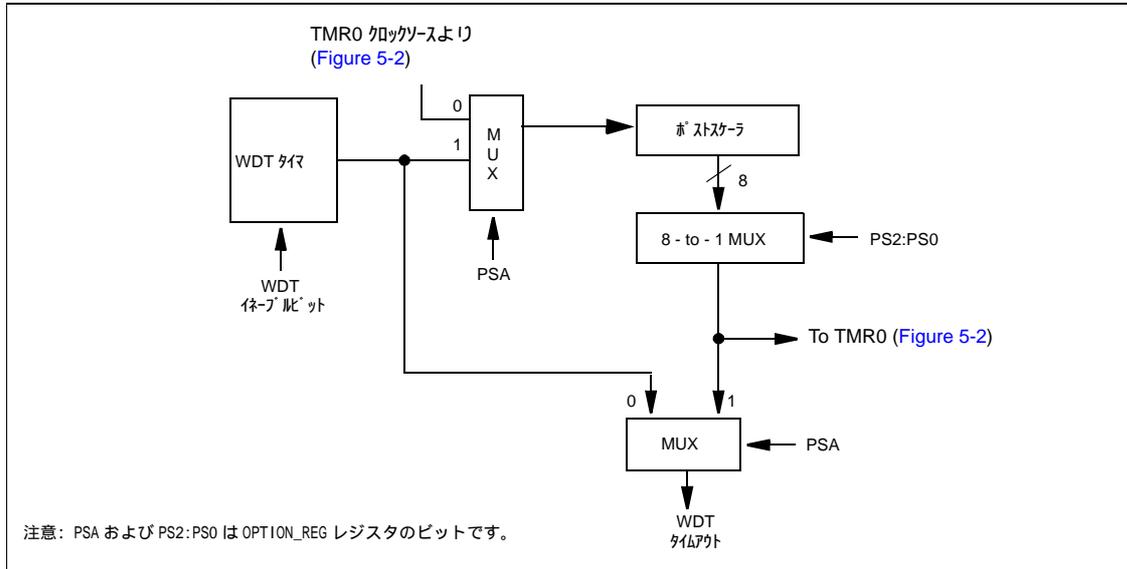


図 12-13: ウォッチドッグタイマに関連したレジスタの概要

アドレス	名称	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
2007h	Config. bits	(1)	BODEN <sup>(1)</sup>	CP1	CP0	PWRTE <sup>(1)</sup>	WDTE	FOSC1	FOSC0
81h, 181h	OPTION_REG	RBPU	INTEDG	TOCS	T0SE	PSA	PS2	PS1	PS0

凡例: 網掛部分はウォッチドッグタイマでは使用しません。

注意 1: これらのビットの動作については、図 12-1 を参照してください。

## 12.13 パワーダウンモード(スリープ)

SLEEP命令を実行すると、デバイスはパワーダウンモードに入ります。

ウォッチドッグタイマを動作させている場合は、ウォッチドッグタイマはクリアされ(動作は継続) PD ビット (STATUS<3>) は 0、TO ビット (STATUS<4>) は 1、オシレータドライバは発振を停止します。I/O ポートはSLEEP命令を実行する前の状態を維持します(High または Low を出力、またはハイインピーダンス)。

スリープモードで消費電力を最も少なくするためには、すべての I/O ピン VDD または VSS に固定して、I/O ピンから外部回路へ電流が流れないようにします。また、A/D をオフにして、外部クロックを停止します。ハイインピーダンス入力の I/O ピンは、フローティング入力によるスイッチング回路を防ぐため、外部でプルアップまたはプルダウンします。また、TOCK1 入力も消費電力を最小限にするために VDD または VSS に固定してください。PORTB のオンチッププルアップも考慮する必要があります。

MCLR ピンは論理 High レベル (V<sub>IHM</sub>) にしておく必要があります。

### 12.13.1 スリープからの起動

以下のイベントによって、デバイスはスリープから起動します。

1. MCLR ピンへの外部リセット入力
2. ウォッチドッグタイマによる起動 (WDTが動作しているとき)
3. INT ピンからの割り込み、RB ポート変化、または、周辺割り込み

外部 MCLR リセットは、デバイスリセットを発生させます。他のイベントはすべて「起動」後、プログラム実行を継続します。STATUS レジスタの TO および PD ビットを使用してデバイスリセットの原因を知ることができます。電源 ON の時 1 になる PD ビットは、SLEEP 命令の実行により 0 になります。WDT タイムアウトが発生する(スリープから起動する)と、TO ビットが 0 になります。

次の周辺割り込みによりデバイスはスリープから起動します。

1. PSP リードまたはライト
2. TMR1 割り込み。タイマ1は同期カウンタとして動作する必要があります。
3. CCP キャプチャモード割り込み
4. 特殊イベントトリガ (外部クロックを使用する非同期モードのタイマ1)
5. SSP (スタート/ストップ) ビット検出割り込み
6. スリープモードでの SSP 送信または受信 (SPI/I<sup>2</sup>C)
7. USART RX または TX (同期スリープモード)
8. A/D 変換 (A/D クロックソースが RC のとき)
9. EEPROM ライト動作の終了

クロックがないため、スリープ中は他の周辺機能は動作していないので割り込みを発生できません。

SLEEP 命令を実行しているとき、次の命令 (PC + 1) がフェッチされています。割り込みイベントによってスリープから起動させるためには、対応する割り込みイネーブルビットを 1 にする (割り込みをイネーブルする) 必要があります。スリープからの起動は GIE ビットに関係なく発生します。GIE ビットが 0 (ディセーブル) のとき、デバイスは SLEEP 命令の次の命令を実行します。GIE ビットが 1 (イネーブル) のとき、デバイスは SLEEP 命令の次の命令を実行して、割り込みアドレス (0004h) へプログラム分岐します。SLEEP 命令の次の命令を実行したくないときは、SLEEP 命令の次に NOP を置く必要があります。

### 12.13.2 割り込みによるスリープからの起動

グローバル割り込みがディセーブル (GIE が 0) かつ、割り込みイネーブルビットと割り込みフラグビットの両方が 1 となっている割り込み要因があるとき、以下のいずれかが発生します。

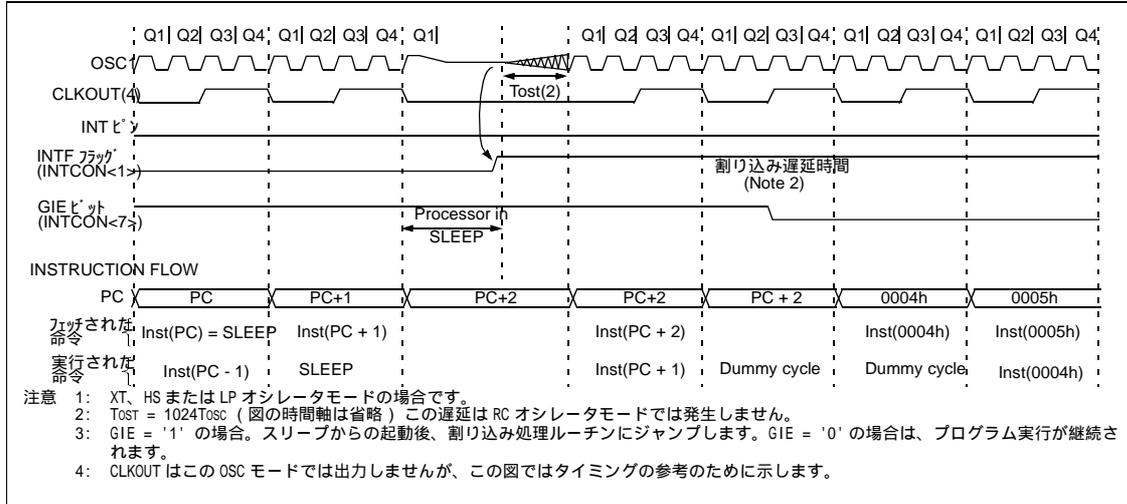
- SLEEP 命令の**実行前**に割り込みが発生した場合は、SLEEP 命令が NOP として完了します。これにより、WDT および WDT ポストスケアラはクリアされず、TO ビットはセットされず、PD ビットはクリアされません。
- SLEEP 命令の**実行中または実行後**に割り込みが発生した場合は、デバイスはすぐにスリープから起動します。スリープからの起動前に SLEEP 命令が実行されます。これにより WDT および WDT ポストスケアラはクリアされ、TO ビットがセットされて、PD ビットがクリアされます。

SLEEP 命令実行前に割り込みフラグビットをチェックしても、SLEEP 命令が実行される前に割り込みフラグビットがセットされる可能性はあります。SLEEP 命令が実行されたかどうかを判断するには、PD ビットをチェックします。PD ビットが 1 ならば、SLEEP 命令は NOP として実行されていたこととなります。

WDT を確実にクリアするには、SLEEP 命令の前に CLRWDT 命令を実行させる必要があります。

# PIC16F87X

図 12-14: 割り込みによるスリープからの起動



## 12.14 インサーキットデバッグ

コンフィギュレーションワードのDEBUGビットが「0」にプログラム書き込みされると、インサーキットデバッグの機能が動作します。この機能により MPLAB 使用の際に簡単なデバッグ機能を実現できます。マイクロコントローラがこの機能を動作させているとき、いくつかのリソースは一般の使用ができません。表 12-7 にどの機能がバックグラウンドデバッグにより使用されるかを示します。

表 12-7 デバッグのリソース

I/O ピン	RB6, RB7
スタック	1 レベル
プログラムメモリ	最後の 100h ワード
データメモリ	未定

マイクロコントローラのインサーキットデバッグ機能を利用するには、設計に MCLR/Vpp、Vdd、GND、RB7 および RB6 へのインサーキットシリアルプログラミング接続を適用する必要があります。これは、マイクロチップ社またはサードパーティ開発ツールの会社から入手できるインサーキットデバッグモジュールです。

## 12.15 プログラムベリファイ/コードプロテクト

コードプロテクトビットがプログラム書き込みされていない場合は、オンチップのプログラムメモリをリードしてプログラムのベリファイを行えます。

## 12.16 ID ロケーション

4 つの番地 (2000h ~ 2003h) が ID ロケーションとして、チェックサムまたは他のプログラム識別番号を格納できるようになっています。この番地は通常のプログラム実行中はアクセスできませんが、プログラム/ベリファイ中にリードとライトができます。ID ロケーションは下位 4 ビットのみが使用できます。

ROM デバイスの場合は、この値は ROM コードを指定します。

## 12.17 インサーキットシリアルプログラミング

PIC16F87X マイクロコントローラは、アプリケーション回路上でシリアルプログラミングすることができます。これは、クロックとデータの2本と、電源、グランド、プログラミング電圧の3本を使用することで簡単に行えます。プログラム書き込みされていないデバイスを使用してボードを生産し、製品の出荷直前にマイクロコントローラへのプログラム書き込みをすることができます。また、最新のファームウェアや特別仕様のファームウェアをプログラム書き込みすることができます。

シリアルプログラムの詳細については、イン・サーキット・シリアルプログラミング (ICSP™) ガイド (DS30277B) を参照してください。

## 12.18 低電圧プログラミング

コンフィグレーションワードのLVPビットは、低電圧プログラミングを動作させます。このモードにより、マイクロコントローラは、動作電圧範囲内のV<sub>DD</sub>ソースを使用してICSP経由でプログラムできます。このモードはMCLRピンに置かれるV<sub>IHH</sub>の要求を削除します。LVPビットは、デフォルトでは低電圧プログラミングをイネーブする「1」になっています。このモードでは、RB3/PGMピンはプログラミング機能専用となっており、汎用I/Oピンとしての機能はありません。低電圧プログラミング中はV<sub>DD</sub>がMCLRピンに印加されます。RB3/PGMピンに「1」が入力されると、デバイスはプログラミングモードに入ります。

- |   |
|---|
| <p><b>注意 1:</b> 高電圧プログラミングモードは、LVPビットの状態に関係なく、MCLRピンにV<sub>IHH</sub>を印加することにより常に使用できます。</p> <p><b>2:</b> このモードのときは、RB3ピンを汎用I/Oピンとして使用することができません。</p> <p><b>3:</b> 低電圧プログラムモードのとき、消去/プログラム動作中は、V<sub>DD</sub>は5.0V ±10%でなければなりません。</p> |
|---|

低電圧プログラミングモードを使用しない場合は、LVPビットは「0」にプログラム書き込みでき、RB3/PGMピンをデジタルI/Oピンにすることができます。デバイスをプログラム書き込みするには、V<sub>IHH</sub>をプログラミング中にMCLRに入力する必要があります。LVPビットは、V<sub>IHH</sub>によりMCLRにプログラミングが入力されたときのみプログラム書き込みできます。プログラミングがRB3/PGMにより入力されたときには、LVPをプログラム書き込みすることはできません。

LVPがいったん0にプログラム書き込みされると、高電圧プログラミングモードしか使用できません。また、高電圧プログラムモードを使用した場合のみデバイスにプログラム書き込みができます。

# PIC16F87X

---

NOTES:

## 13.0 命令セット

PIC16CXXX の命令はすべて 14 ビットワードで、命令のタイプを表すオペコード部と、その他の命令の動作を表す1つ以上のオペランド部からできています。表 13-2 では、PIC16CXXX の命令セットを、**バイト対応**、**ビット対応**、**リテラルおよびコントロール**に分類しています。表 13-1 には、OPCODE のフィールドを説明しています。

**バイト対応**命令では、'f' をファイルレジスタ指名子、'd' を結果格納先指名子として使用します。ファイルレジスタ指名子では、命令で使用するファイルレジスタを指定します。

結果格納先指名子では、命令の実行結果を格納する場所を指定します。'd' が 0 の場合、結果は W レジスタに格納されます。'd' が 1 の場合、結果は命令で指定されたファイルレジスタに格納されます。

**ビット対応**命令では、ビット番号指名子 'b' を使って、この命令実行によって影響を受けるビットの番号を選択します。また、ファイルレジスタ指名子 'f' を使って、そのビットが置かれているファイルレジスタのアドレスを指定します。

**リテラルおよびコントロール**動作では、'k' を使って 8 ビットまたは 11 ビットの定数やリテラルを指定します。

表 13-1 OPCODE フィールドの説明

フィールド	説明
E	ファイルレジスタのアドレス (0x00 から 0x7F)
W	ワーキングレジスタ (アキュムレータ)
b	8 ビットファイルレジスタ内のビットアドレス
k	リテラル、定数またはラベル
x	無効 (= 0 または 1) アセンブラは x = 0 としてコードを生成。すべてのソフトウェアツールとの互換性を確保するために x = 0 を推奨します。
d	結果格納先指名子; d = 0 (結果は W に格納) d = 1 (結果はファイルレジスタ 'f' に格納) デフォルトは d = 1
PC	プログラムカウンタ
TO	タイムアウトビット
PD	パワーダウンビット

命令セットは高い直交性を持っていて、次の 3 つの基本カテゴリーに分類されます。

- ・ **バイト対応**の命令
- ・ **ビット対応**の命令
- ・ **リテラルおよびコントロール**命令

すべての命令は 1 命令サイクルで実行されますが、命令を実行した結果、条件付きテストの結果が真となったり、プログラムカウンタを変更すると、NOP として実行された 2 番目のサイクルとともに、2 サイクルかかります。1 命令サイクルは、4 オシレータ周期です。したがって、オシレータ周波数が 4MHz の場合、命令実行時間は 1 μ 秒になります。命令を実行した結果、条件付きテストが真になったり、プログラムカウンタを変更した場合は、命令実行時間は 2 μ 秒になります。

表 13-2 は、MPASM アセンブラの命令リストです。

図 13-1 に、命令の一般的なフォーマットを示します。

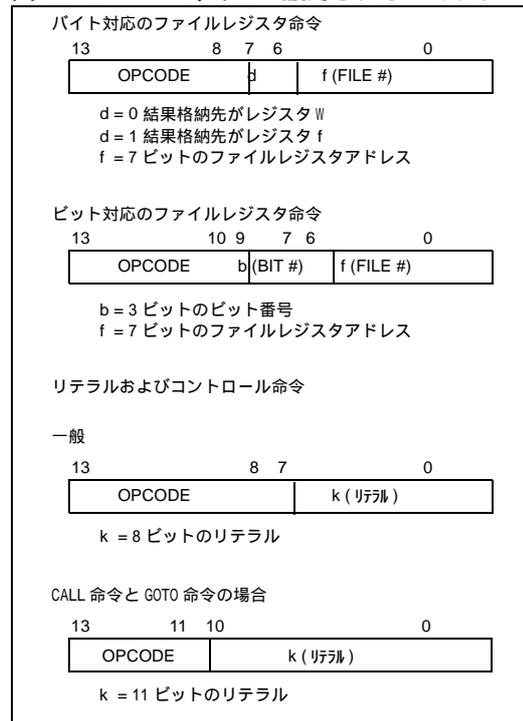
**注意:** 将来の PIC16CXX 製品との上位互換性を維持するために、OPTION 命令と TRIS 命令は使用しないでください。

例では、次のフォーマットで 16 進数を表します。

0xhh

上記の "h" は 16 進数を表します。.

図 13-1: 命令の一般的なフォーマット



各命令の説明は、PICmicro™ ミッド・レンジ・リファレンスマニュアル (DS33023) に記載されています。

# PIC16F87X

表 13-2 PIC16CXXX 命令セット

ニーモニック オペランド	説明	サイク ル数	14ビットオペコード				影響され るステー タス	注意	
			MSb		LSb				
<b>バイト対応のファイルレジスタ命令</b>									
ADDWF	f, d	Add W and f	1	00	0111	dfff	ffff	C,DC,Z	1,2
ANDWF	f, d	AND W with f	1	00	0101	dfff	ffff	Z	1,2
CLRF	f	Clear f	1	00	0001	1fff	ffff	Z	2
CLRWF	-	Clear W	1	00	0001	0xxx	xxxx	Z	
COMF	f, d	Complement f	1	00	1001	dfff	ffff	Z	1,2
DECF	f, d	Decrement f	1	00	0011	dfff	ffff	Z	1,2
DECFSZ	f, d	Decrement f, Skip if 0	1(2)	00	1011	dfff	ffff		1,2,3
INCF	f, d	Increment f	1	00	1010	dfff	ffff	Z	1,2
INCFSZ	f, d	Increment f, Skip if 0	1(2)	00	1111	dfff	ffff		1,2,3
IORWF	f, d	Inclusive OR W with f	1	00	0100	dfff	ffff	Z	1,2
MOVF	f, d	Move f	1	00	1000	dfff	ffff	Z	1,2
MOVWF	f	Move W to f	1	00	0000	1fff	ffff		
NOP	-	No Operation	1	00	0000	0xx0	0000		
RLF	f, d	Rotate Left f through Carry	1	00	1101	dfff	ffff	C	1,2
RRF	f, d	Rotate Right f through Carry	1	00	1100	dfff	ffff	C	1,2
SUBWF	f, d	Subtract W from f	1	00	0010	dfff	ffff	C,DC,Z	1,2
SWAPF	f, d	Swap nibbles in f	1	00	1110	dfff	ffff		1,2
XORWF	f, d	Exclusive OR W with f	1	00	0110	dfff	ffff	Z	1,2
<b>ビット対応のファイルレジスタ命令</b>									
BCF	f, b	Bit Clear f	1	01	00bb	bfff	ffff		1,2
BSF	f, b	Bit Set f	1	01	01bb	bfff	ffff		1,2
BTFSZ	f, b	Bit Test f, Skip if Clear	1(2)	01	10bb	bfff	ffff		3
BTSS	f, b	Bit Test f, Skip if Set	1(2)	01	11bb	bfff	ffff		3
<b>リテラルおよびコントロール命令</b>									
ADDLW	k	Add literal and W	1	11	111x	kkkk	kkkk	C,DC,Z	
ANDLW	k	AND literal with W	1	11	1001	kkkk	kkkk	Z	
CALL	k	Call subroutine	2	10	0kkk	kkkk	kkkk		
CLRWDT	-	Clear Watchdog Timer	1	00	0000	0110	0100	$\overline{TO,PD}$	
GOTO	k	Go to address	2	10	1kkk	kkkk	kkkk		
IORLW	k	Inclusive OR literal with W	1	11	1000	kkkk	kkkk	Z	
MOVLW	k	Move literal to W	1	11	00xx	kkkk	kkkk		
RETFIE	-	Return from interrupt	2	00	0000	0000	1001		
RETLW	k	Return with literal in W	2	11	01xx	kkkk	kkkk		
RETURN	-	Return from Subroutine	2	00	0000	0000	1000		
SLEEP	-	Go into standby mode	1	00	0000	0110	0011	$\overline{TO,PD}$	
SUBLW	k	Subtract W from literal	1	11	110x	kkkk	kkkk	C,DC,Z	
XORLW	k	Exclusive OR literal with W	1	11	1010	kkkk	kkkk	Z	

- 注意 1: I/O レジスタがその同じ I/O レジスタにより変更する場合、(MOVWF、PORTB、1 など)、ピンの入力レベルが使用されます。例えば、入力ピンのデータラッチが '1'、そのピンが外部デバイスにより Low レベルとなっているとき、データラッチには '0' がライトされます。
- 2: この命令を TMRO レジスタに対して実行すると (かつ、結果格納先 d の指定が可能ときには d=1 が指定されていると)、TMRO モジュールに割り当てられているプリスケアラがクリアされます (プリスケアラが TMRO に割り当てられているときのみ)。
- 3: プログラムカウンタ (PC) を変更したり、条件付きテストの結果が真になると、命令実行は 2 サイクルかかります。2 番目のサイクルは NOP として実行されます。

## 14.0 開発サポート

### 14.1 開発ツール

PICmicro<sup>®</sup> マイクロコントローラは、以下のハードウェアおよびソフトウェアの開発ツールによりサポートされています。

- MPLAB<sup>™</sup>-ICE リアルタイムインサーキットエミュレータ
- ICEPIC<sup>™</sup> PIC16C5X・PIC16CXXX 用低価格インサーキットエミュレータ
- PRO MATE<sup>®</sup> II ユニバーサルプログラマ
- PICSTART<sup>®</sup> Plus 入門者向けプロトタイププログラマ
- SIMICE
- PICDEM-1 低価格デモンストレーションボード
- PICDEM-2 低価格デモンストレーションボード
- PICDEM-3 低価格デモンストレーションボード
- MPASM アセンブラ
- MPLAB<sup>™</sup> SIM ソフトウェアシミュレータ
- MPLAB-C17 (C コンパイラ)
- ファジロジック開発システム (fuzzyTECH<sup>®</sup>-MP)
- KEELOQ<sup>®</sup> エバリュエーションキットおよびプログラマ

### 14.2 MPLAB-ICE: 高性能ユニバーサルインサーキットエミュレータおよび MPLAB IDE

MPLAB-ICE ユニバーサルインサーキットエミュレータは、製品開発エンジニアが、PICmicro マイクロコントローラ (MCU) の完全なマイクロコントローラ設計ツールを使用できるようになっています。MPLAB-ICE は、MPLAB 統合開発環境 (IDE) 上でサポートされるので、編集、作成、ダウンロードおよびソースデバッグが同一環境上で可能となります。

プロセッサモジュールが交換可能なので、エミュレーションするプロセッサが変更になったときでもシステムを簡単に再構成することができます。MPLAB-ICE のユニバーサルなアーキテクチャにより、すべての Microchip 社のマイクロコントローラの新製品をサポートできるようにつくられています。

MPLAB-ICE エミュレータシステムは、一般的にはもっとも高価な開発ツールに装備される最新の機能を備えたリアルタイムのエミュレーションシステムです。PC と互換性のある 386 (以上の) マシンプラットフォームおよび Microsoft 社の Windows<sup>®</sup> 3.x または 95 で動作することで、エンドユーザーの方たちに、より使い易さを提供しています。

MPLAB-ICE には 2 種類のバージョンがあります。MPLAB-ICE 1000 は、基本的な、低価格エミュレータシステムで、簡単なトレース機能が付いています。プロセッサモジュールは MPLAB-ICE 2000 と共有しています。MPLAB-ICE 2000 は完全機能のエミュレータシステム

で、拡張トレース機能、トリガおよびデータ監視機能を備えています。両システムとも PICmicro MCU の全速度範囲で動作します。

### 14.3 ICEPIC: 低価格 PICmicro インサーキットエミュレータ

ICEPIC は Microchip 社の PIC12CXXX、PIC16C5X および PIC16CXXX ファミリーの 8 ビット OTP マイクロコントローラ用の低価格インサーキットエミュレータです。

ICEPIC は、386 マシンから Pentium<sup>™</sup> 搭載のマシンまで、Windows 3.x、Windows 95、または WindowsNT 環境の PC と互換性のあるマシンで操作できるように設計されています。ICEPIC にはリアルタイム、非進入的なエミュレーション機能を備えています。

### 14.4 PRO MATE II: ユニバーサルプログラマ

The PRO MATE II ユニバーサルプログラマは、PC ホストモードと、スタンドアロンモードで動作する完全機能のプログラマです。PRO MATE II は CE 準拠しています。

PRO MATE II にはプログラム可能な VDD と VPP の電源があり、信頼性を最大にするために、VDD min と VDD max でプログラムされたメモリをベリファイすることができます。また、エラーメッセージを表示する LCD ディスプレイ、コマンドを入力するキーが装備され、いろいろなパッケージタイプをサポートするためにソケットモジュールが交換可能になっています。スタンドアロンモードでは、PRO MATE II は、PIC12CXXX、PIC14CXXX、PIC16C5X、PIC16CXXX および PIC17CXX デバイスをリード、ベリファイ、プログラムすることができます。さらに、このモードでコードプロテクトのビットを設定できます。

### 14.5 PICSTART Plus 入門者向け開発システム

PICSTART プログラマは、使いやすく低価格のプロトタイププログラマライターで、COM (RS-232) ポート経由で PC に接続します。MPLAB 統合開発環境ソフトウェアにより、簡単かつ効率的に使用できます。PICSTART Plus は量産時のプログラム書き込みには推奨していません。

PICSTART Plus は 40 ピン以下の PIC12CXXX、PIC14CXXX、PIC16C5X、PIC16CXXX および PIC17CXX のすべてのデバイスをサポートします。PIC16C923、PIC16C924 および PIC17C756 などのピン数の多いデバイスには、アダプタソケットで対応ができます。PICSTART Plus は CE に準拠しています。

### 14.6 SIMICE 入門者レベルハードウェアシミュレータ

SIMICE は入門者レベルのハードウェア開発システムで、PC 環境上で Microchip 社のシミュレータ MPLAB<sup>™</sup>-SIM と共に動作するように設計されています。SIMICE と MPLAB-SIM は、Microchip Technology 社の MPLAB 統合開発環境 (IDE) のソフトウェアで操作します。SIMICE は特に PIC12C5XX、PIC12CE5XX および PIC16C5X ファミリーの PICmicro 8 ビットマイクロコントローラに対してハードウェアシミュレーションを提供します。

# PIC16F87X

SIMICE は MPLAB-SIM と関連して機能し、非リアルタイムの I/O ポートエミュレーションを行います。SIMICE により開発担当者はシミュレータコードを動作させてターゲットシステムを駆動することができます。更に、ターゲットシステムはシミュレータコードへの入力を提供します。この機能により、MPLAB-SIM のステミュラスファイルを手作業で作成しなくても、簡単に相互的なデバッグが可能になります。SIMICE は入門レベルのシステム開発に有効なデバッグツールです。

## 14.7 PICDEM-1 低価格 PICmicro デモンストレーションボード

PICDEM-1 は、Microchip 社のマイクロコントローラのいくつかの機能をデモする簡単なボードです。サポートしているマイクロコントローラは、PIC16C5X (PIC16C54 から PIC16C58A)、PIC16C61、PIC16C62X、PIC16C71、PIC16C8X、PIC17C42、PIC17C43 および PIC17C44 です。基本デモプログラムを動かすために必要なハードウェアとソフトウェアが付属しています。PRO MATE II または PICSTART-Plus プログラムを使用して、PICDEM-1 付属のサンプルマイクロコントローラをプログラムすることができ、簡単にファームウェアをテストできます。また、PICDEM-1 ボードを MPLAB-ICE エミュレータに接続して、ファームウェアをダウンロードしてテストすることもできます。さらに、プロトタイプエリアがあるので、いくつかのハードウェアを追加したり、マイクロコントローラソケットに接続することができます。RS-232 インターフェイス、アナログ入力をテストするためのポテンショメータ、プッシュボタンスイッチ、PORTB に接続された 8 個の LED が実装されています。

## 14.8 PICDEM-2 低価格 PIC16CXX デモンストレーションボード

PICDEM-2 は PIC16C62、PIC16C64、PIC16C65、PIC16C73 および PIC16C74 のマイクロコントローラに対応する簡単なデモンストレーションボードです。基本的なデモンストレーションプログラムを動かすために必要なハードウェアとソフトウェアが付属しています。PRO MATE II プログラムまたは PICSTART-Plus を使用して PICDEM-2 付属のサンプルマイクロコントローラをプログラムすることができ、簡単にファームウェアをテストすることができます。また、MPLAB-ICE エミュレータを PICDEM-2 ボードに接続してファームウェアをテストすることができます。さらに、プロトタイプエリアがあるので、ハードウェアを追加してマイクロコントローラソケットに接続することができます。RS-232 インターフェイス、プッシュボタンスイッチ、アナログ入力をテストするためのポテンショメータ、I<sup>2</sup>C バスをテストするためのシリアル EEPROM、LCD モジュールとキーパッドを別々に接続するためのヘッダが実装されています。

## 14.9 PICDEM-3 低価格 PIC16CXXX デモンストレーションボード

PICDEM-3 は、PLCC パッケージの PIC16C923 および PIC16C923 に対応する簡単なデモンストレーションボードです。また、将来の LCD モジュール付き 44 ピン

PLCC パッケージのマイクロコントローラにも対応する予定です。基本的なデモンストレーションプログラムを動かすために必要なハードウェアとソフトウェアはすべて付属しています。PRO MATE II プログラムまたはアダプタソケットと PICSTART Plus を使用して、PICDEM-3 付属のサンプルマイクロコントローラをプログラムすることができ、簡単にファームウェアをテストすることができます。また、MPLAB-ICE エミュレータを PICDEM-3 ボードと接続してファームウェアをテストすることができます。さらに、プロトタイプエリアがあるので、ハードウェアを追加して、マイクロコントローラソケットに接続することができます。RS-232 インターフェイス、プッシュボタンスイッチ、アナログ入力をテストするためのポテンショメータ、サーミスタ、外部 LCD モジュールとキーパッドを分けて接続するためのヘッダが実装されています。また、PICDEM-3 ボード上には 4 コモン、12 セグメントの LCD パネルが備えられ、時間や温度や曜日を表示することができます。PICDEM-3 には追加の RS-232 インターフェイスと、Windows 3.1 のソフトウェアがあり、PC でデマルチプレクスされた LCD の信号を見ることができます。簡単なシリアルインターフェイスにより、LCD 信号のハードウェアでのデマルチプレクスを実行させることができます。

## 14.10 MPLAB 統合開発環境ソフトウェア

MPLAB IDE ソフトウェアは、8 ビットマイクロコントローラ市場では今まで見られなかった、使いやすい開発ソフトウェアです。MPLAB は、下記を含む Windows のアプリケーションです。

- フル機能エディタ
- 3 つの動作モード
  - エディタ
  - エミュレータ
  - シミュレータ
- プロジェクトマネージャ
- カスタマイズ可能なツールバーおよびキーマッピング
- プロジェクト情報を表示するステータスバー
- オンラインヘルプ

MPLAB は次のようなことができます。

- ソースファイルの編集 (アセンブラまたは 'C')
- ワンタッチのアセンブル (またはコンパイル) および PICmicro ツールへのダウンロード (全プロジェクトの情報を自動的に更新する)
- デバッグの使用
  - ソースファイル
  - リスティングファイル

Microchip のシミュレータが MPLAB で使用できるので、同じプラットフォーム上で、かつ、同様の操作方法で、低コストのシミュレータからフル機能を備えたエミュレータに、簡単に移行することができます。

## 14.11 アセンブラ (MPASM)

MPASMユニバーサルマクロアセンブラは、PCホストのシンボリックアセンブラです。これは、PIC12C5XX、PIC14000、PIC16C5X、PIC16CXXX および PIC17CXX ファミリーを含むすべてのマイクロコントローラシリーズをサポートしています。

MPASM はフル機能を備えたマクロ機能、条件付きアセンブリ、いくつかのソースとリストのフォーマットを提供します。サードパーティプログラムやマイクロチップ社の開発ツールをサポートするために、様々な種類のオブジェクトコードフォーマットを生成します。

MPASM によって、Microchip ユニバーサルエミュレータシステム (MPLAB-ICE) による完全なシンボリックデバッグが可能です。

MPASM は、アプリケーション用ソフトウェア開発を支援するために、次のような機能を有しています。

- ・ アセンブラのソースコードをすべての PICmicro のマイクロコントローラのオブジェクトへ変換する。
- ・ マクロアセンブリ可能
- ・ Microchip エミュレータシステムのシンボリックデバッグに必要な全てのファイル (オブジェクト、リスト、シンボル、特殊) を生成する。
- ・ 16 進 (デフォルト) 、10 進、8 進のソースとリストフォーマットをサポートする。

MPASM には PICmicro のプログラミングをサポートする高レベルの疑似命令言語があります。疑似命令により、アセンブルソースコードの開発がより短時間になり、より保持しやすくなります。

## 14.12 ソフトウェアシミュレータ (MPLAB-SIM)

MPLAB-SIM ソフトウェアシミュレータにより、PC ホスト環境でのコード開発が可能になります。PICmicro シリーズのマイクロコントローラを命令レベルでシミュレートできます。どの与えられた命令でも、データ領域のリードや変更、またそのピンのどれにも疑似外部入力ができます。入力 / 出力ラディックスをセットすれば、シングルステップ、ブレーク、トレースモードなどで実行ができます。

MPLAB-SIM は、MPLAB-C17 と MPASM を使用してシンボリックデバッグを完全にサポートします。ソフトウェアシミュレータにより、実験室でしかできなかったようなコードの開発とデバッグを低価格かつ柔軟に実行できる優れたマルチプロジェクトの開発ツールです。

## 14.13 MPLAB-C17 コンパイラ

MPLAB-C17 コード開発システムは、完全な ANSI 'C' コンパイラであり、Microchip 社の PIC17CXXX ファミリーのマイクロコントローラのための統合開発環境を提供しています。このコンパイラは、強力な統合能力と、他のコンパイラには見られない簡単な使用方法が特徴です。

また、このコンパイラはソースレベルデバッグをより容易にするために、MPLAB IDE メモリ表示と互換性があるシンボル情報を提供します。

## 14.14 ファジロジック開発システム (fuzzyTECH-MP)

fuzzyTECH-MP ファジロジック開発ツールは、2 つのバージョンを利用できます。1 つは低価格入門版、MP Explorer で、ファジロジックシステムデザインの広範囲な作業知識を得るためのデザイナー用です。もう 1 つは完全な機能を備えたバージョン、fuzzyTECH-MP で、より複雑なシステムを実行するために作られています。

両バージョンともファジロジックシステムを実験するため、fuzzy-LAB™ デモボードを付属しています。

## 14.15 SEEVAL® 評価およびプログラミングシステム

SEEVAL SEEPROM デザイナーズキットはマイクロチップの 2 線および 3 線のすべてのシリアル EEPROM をサポートします。このキットには、Smart Serials™ や secure serials を含む Microchip の SEEPROM 製品のリード、ライト、消去、プログラムに必要なすべてが付属しています。Total Endurance™ Disk は、トレードオフ分析、および演算の信頼性を補助するために付属しています。トータルキットを使用すると、製品化のための時間を大幅に削減でき、最適化システムを生み出すことができます。

## 14.16 KEELQ® 評価およびプログラミングツール

KEELQ 評価およびプログラミングツールは、HCS セキュリティデータ製品をサポートしています。HCS 評価キットには、コードの変化を表示するための LCD ディスプレイ、送信をデコードするためのデコーダ、テストランスマッタをプログラムするためのプログラミングインターフェイスが付属しています。

# PIC16F87X

表 14-1 マイクロチップの開発ツール

	PIC12C5XX	PIC14000	PIC16C5X	PIC16CXX	PIC16C6X	PIC16C7XX	PIC16C8X	PIC16C9XX	PIC17C4X	PIC17C7XX	24CXX 25CXX 93CXX	HCS200 HCS300 HCS301
<b>Emulator Products</b>												
MPLAB™-ICE	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓		
ICEPIC™ Low-Cost In-Circuit Emulator			✓	✓	✓	✓	✓	✓				
<b>Software Tools</b>												
MPLAB™ Integrated Development Environment	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓		
MPLAB™ C17* Compiler									✓	✓		
fuzzyTECH® -MP Explorer/Edition Fuzzy Logic Dev. Tool	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓		
Total Endurance™ Software Model											✓	
<b>Programmers</b>												
PICSTART® Plus Low-Cost Universal Dev. Kit	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓		
PRO MATE® II Universal Programmer	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓	✓
KEELOQ® Programmer												✓
SEEVAL® Designers Kit											✓	
<b>Demo Boards</b>												
SIMICE	✓		✓									
PICDEM-14A		✓										
PICDEM-1			✓	✓			✓		✓			
PICDEM-2					✓	✓						
PICDEM-3								✓				
KEELOQ® Evaluation Kit												✓
KEELOQ Transponder Kit												✓

## 15.0 電気的特性

### 絶対最大定格 †

バイアス下での周囲温度 .....	.....
保存温度 .....	.....
V <sub>SS</sub> に対するすべてのピンの電圧 (V <sub>DD</sub> 、MCLR および RA4 を除く) .....	.....
V <sub>SS</sub> に対する V <sub>DD</sub> の電圧 .....	.....
V <sub>SS</sub> に対する MCLR の電圧 (注意 2) .....	.....
V <sub>SS</sub> に対する RA4 の電圧 .....	.....
消費電力の合計 (注意 1) .....	.....
V <sub>SS</sub> ピンからの最大電流 .....	.....
V <sub>DD</sub> ピンへの最大電流 .....	.....
入力クランプ電流、I <sub>IK</sub> (V <sub>I</sub> < 0 または V <sub>I</sub> > V <sub>DD</sub> ) .....	.....
出力クランプ電流、I <sub>OK</sub> (V <sub>O</sub> < 0 または V <sub>O</sub> > V <sub>DD</sub> ) .....	.....
I/O ピンごとの最大出力シンク電流 .....	.....
I/O ピンごとの最大出力ソース電流 .....	.....
PORTA、PORTB および PORTE の最大シンク電流 (結合) (注意 3) .....	.....
PORTA、PORTB および PORTE の最大ソース電流 (結合) (注意 3) .....	.....
PORTC および PORTD の最大シンク電流 (結合) (注意 3) .....	.....
PORTC および PORTD の最大ソース電流 (結合) (注意 3) .....	.....

**注意 1:** 消費電力は次の式で計算できます。P<sub>dis</sub> = V<sub>DD</sub> × {I<sub>DD</sub> - Σ I<sub>OH</sub>} + Σ {(V<sub>DD</sub> - V<sub>OH</sub>) × I<sub>OH</sub>} + Σ (V<sub>OL</sub> × I<sub>OL</sub>)

**注意 2:** MCLR ピンでのスパイク電流が V<sub>SS</sub> 以下、電流が 80mA 以上になると、ラッチアップが発生する原因となります。したがって、MCLR ピンを Low レベルにするときは V<sub>SS</sub> に直接接続しないで、50 100 の直列抵抗を使用してください。

**注意 3:** PORTD と PORTE は 28 ピンデバイスにはありません。

† 注意；上記の「最大定格」を超えるストレスは、デバイスに損傷を与える恐れがあります。これは、ストレスの定格を示すためだけのもので、上記の値、または、この仕様書に記載された値を超える条件で動作することを示すものではありません。継続した期間最大定格で使用した場合、デバイスの信頼性を損なうおそれがあります。

規格値については最新版データシート (英語) を参照してください。

# PIC16F87X

表 15-1 オシレータのコンフィグレーションおよび動作周波数のデバイス仕様クロスリファレンス

OSC	PIC16F873-04 PIC16F874-04 PIC16F876-04 PIC16F877-04	PIC16F873-20 PIC16F874-20 PIC16F876-20 PIC16F877-20	PIC16LF873-04 PIC16LF874-04 PIC16LF876-04 PIC16LF877-04
RC	VDD : IDD : IPD : Freq:	VDD : IDD : IPD : Freq :	VDD : IDD : IPD : Freq :
XT	VDD : IDD : IPD : Freq:	VDD : IDD : IPD : Freq :	VDD : IDD : IPD : Freq :
HS	VDD : IDD : IPD : Freq :	VDD : 4.5V to 5.5V IDD : 20 mA max. at 5.5V IPD : Freq :	HS モードでの使用は推奨しません
LP	VDD : IDD : IPD : Freq :	LP モードでの使用は推奨しません	VDD : IDD : IPD : Freq :

網掛部分は機能はテストしていますが、最小/最大使用のテストはされていません。  
必要な仕様保証されているデバイスを選択することを推奨します。

**注意：** このデータシートは暫定版です。したがって、デバイスの特性にもとづいて内容および仕様に変更があることがあります。

規格値については最新版データシート（英語）を参照してください。

# PIC16F87X

15.1 DC 特性 : PIC16F873/874/876/877-04 ( 商業用、工業用 )  
 PIC16F873/874/876/877-20 ( 商業用、工業用 )

DC 特性		標準動作条件 (特に指定のない場合)					
		動作温度		-40	TA	+85	(工業用)
				0	TA	+70	(商業用)
パラメータ番号	特性	記号	Min	Typ†	Max	単位	条件
D001 D001A	電源電圧	VDD	^			V V	XT、RC、LP のオシレータコンフィグレーション HS オシレータコンフィグレーション
D002*	RAM データ保持電圧 (注意 1)	VDR				V	
D003	パワーオンリセットを確実にするための VDD スタート電圧	VPOR				V	詳細はパワーオンリセットの項をご覧ください。
D004*	パワーオンリセットを確実にするための VDD の立ち上がり率	SVDD				V/ms	詳細はパワーオンリセットの項をご覧ください。
D005	ブラウンアウトリセット電圧	BVDD				V	コンフィグレーションワードが動作している BODEN ビット
D010 D013	消費電流 (注意 2、5)	IDD				mA mA	XT、RC オシレータコンフィグレーション Fosc = 4 MHz, VDD = 5.5V (注意 4) HS オシレータコンフィグレーション Fosc = 20 MHz, VDD = 5.5V
D015*	ブラウンアウトリセット電流 (注意 6)	ΔIBOR				μA	BOR オン VDD = 5.0V
D020 D021 D021A D021B	待機電流 (注意 3、5)	IPD				μA μA μA μA	VDD = 4.0V、WDT オン、-40 ~ +85 VDD = 4.0V、WDT オフ、-0 ~ +70 VDD = 4.0V、WDT オフ、-40 ~ +85 VDD = 4.0V、WDT オフ、-40 ~ +125
D023*	ブラウンアウトリセット電流 (注意 6)	ΔIBOR				μA	BOR オン VDD = 5.0V

\* このパラメータは特性データです。テストはしていません。

† "Typ" の列のデータは、特に指定のない限り、5.0V、25 °C でテストしています。このパラメータは設計ガイドンスのためのもので、テストはしていません。

- 注意 1: これは VDD を下げたときに RAM データを失わない最小の値です。  
 2: この消費電力は、主に動作電圧と周波数によって変化します。その他に I/O ピンの負荷、切り替え率、オシレータの種類、内部コード実行パターン、温度などの要素も消費電力に影響を与えます。動作中の IDD のテスト条件は次のようになります。  
 OSC1 = 外部方形波 (レール・トゥ・レール) I/O ピンは入力の設定で VDD にプルダウン、MCLR = VDD、WDT オン/オフは明記してある通り。  
 3: スリープモードでの待機電流はオシレータの種類には影響を受けません。待機電流は、スリープモードのデバイスを I/O ピンを入力にして、VDD または VSS に接続して測定します。  
 4: RC オシレータのコンフィグレーションについては、Rext の電流は含みません。Rext の電流は  $I_r = V_{DD} / 2R_{ext}$  (mA) という式から概算することができます。(Rext の単位は k )  
 5: タイマ 1 オシレータは (オンの場合) 規格に対しておよそ 20 μA プラスになります。この値は特性から出たもので、設計ガイドンスのためのものです。テストはしていません。  
 6: Δ の電流は、この周辺機能が動作しているときに新たに消費する電流です。この電流は、基本の IDD または IPD の測定値に加える必要があります。

規格値については最新版データシート (英語) を参照してください。

# PIC16F87X

## 15.2 DC 特性: PIC16LF873/874/876/877-04 (商業用、工業用)

DC 特性		標準動作条件 (特に指定のない場合)					
		動作温度		-40	TA	+85	(工業用)
				0	TA	+70	(商業用)
パラメータ番号	特性	記号	Min	Typ†	Max	単位	条件
D001	電源電圧	VDD				V	LP、XT、RC オシレータコンフィギュレーション (DC - 4MHz)
D002*	RAM データ保持電圧 (注意 1)	VDR				V	
D003	パワーオンリセットを確実にするための VDD のスタート電圧	VPOR				V	詳細はパワーオンリセットの章をご覧ください。
D004*	パワーオンリセットを確実にするための VDD の立ち上がり率	SVDD				V/ms	詳細はパワーオンリセットの章をご覧ください。
D005	ブラウンアウトリセット電圧	BVDD				V	コンフィギュレーションワードがオンの BODEN ビット
D010	消費電流 (注意 2、5)	IDD				mA	XT、RC オシレータコンフィギュレーション FOSC = 4 MHz、VDD = 3.0V (注意 4)
D010A						μA	LP オシレータコンフィギュレーション FOSC = 32 kHz、VDD = 3.0V、WDT オフ
D015*	ブラウンアウトリセット電流 (注意 6)	ΔIBOR				μA	BOR オン、VDD = 5.0V
D020	待機電流 (注意 3、5)	IPD				μA	VDD = 3.0V、WDT オン、-40 ~ +85
D021						μA	VDD = 3.0V、WDT オフ、0 ~ +70
D021A						μA	VDD = 3.0V、WDT オフ、-40 ~ +85
D023*	ブラウンアウトリセット電流 (注意 6)	ΔIBOR				μA	BOR オン、VDD = 5.0V

\* このパラメータは特性データです。テストはしていません。

† "Typ" の列のデータは、特に指定のない限り、5.0V、25 °C でテストしています。このパラメータは設計ガイドンスのためのもので、テストはしていません。

注意 1: これは VDD を下げたときに RAM データを失わない最小の値です。

2: この消費電力は、主に動作電圧と周波数によって変化します。その他に I/O ピンの負荷、切り替え率、オシレータの種類、内部コード実行パターン、温度などの要素も消費電力に影響を与えます。

動作中の IDD のテスト条件は次のようになります。

OSC1 = 外部方形波 (レール・トゥ・レール)、I/O ピンは入力の設定で VDD にプルダウン、MCLR = VDD、WDT オン/オフは明記してある通り。

3: スリープモードでの待機電流はオシレータの種類には影響を受けません。待機電流は、スリープモードのデバイスを I/O ピンを入力にして、VDD または VSS に接続して測定します。

4: RC オシレータのコンフィギュレーションについては、Rext の電流は含みません。Rext の電流は  $I_r = V_{DD} / 2R_{ext}$  (mA) という式から概算することができます。(Rext の単位は k )

5: タイマ 1 オシレータは (オンの場合)、規格に対しておよそ 20 μA プラスになります。この値は特性から出たもので、設計ガイドンスのためのものです。テストはしていません。

6: Δ の電流は、この周辺機能が動作しているときに新たに消費する電流です。この電流は、基本の IDD または IPD の測定値に加える必要があります。

規格値については最新版データシート (英語) を参照してください。

# PIC16F87X

15.3 DC 特性: PIC16F873/874/876/877-04 (商業用、工業用)  
PIC16F873/874/876/877-20 (商業用、工業用)  
PIC16F873/874/876/877-04 (商業用、工業用)

DC 特性		標準動作条件 (特に指定のない場合)					条件
		動作温度	-40	TA	+85	(工業用)	
			0	TA	+75	(商業用)	
		動作電圧 V <sub>DD</sub> の範囲は第 15.1 項と第 15.2 項の DC 仕様で説明されている通りです。					
パラメータ番号	特性	記号	Min	Typ†	Max	単位	条件
D030 D030A D031 D032 D033 D034 D034A	<b>Low レベル入力電圧</b> I/O ポート TTL バッファ付き シュミットトリガバッファ付き MCLR、OSC1 (RC モード) OSC1 (XT、HS、LP の各モード) ポート RC3 および RC4 シュミットトリガバッファ付き SM バス付き	V <sub>IL</sub>				V	全 V <sub>DD</sub> 範囲 4.5V ≤ V <sub>DD</sub> ≤ 5.5V 注意 1 全 V <sub>DD</sub> 範囲 V <sub>DD</sub> = 4.5 - 5.5V
D040 D040A D041 D042 D042A D043 D044 D044A	<b>High レベル入力電圧</b> I/O ポート TTL バッファ付き シュミットトリガバッファ付き MCLR OSC1 (XT、HS、LP) OSC1 (RC モード) ポート RC3 および RC4 シュミットトリガバッファ SM バス	V <sub>IH</sub>				V	4.5V ≤ V <sub>DD</sub> ≤ 5.5V 全 V <sub>DD</sub> 範囲 全 V <sub>DD</sub> 範囲 注意 1 全 V <sub>DD</sub> 範囲 V <sub>DD</sub> = 4.5 - 5.5V
D070	PORTB の弱プルアップ電流	IPURB				μA	V <sub>DD</sub> = 5V, V <sub>PIN</sub> = V <sub>SS</sub>
D060 D061 D063	<b>入力リーク電流</b> (注意 2、3) I/O ポート MCLR、RA4/TOCK1 OSC1	I <sub>IL</sub>	-			μA	V <sub>SS</sub> ≤ V <sub>PIN</sub> ≤ V <sub>DD</sub> , ハイインピーダンスでのピン V <sub>SS</sub> ≤ V <sub>PIN</sub> ≤ V <sub>DD</sub> V <sub>SS</sub> ≤ V <sub>PIN</sub> ≤ V <sub>DD</sub> , XT, HS, LP の各オシレータコンフィグレーション

- \* このパラメータは特性データです。テストはしていません。  
† "Typ" の列のデータは、特に指定のない限り、5.0V、25 °C でテストしています。このパラメータは設計ガイドンスのためのもので、テストはしていません。
- 注意 1: RC オシレータコンフィグレーションでは、OSC1/CLKIN ピンはシュミットトリガ入力です。デバイスが RC モードのときは PIC16F87X を外部クロックとともに使用しないようにしてください。  
2: MCLR ピンのリーク電流は、供給電圧レベルにより大きく変化します。指定したレベルは、通常の動作状態に相当します。異なる供給電圧レベルではリーク電流が高くなる場合があります。  
3: 負の電流は、ピンからの出力と定義されています。

規格値については最新版データシート (英語) を参照してください。

# PIC16F87X

標準動作条件 (特に指定のない場合)							
動作温度            -40      TA    +85      (工業用)							
0      TA    +75      (商業用)							
動作電圧 V <sub>DD</sub> の範囲は第 15.1 項と第 15.2 項の DC 仕様で説明されている通りです。							
パラメータ番号	特性	記号	Min	Typ†	Max	単位	条件
D080	Low レベル入力電圧 I/O ポート	VOL		-		V	I <sub>OL</sub> = 8.5 mA, V <sub>DD</sub> = 4.5V, -40 ~ +85
D080A			-	-	V	I <sub>OL</sub> = 7.0 mA, V <sub>DD</sub> = 4.5V, -40 ~ +125	
D083	OSC2/CLKOUT (RC オシレータコン フィギュレーション)			-		V	I <sub>OL</sub> = 1.6 mA, V <sub>DD</sub> = 4.5V, -40 ~ +85
D083A			-	-	V	I <sub>OL</sub> = 1.2 mA, V <sub>DD</sub> = 4.5V, -40 ~ +125	
D090	High レベル入力電圧 I/O ポート (注意 3)	VOH		-		V	I <sub>OH</sub> = -3.0 mA, V <sub>DD</sub> = 4.5V, -40 ~ +85
D090A			-	-	V	I <sub>OH</sub> = -2.5 mA, V <sub>DD</sub> = 4.5V, -40 ~ +125	
D092	OSC2/CLKOUT (RC オシレータコン フィギュレーション)			-		V	I <sub>OH</sub> = -1.3 mA, V <sub>DD</sub> = 4.5V, -40 ~ +85
D092A			-	-	V	I <sub>OH</sub> = -1.0 mA, V <sub>DD</sub> = 4.5V, -40 ~ +125	
D150*	High レベルオープンドレイン電 圧	V <sub>OD</sub>	-	-		V	RA4 ピン
D100	出力ピンでの負荷容量規格 OSC2 ピン	C <sub>OSC2</sub>	-	-		pF	XT、HS、LP の各モードでは、外部ク ロックを使用して OSC1 を駆動しま す。
D101	すべての I/O ピンと OSC2 (RC モード) I <sup>2</sup> C モードの SCL、SDA	C <sub>IO</sub>	-	-		pF	
D102		C <sub>B</sub>	-	-		pF	
D120	データ EEPROM メモリ 耐久性	E <sub>D</sub>		-	-	E/W	25 at 5V
D121	リード/ライト用 V <sub>DD</sub>	V <sub>DRW</sub>		-		V	EECON を使用したリード/ライト V <sub>min</sub> = min 動作電圧
D122	消去/ライトサイクル時間	T <sub>DEW</sub>	-			ms	
D130	プログラムフラッシュメモリ 耐久性	EP		-	-	E/W	25 at 5V
D131	リード用 V <sub>DD</sub>	V <sub>PR</sub>		-		V	V <sub>min</sub> = min 動作電圧
D132	消去/ライト用 V <sub>DD</sub>	V <sub>PEW</sub>		-		V	ICSP ポートを使用
D132a	消去/ライト用 V <sub>DD</sub>			-		V	EECON を使用したリード/ライト V <sub>min</sub> = min 動作電圧
D133	消去/ライトサイクル時間	T <sub>PEW</sub>	-			ms	

\* このパラメータは特性データです。テストはしていません。

† "Typ" の列のデータは、特に指定のない限り、5.0V、25 でテストしています。このパラメータは設計ガイド  
ランスのためのもので、テストはしていません。

注意 1: RC オシレータコンフィギュレーションでは、OSC1/CLKIN ピンはシュミットトリガ入力です。デバイスが RC モー  
ドのときは PIC16F87X を外部クロックとともに使用しないようにしてください。

2: MCLR ピンのリーク電流は、供給電圧レベルにより大きく変化します。指定したレベルは、通常の動作状態に  
相当します。異なる供給電圧レベルではリーク電流が高くなる場合があります。

3: 負の電流は、ピンからの出力と定義されています。

規格値については最新版データシート (英語) を参照してください。

# PIC16F87X

## 15.4 タイミングパラメータの記号

タイミングパラメータの記号は、次のフォーマットで次のように作られます。

1. TppS2ppS
2. TppS
3. TCC:ST (I<sup>2</sup>C 仕様のみ)
4. Ts (I<sup>2</sup>C 仕様のみ)

<b>T</b>			
F	周波数	T	時間

小文字の記号 (pp) と意味

<b>pp</b>			
cc	CCP1	osc	OSC1
ck	CLKOUT	rd	$\overline{RD}$
cs	$\overline{CS}$	rw	$\overline{RD}$ または $\overline{WR}$
di	SDI	sc	SCK
do	SDO	ss	$\overline{SS}$
dt	データイン	t0	T0CKI
io	I/O ポート	tt	T1CKI
mc	$\overline{MCLR}$	wr	$\overline{WR}$

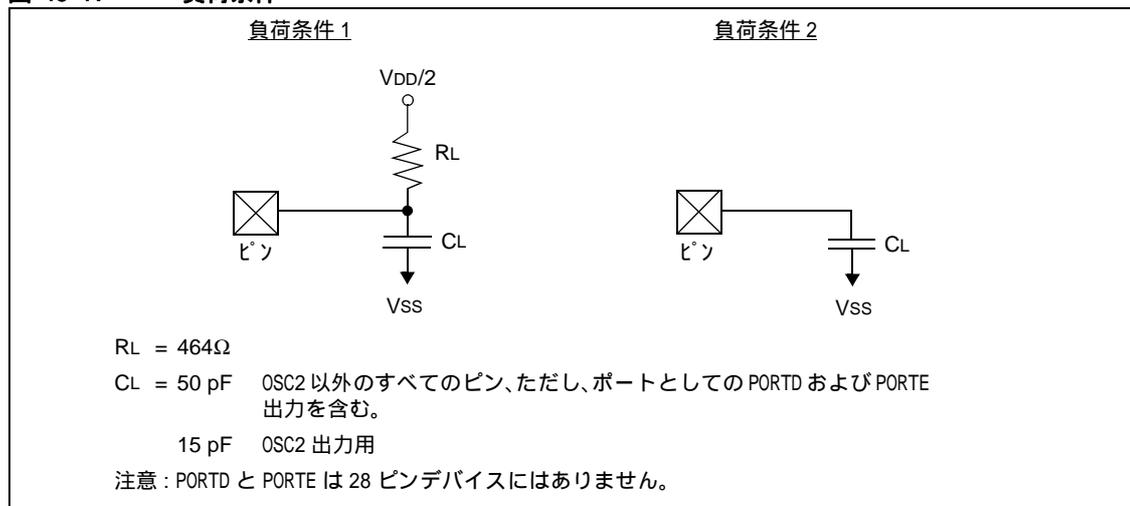
大文字の記号と意味

<b>S</b>			
F	立ち下がり	P	周期
H	High	R	立ち上がり
I	無効 (ハイインピーダンス)	V	有効
L	Low	Z	ハイインピーダンス
<b>I<sup>2</sup>C のみ</b>		High	High
AA	出力アクセス	Low	Low
BUF	バスフリー		

TCC:ST (I<sup>2</sup>C 仕様のみ)

<b>CC</b>			
HD	ホールド	SU	セットアップ
<b>ST</b>		STO	ストップ・コンディション
DAT	データ入力ホールド		
STA	スタート・ゼネラルコールコンディション		

図 15-1: 負荷条件



# PIC16F87X

図 15-2: 外部クロックのタイミング

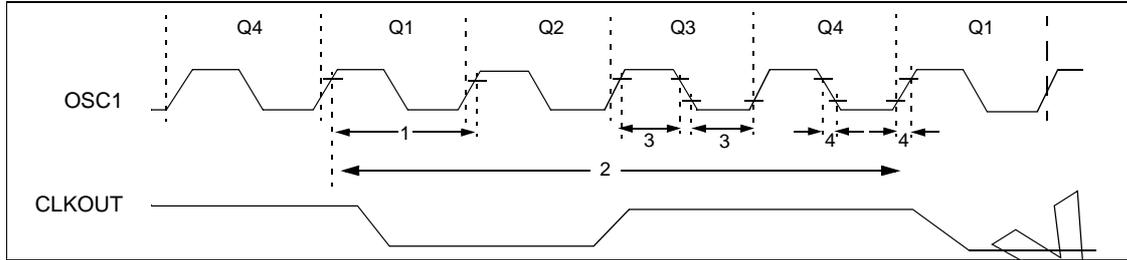


表 15-2 外部クロックのタイミング条件

パラメータ番号	記号	特性	Min	Typ†	Max	単位	条件
	Fosc	外部 CLKIN 周波数 (注意 1)	DC	-	-	MHz	XT および RC オシレータモード
			DC	-	-	MHz	HS オシレータモード (-04)
			DC	-	-	MHz	HS オシレータモード (-20)
			DC	-	-	kHz	LP オシレータモード
		オシレータ周波数 (注意 1)	DC	-	-	MHz	RC オシレータモード
			0.1	-	-	MHz	XT オシレータモード
			4	-	-	MHz	HS オシレータモード
			5	-	-	kHz	LP オシレータモード
1	Tosc	外部 CLKIN 周期 (注意 1)	250	-	-	ns	XT、RC オシレータモード
			250	-	-	ns	HS オシレータモード (-04)
			50	-	-	ns	HS オシレータモード (-20)
			5	-	-	μs	LP オシレータモード
		オシレータ周期 (注意 1)	250	-	-	ns	RC オシレータモード
			250	-	-	ns	XT オシレータモード
			250	-	-	ns	HS オシレータモード (-04)
			50	-	-	ns	HS オシレータモード (-20)
			5	-	-	μs	LP オシレータモード
2	Tcy	命令サイクル時間 (注意 1)	200	Tcy	DC	ns	Tcy = 4/Fosc
3	TosL, TosH	外部クロック・イン (OSC1) High または Low 時間	100	-	-	ns	XT オシレータ
			2.5	-	-	μs	LP オシレータ
			15	-	-	ns	HS オシレータ
4	TosR, TosF	外部クロック・イン (OSC1) High または Low 時間	-	-	-	ns	XT オシレータ
			-	-	-	ns	LP オシレータ
			-	-	-	ns	HS オシレータ

† "Typ" の列のデータは、特に指定のない限り、5.0V、25°C でテストしています。このパラメータは設計ガイドランスのためのもので、テストはしていません。

Note 1: 入力サイクル周期 (Tcy) は入力オシレータ周期の 4 倍になります。規定されたすべての値は、コードを実行しているデバイスを使用して、標準条件下で、オシレータの種類ごとの特性データに基づき決定しました。規定範囲を超えた場合は、オシレータの動作が不安定になったり、予想消費電流を上回ることがあります。すべてのデバイスは OSC1/CLKIN ピンに入力される外部クロックの「最小」値で動作をテストします。外部クロック入力を使用するときは、「最大」サイクルの時間はすべてのデバイスで "DC" (クロックなし) になります。

規格値については最新版データシート (英語) を参照してください。

図 15-3: CLKOUT および I/O のタイミング

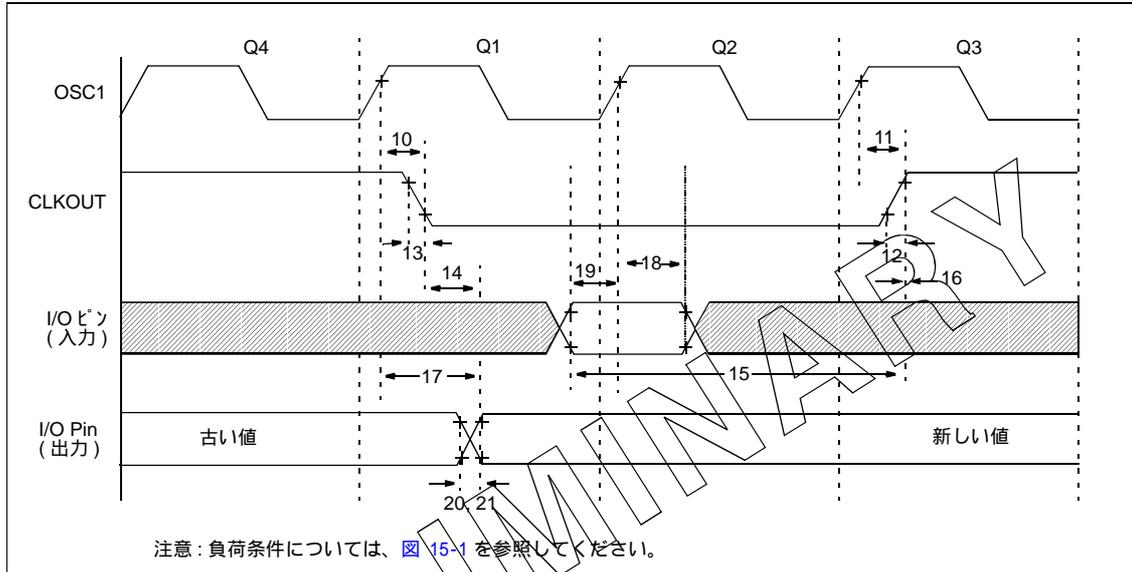


表 15-3 CLKOUT および I/O のタイミング条件

パラメータ番号	記号	特性	Min	Typ†	Max	単位	条件
10*	TosH2ckL	OSC1↑ to CLKOUT↓	-			ns	注意 1
11*	TosH2ckH	OSC1↑ to CLKOUT↑	-			ns	注意 1
12*	TckR	CLKOUT 立ち上がり時間	-			ns	注意 1
13*	TckF	CLKOUT 立ち下がり時間	-			ns	注意 1
14*	TckL2ioV	CLKOUT ↓ ポート出力有効	-	-	-	ns	注意 1
15*	TioV2ckH	CLKOUT ↑ の前にポート入力有効	-	-	-	ns	注意 1
16*	TckH2iol	CLKOUT ↑ の後ポート入力保持	-	-	-	ns	注意 1
17*	TosH2ioV	OSC1↑ (Q1 サイクル) ポート出力有効	-			ns	
18*	TosH2iol	OSC1↑ (Q2 サイクル) ポート入力有効 (I/O 入力保持時間)	標準 (F)	-	-	ns	
			拡張 (LF)	-	-	ns	
19*	TioV2osH	OSC1↑ までポート入力有効 (I/O 入力セットアップ時間)	-	-	-	ns	
20*	TioR	ポート出力立ち上がり時間	標準 (F)	-	-	ns	
			拡張 (LF)	-	-	ns	
21*	TioF	ポート出力立ち下がり時間	標準 (F)	-	-	ns	
			拡張 (LF)	-	-	ns	
22††*	Tinp	INT ピン High または Low 時間	-	-	-	ns	
23††*	Trbp	RB7:RB4 変化割り込み High または Low 時間	-	-	-	ns	

\* このパラメータは特性データです。テストはしていません。

† "Typ" の列のデータは、特に指定のない限り、5.0V、25°C でテストしています。このパラメータは設計ガイダンスのためのもので、テストはしていません。

†† このパラメータは非同期イベントであり、どの内部クロックエッジとも関連がありません。

注意 1: CLKOUT 出力が  $4 \times T_{osc}$ 、RC モードでの計算値です。

規格値については最新版データシート (英語) を参照してください。

# PIC16F87X

図 15-4: リセット、ウォッチドッグタイマ、オシレータスタートアップタイム、およびパワーアップタイムのタイミング

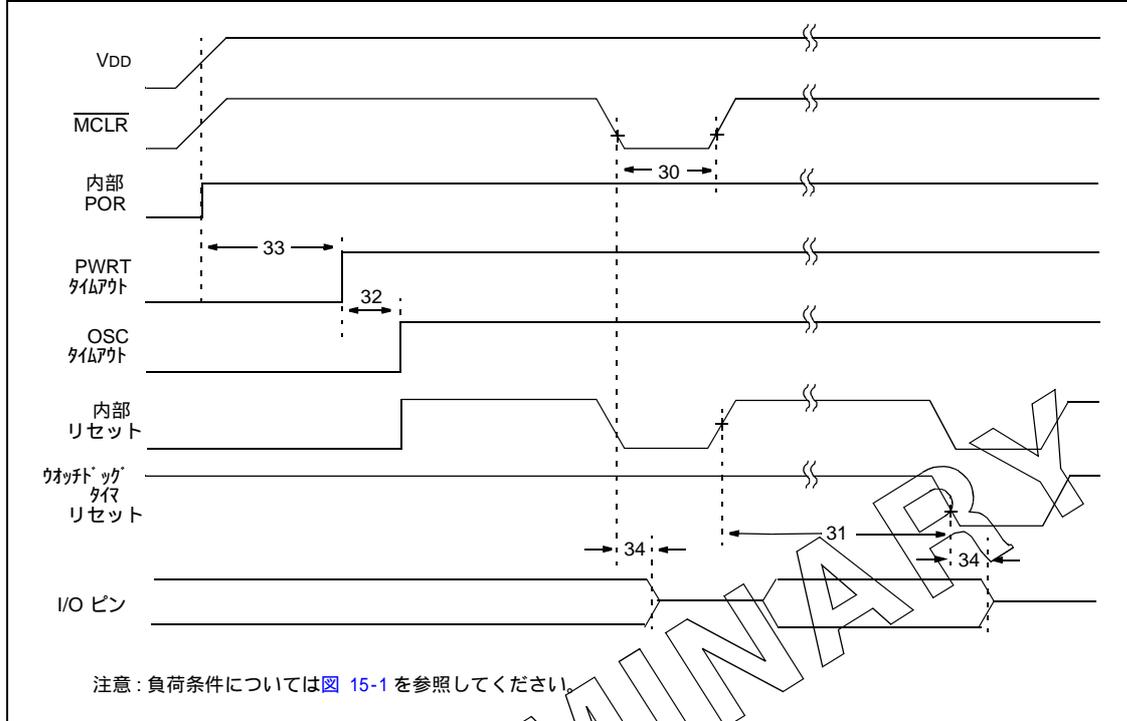


図 15-5: ブラウンアウトリセットのタイミング

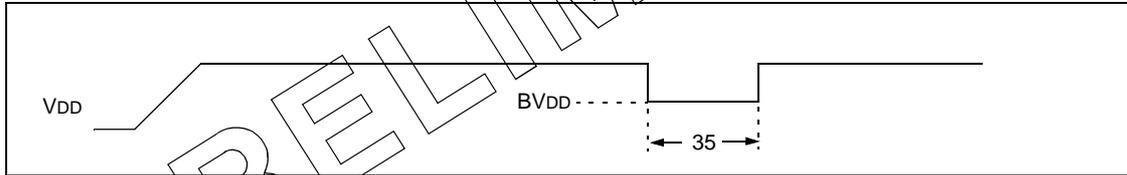


表 15-4: リセット、ウォッチドッグタイマ、オシレータスタートアップタイム、パワーアップタイムおよびブラウンアウトリセットの条件

パラメータ番号	記号	特性	Min	Typ†	Max	単位	条件
30	Tmcl	MCLR パルス幅 (Low)		-	-	μs	VDD = 5V, -40°C ~ +125°C
31*	Twdt	ウォッチドッグタイマタイムアウト周期 (プリスケラなし)				ms	VDD = 5V, -40°C ~ +125°C
32	Tost	オシレータスタートアップタイム周期	-		-	-	Tosc = OSC1 周期
33*	Tpwrt	パワーアップタイム周期				ms	VDD = 5V, -40°C ~ +125°C
34	Tioz	MCLR Low またはウォッチドッグタイマリセットからの I/O ハイインピーダンス	-	-		μs	
35	TBOR	ブラウンアウトリセットパルス幅		-	-	μs	VDD ≤ BVDD (D005)

\* このパラメータは特性データです。テストはしていません。

† "Typ" の列のデータは、特に指定のない限り、5.0V、25 でテストしています。このパラメータは設計ガイダンスのためのもので、テストはしていません。

規格値については最新版データシート (英語) を参照してください。

図 15-6: タイマ0およびタイマ1外部クロックのタイミング

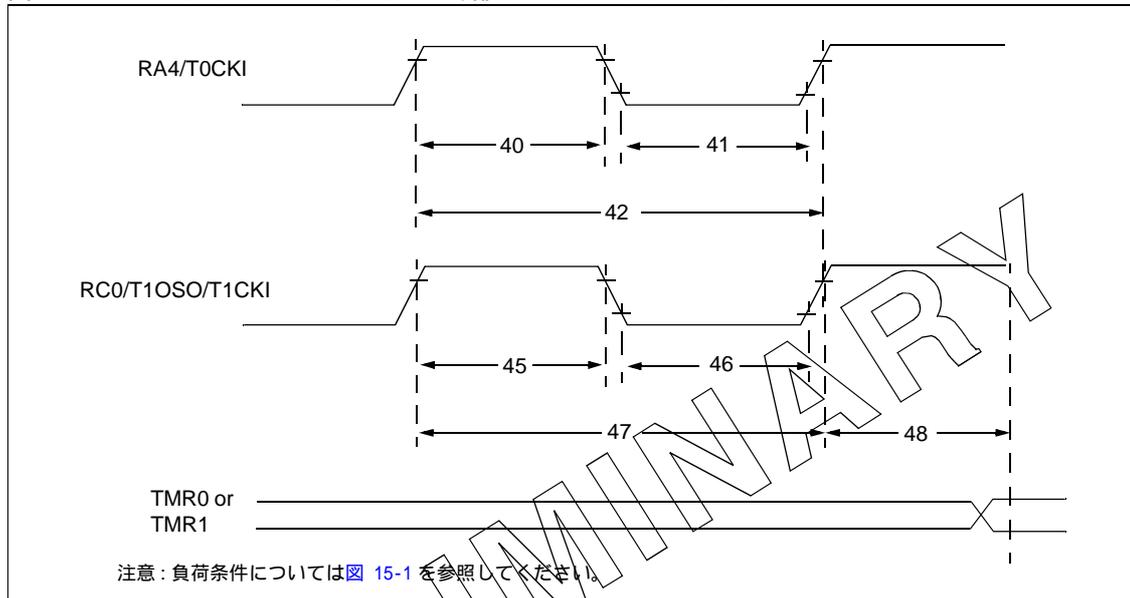


表 15-5 タイマ0およびタイマ1の外部クロック条件

パラメータ番号	記号	特性	Min	Typ†	Max	単位	条件	
40*	Tt0H	T0CKI Highパルス幅		-	-	ns	パラメータ 42 も満たすこと。	
41*	Tt0L	T0CKI Lowパルス幅	プリスケアラなし	-	-	ns	パラメータ 42 も満たすこと。	
			プリスケアラあり	-	-	ns		
42*	Tt0P	T0CKI 周期	プリスケアラなし	-	-	ns	N = プリスケアラ値 (2, 4, ..., 256)	
			プリスケアラあり	-	-	ns		
45*	Tt1H	T1CKI High 時間	同期、プリスケアラ = 1	-	-	ns	パラメータ 47 も満たすこと。	
			同期、プリスケアラ = 2, 4, 8	PIC16F7X	-	-		ns
			非同期	PIC16LF7X	-	-		ns
46*	Tt1L	T1CKI Low 時間	同期、プリスケアラ = 1	-	-	ns	パラメータ 47 も満たすこと。	
			同期、プリスケアラ = 2, 4, 8	PIC16F7X	-	-		ns
			非同期	PIC16LF7X	-	-		ns
47*	Tt1P	T1CKI 入力周期	同期	PIC16F7X	-	-	ns	N = プリスケアラ値 (1, 2, 4, 8)
				PIC16LF7X	-	-	ns	N = プリスケアラ値 (1, 2, 4, 8)
			非同期	PIC16F7X	-	-	ns	
						ns		
	Ft1	タイマ1 オシレータ入力周波数範囲 (オシレータはビット T10SCEN をセットすると動作します。)		-		kHz		

規格値については最新版データシート (英語) を参照してください。

# PIC16F87X

パラメータ番号	記号	特性	Min	Typ†	Max	単位	条件
48	TCKEZtmr1	外部クロックエッジからタイマのインクリメントまでの遅延		-		-	

\* このパラメータは特性データです。テストはしていません。

† "Typ" の列のデータは、特に指定のない限り、5.0V、25 でテストしています。このパラメータは設計ガイダンスのためのもので、テストはしていません。

図 15-7: キャプチャ/コンペア/PWMのタイミング (CCP1 および CCP2)

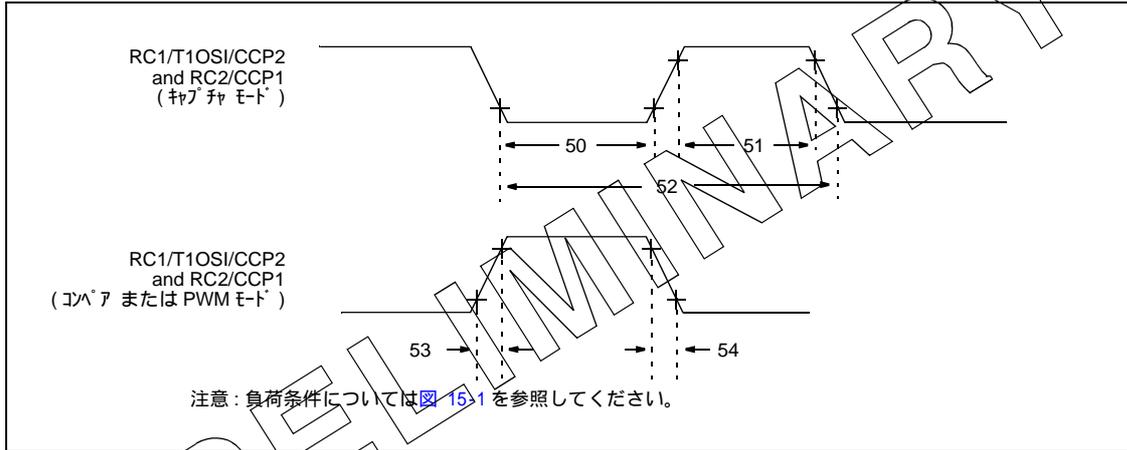


表 15-6 キャプチャ/コンペア/PWMの条件 (CCP1 および CCP2)

パラメータ番号	記号	特性	Min	Typ†	Max	単位	条件		
50*	TccL	CCP1 および CCP2 入力 Low 時間	プリスケールなし		-	-	ns		
			プリスケールあり	標準 (F)		-	-		ns
				拡張 (LF)		-	-		ns
51*	TccH	CCP1 および CCP2 入力 High 時間	プリスケールなし		-	-	ns		
			プリスケールあり	標準 (F)		-	-		ns
				拡張 (LF)		-	-		ns
52*	TccP	CCP1 および CCP2 入力周期		-	-	ns	N = プリスケール値 (1、4 または 16)		
53*	TccR	CCP1 および CCP2 出力立ち上がり時間	標準 (F)	-			ns		
			拡張 (LF)	-			ns		
54*	TccF	CCP1 および CCP2 出力立ち下がり時間	標準 (F)	-			ns		
			拡張 (LF)	-			ns		

\* このパラメータは特性データです。テストはしていません。

† "Typ" の列のデータは、特に指定のない限り、5.0V、25 でテストしています。このパラメータは設計ガイダンスのためのもので、テストはしていません。

規格値については最新版データシート (英語) を参照してください。

図 15-8: パラレルスレーブポートのタイミング (40 ピンデバイスのみ)

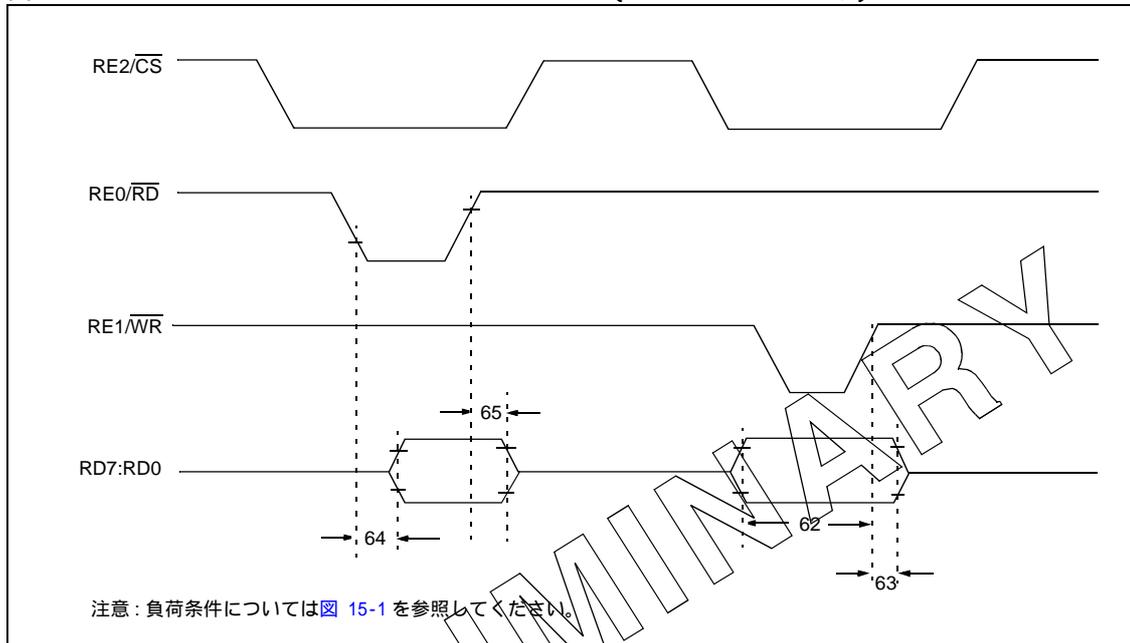


表 15-7 パラレルスレーブポートの条件 (40 ピンデバイスのみ)

パラメータ番号	記号	特性	Min	Typ†	Max	単位	条件
62	TdtV2wrH	WR または CS (セットアップ時間) 前にデータ入力有効		-	-	ns	拡張範囲のみ
				-	-	ns	
63*	TjwrH2dtH	データ入力無効 (ホールド時間) まで WR 標準 (F) または CS 拡張 (LF)		-	-	ns	
64	TrdL2dtV	データ出力有効まで RD および CS	-	-		ns	拡張範囲のみ
			-	-		ns	
65	TrdH2dtI	データ出力無効まで RD または CS		-		ns	

\* このパラメータは特性データです。テストはしていません。

† Typ" の列のデータは、特に指定のない限り、5.0V、25 でテストしています。このパラメータは設計ガイダンスのためのもので、テストはしていません。

規格値については最新版データシート (英語) を参照してください。

# PIC16F87X

図 15-9: SPI マスターモードのタイミング (CKE = 0)

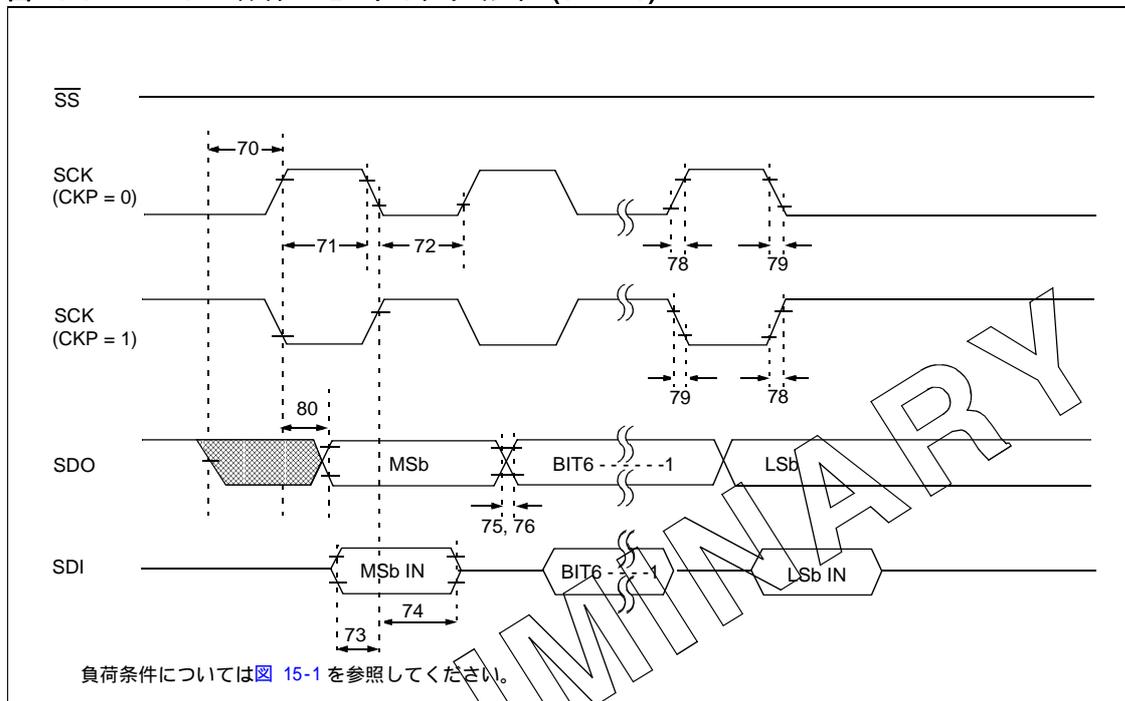
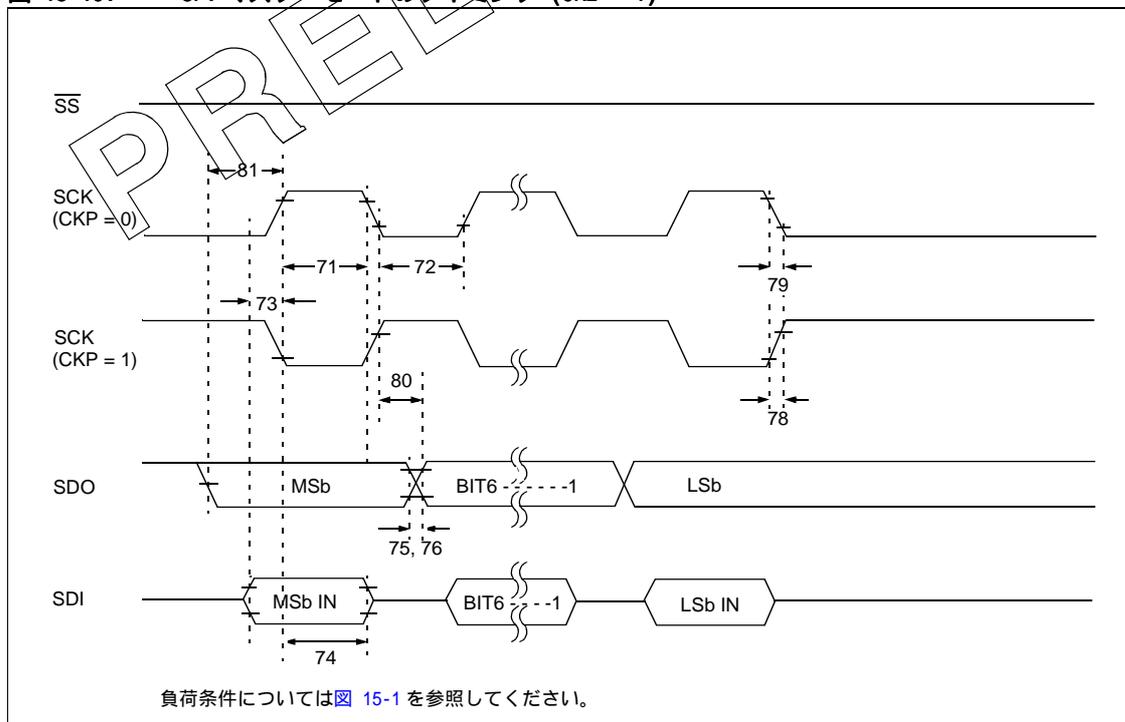


図 15-10: SPI マスターモードのタイミング (CKE = 1)



規格値については最新版データシート (英語) を参照してください。

図 15-11: SPI スレーブモードのタイミング (CKE = 0)

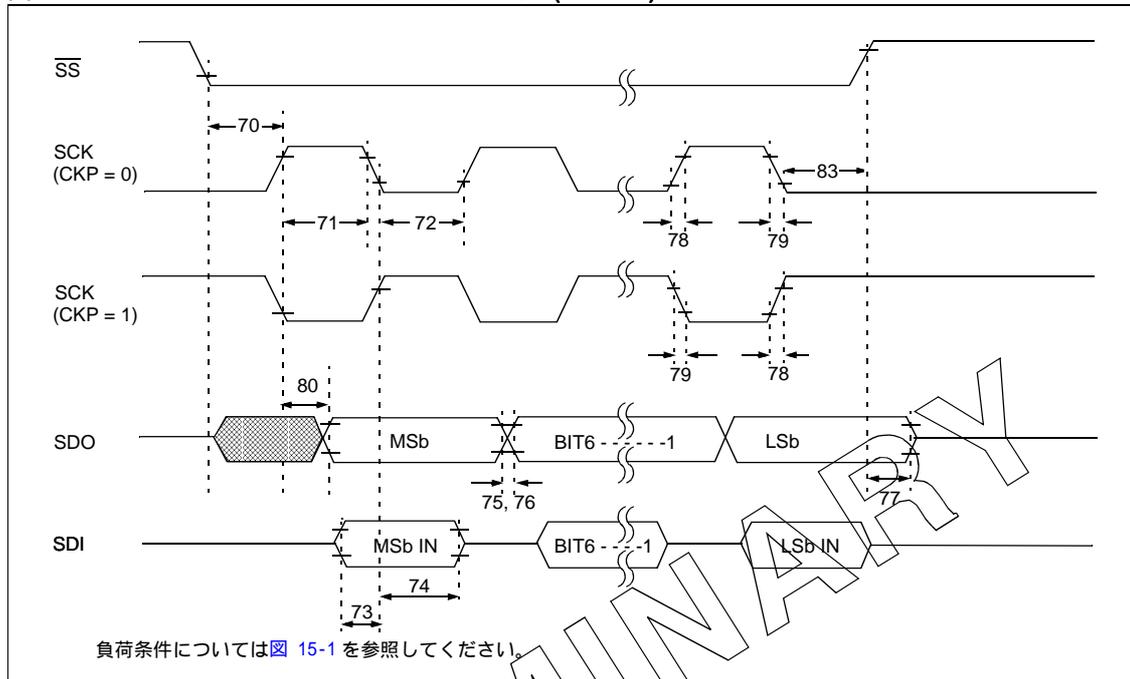
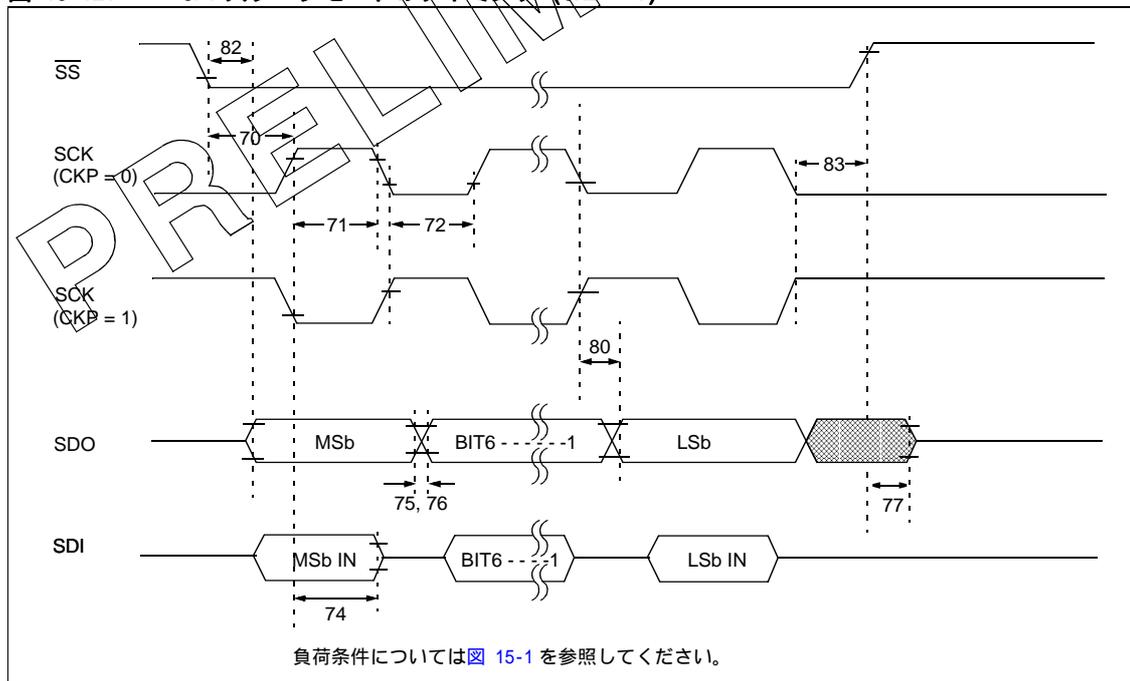


図 15-12: SPI スレーブモードのタイミング (CKE = 1)



規格値については最新版データシート (英語) を参照してください。

# PIC16F87X

表 15-8 SPI モードの条件

パラメータ番号	記号	特性	Min	Typ†	Max	単位	条件
70*	Tssl2scH, Tssl2scL	SS↓ から SCK↓ または SCK↑ 入力		-	-	ns	
71*	TscH	SCK 入力 High 時間 (スレーブモード)		-	-	ns	
72*	TscL	SCK 入力 Low 時間 (スレーブモード)		-	-	ns	
73*	TdiV2scH, TdiV2scL	SCK エッジまでの SDI データ入力セットアップ時間		-	-	ns	
74*	Tsch2diL, TscL2diL	SCK エッジまでの SDI データ入力ホールド時間		-	-	ns	
75*	TdoR	SDO データ出力立ち上がり時間	-			ns	
76*	TdoF	SDO データ出力立ち下がり時間	-			ns	
77*	TssH2doZ	SDO 出力ハイインピーダンスまでの SS↑				ns	
78*	TscR	SCK 出力立ち上がり時間 (マスターモード)	-			ns	
79*	TscF	SCK 出力立ち下がり時間 (マスターモード)	-			ns	
80*	Tsch2doV, TscL2doV	SCK エッジ後の SDO データ出力有効	-	-	-	ns	
81*	TdoV2scH, TdoV2scL	SCK エッジまでの SDO データ出力セットアップ		-	-	ns	
82*	Tssl2doV	SS↓ エッジ後の SDO データ出力有効	-	-	-	ns	
83*	Tsch2ssH, TscL2ssH	SCK エッジ後の SS↑		-	-	ns	

\* このパラメータは特性データです。テストはしていません。

† Typ<sup>†</sup> の列のデータは、特に指定のない限り、5.0V、25 °C でテストしています。このパラメータは設計ガイダンスのためのもので、テストはしていません。

図 15-13: I<sup>2</sup>C バススタート/ストップビットのタイミング

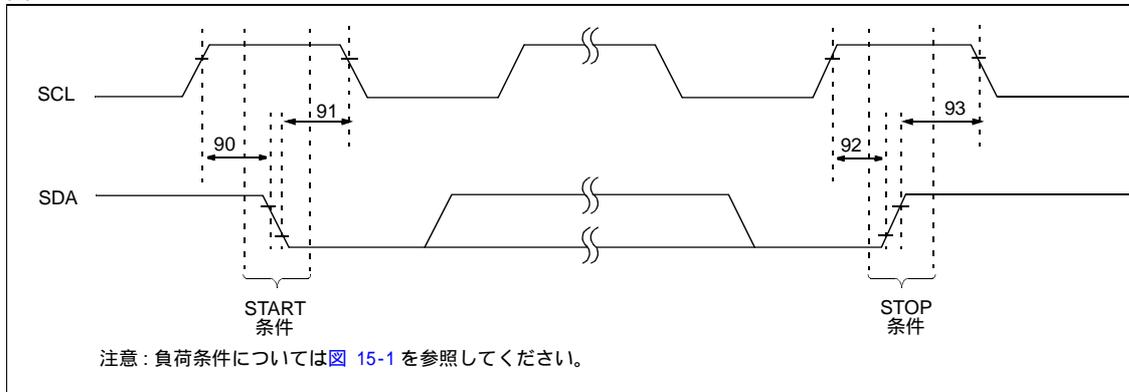


表 15-9 I<sup>2</sup>C バススタート/ストップビットの条件

パラメータ番号	記号	特性	Min	Typ	Max	単位	条件
90	TSU:STA	スタートコンディション セットアップ時間	100kHz モード	-	-	ns	スタートコンディションのみに 関連する
			400kHz モード	-	-		
91	THD:STA	スタートコンディション ホールド時間	100kHz モード	-	-	ns	この期間の後に最初のクロック パルスが発生する
			400kHz モード	-	-		
92	TSU:STO	ストップコンディション セットアップ時間	100kHz モード	-	-	ns	
			400kHz モード	-	-		
93	THD:STO	ストップコンディション ホールド時間	100kHz モード	-	-	ns	
			400kHz モード	-	-		

規格値については最新版データシート (英語) を参照してください。

図 15-14: I<sup>2</sup>C バスデータのタイミング

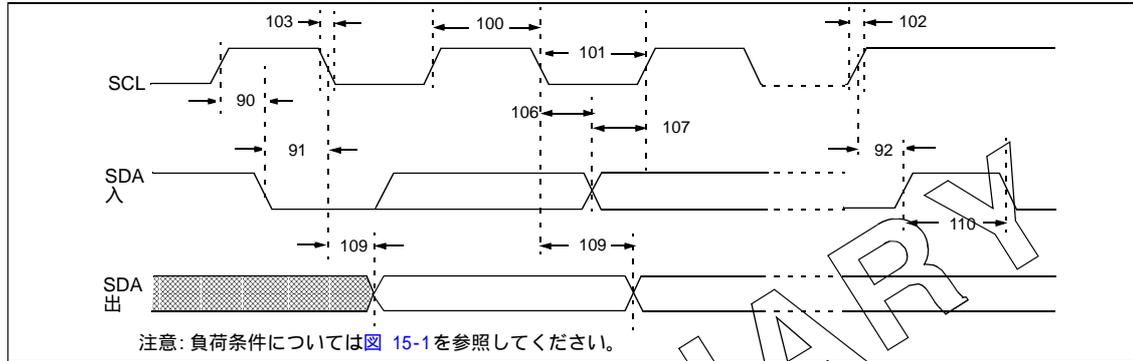


表 15-10 I<sup>2</sup>C バスデータの条件

パラメータ番号	記号	特性	Min	Max	単位	条件
100	THIGH	クロック High 時間	100kHz モード	—	μs	デバイスは最低 1.5MHz で動作する必要がある。
			400kHz モード	—	μs	デバイスは最低 10MHz で動作する必要がある。
			SSP モジュール	—	—	
101	TLOW	クロック Low 時間	100kHz モード	—	μs	デバイスは最低 1.5MHz で動作する必要がある。
			400kHz モード	—	μs	デバイスは最低 10MHz で動作する必要がある。
			SSP モジュール	—	—	
102	TR	SDA および SCL 立ち上がり時間	100kHz モード	—	ns	Cb の指定範囲は、10 ~ 400pF
			400kHz モード	—	ns	
103	TF	SDA および SCL 立ち下がり時間	100kHz モード	—	ns	Cb の指定範囲は、10 ~ 400pF
			400kHz モード	—	ns	
90	TSU:STA	スタートコンディショニングセットアップ時間	100kHz モード	—	μs	繰り返しスタートコンディショニングのみに関連
			400kHz モード	—	μs	
91	THD:STA	スタートコンディショニングホールド時間	100kHz モード	—	μs	この期間の後に最初のクロックパルスが発生する。
			400kHz モード	—	μs	
106	THD:DAT	データ入力ホールド時間	100kHz モード	—	ns	
			400kHz モード	—	μs	
107	TSU:DAT	データ入力セットアップ時間	100kHz モード	—	ns	注意 2
			400kHz モード	—	ns	
92	TSU:STO	ストップコンディショニングセットアップ時間	100kHz モード	—	μs	
			400kHz モード	—	μs	
109	TAA	クロックからの出力有効	100kHz モード	—	ns	注意 1
			400kHz モード	—	ns	
110	TBUF	バスフリー時間	100kHz モード	—	μs	新規送信の開始前にバスがフリーでなければならない時間
			400kHz モード	—	μs	
	Cb	バス容量性負荷	—	—	pF	

注意 1: トランスミッターとして、デバイスは望まないスタートおよびストップコンディショニングの発生を防ぐために、この最小内部遅延時間を供給して、SCL の立ち下がりエッジの未定義の領域 (min. 300 ns) をブリッジする必要があります。  
 注意 2: 高速モード (400kHz) では、I<sup>2</sup>C バスデバイスを標準モード (100 kHz) の I<sup>2</sup>C バスシステムに使用できますが、tsu の条件 (DAT ≥ 250 ns) は必ず満たさなければなりません。これは、デバイスが SCL 信号の LOW 周期を延長しない場合は自動的に適用されます。このようなデバイスが SCL 信号の LOW 周期を延長する場合、SCL ラインがリリースされる前に (標準モードの I<sup>2</sup>C バスの仕様に従って) デバイスは SDA ライン (Tr max.+tsu;DAT = 1000 + 250 = 1250 ns) の次のデータビットを出力する必要があります。

規格値については最新版データシート (英語) を参照してください。

# PIC16F87X

FIGURE 15-15: USART 同期送信 (マスター/スレーブ) のタイミング

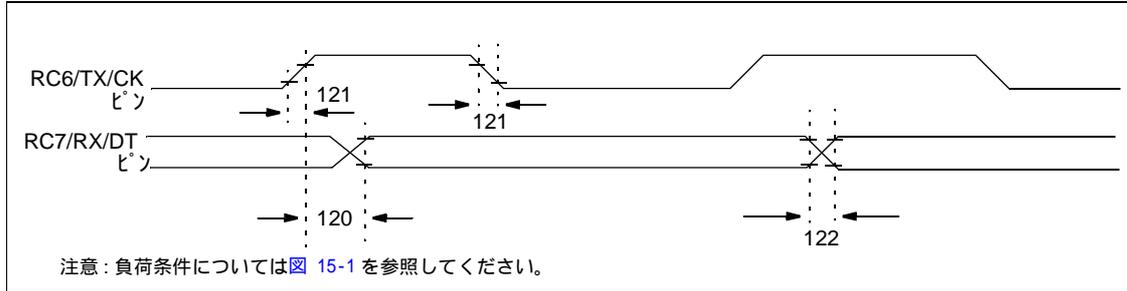


表 15-11 USART 同期送信の条件

パラメータ番号	記号	特性	Min	Typ†	Max	単位	条件
120	TckH2dtV	同期送信 (マスター&スレーブ)	標準 (F)	-	-	ns	
		データ出力有効までクロック High	拡張 (LF)	-	-	ns	
121	Tckrf	クロック出力立ち上がり時間および立ち下がり時間 (マスターモード)	標準 (F)	-	-	ns	
			拡張 (LF)	-	-	ns	
122	TdtVf	データ出力立ち上がり時間および立ち下がり時間	標準 (F)	-	-	ns	
			拡張 (LF)	-	-	ns	

†: "Typ" の列のデータは、特に指定のない限り、5.0V、25 でテストしています。このパラメータは設計ガイダンスのためのもので、テストはしていません。

図 15-16: USART 同期受信 (マスター/スレーブ) のタイミング

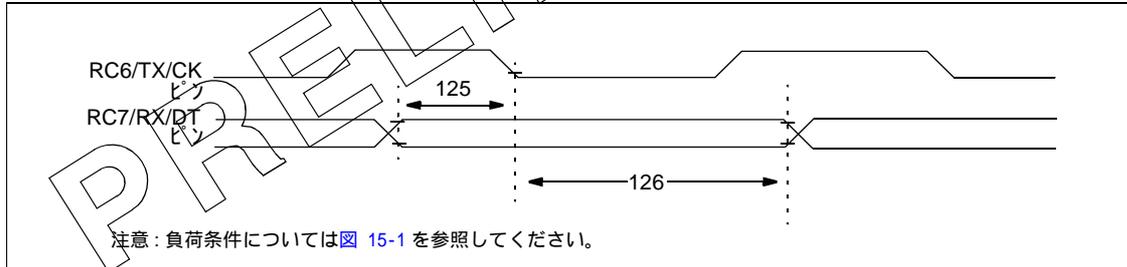


表 15-12 USART 同期受信の条件

パラメータ番号	記号	特性	Min	Typ†	Max	単位	条件
125	TdtV2ckL	同期受信 (マスター&スレーブ) CK ↓ の前のデータセットアップ (DT セットアップ時間)		-	-	ns	
126	TckL2dtI	CK ↓ の後のデータホールド (DT ホールド時間)		-	-	ns	

†: "Typ" の列のデータは、特に指定のない限り、5.0V、25 でテストしています。このパラメータは設計ガイダンスのためのもので、テストはしていません。

規格値については最新版データシート (英語) を参照してください。

# PIC16F87X

表 15-13 アクノリッジスタートコンディション PIC16F873/874/876/877-04 ( 商業用、工業用 )  
 PIC16F873/874/876/877-20 ( 商業用、工業用 )  
 PIC16LF873/874/876/877-04 ( 商業用、工業用 )

パラメータ番号	記号	特性	Min	Typ†	Max	単位	条件
A01	NR	分解能	-	-	-	bit	$V_{REF} = V_{DD} = 5.12V$ , $V_{SS} \leq V_{AIN} \leq V_{REF}$
A03	EIL	積分線形エラー	-	-	-	LSb	$V_{REF} = V_{DD} = 5.12V$ , $V_{SS} \leq V_{AIN} \leq V_{REF}$
A04	EDL	微分線形エラー	-	-	-	LSb	$V_{REF} = V_{DD} = 5.12V$ , $V_{SS} \leq V_{AIN} \leq V_{REF}$
A06	EOFF	オフセットエラー	-	-	-	LSb	$V_{REF} = V_{DD} = 5.12V$ , $V_{SS} \leq V_{AIN} \leq V_{REF}$
A07	EGN	利得エラー	-	-	-	LSb	$V_{REF} = V_{DD} = 5.12V$ , $V_{SS} \leq V_{AIN} \leq V_{REF}$
A10	—	単調性	-	-	-	—	$V_{SS} \leq V_{AIN} \leq V_{REF}$
A20	VREF	リファレンス電圧 ( $V_{REF+}$ , $V_{REF-}$ )	-	-	-	V	絶対最小電気特性。 10ビット精度確保のため。
A21	$V_{REF+}$	リファレンス電圧 High	-	-	-	V	
A22	$V_{REF-}$	リファレンス電圧 Low	-	-	-	V	
A25	$V_{AN}$	アナログ入力電圧	-	-	-	V	
A30	ZAIN	アナログ入力ソースの推奨インピーダンス	-	-	-	k $\Omega$	
A40	IAD	A/D 変換電流 ( $V_{DD}$ )	標準	-	-	$\mu A$	A/D 変換 ON 時の平均消費電流 (注意 1)
			拡張	-	-	$\mu A$	
A50	IREF	VREF 入力電流 (注意 2)	-	-	-	$\mu A$	VAIN 獲得中 CHOLD 充電のための $V_{HOLD}$ の VAIN との差。10.1 項を参照の こと。
			-	-	-	$\mu A$	A/D 変換サイクル中

\* このパラメータは特性データです。テストはしていません。

† "Typ" の列のデータは、特に指定のない限り、5.0V、25 でテストしています。このパラメータは設計ガイダンスのためのもので、テストはしていません。

注意 1: A/D 変換がオフのときは、微少なリーク電流以外の電流は消費しません。

パワーダウン電流の仕様には上記のような A/D モジュールからのリーク電流が含まれます。

2: VREF 電流は RA3 ピンまたは  $V_{DD}$  からのものです。どちらもリファレンス入力として選択します。

規格値については最新版データシート ( 英語 ) を参照してください。

# PIC16F87X

図 15-17: A/D 変換のタイミング

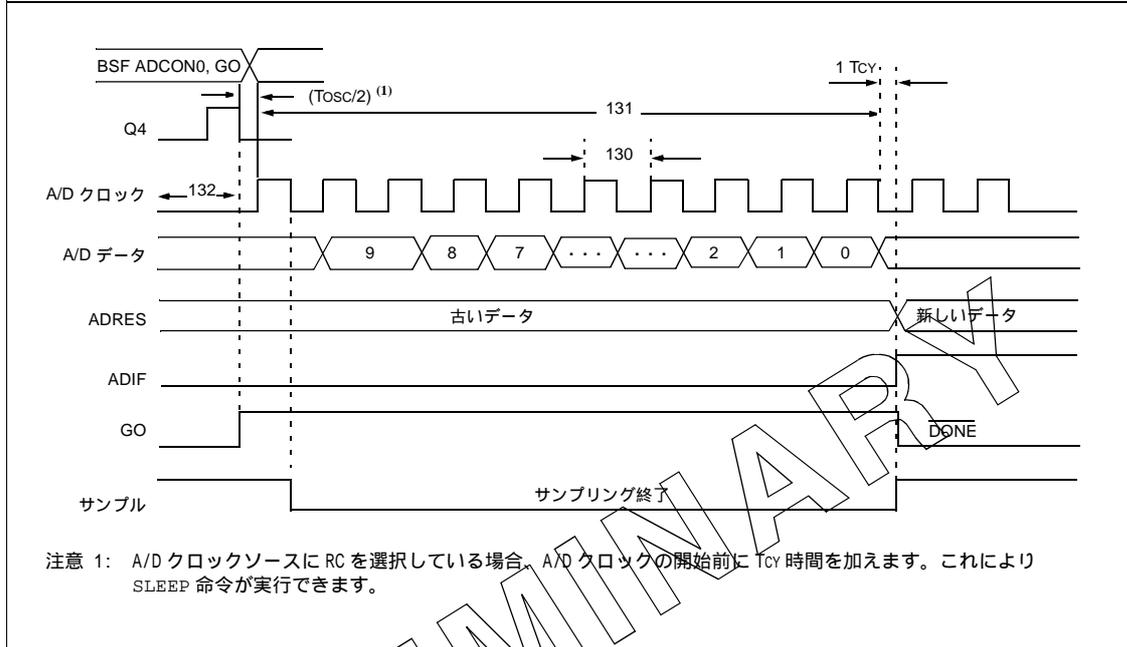


表 15-14 A/D 変換の条件

パラメータ番号	記号	特性		Min	Typ†	Max	単位	条件
130	TAD	A/D クロック周期	標準 (F)		—	—	μs	TOSC ベース、VREF 3.0V
			拡張 (LF)		—	—	μs	TOSC ベース、VREF 全範囲
			標準 (F)				μs	A/D RC モード
			拡張 (LF)				μs	A/D RC モード
131	TCNV	変換時間 (S/H 時間は含まない) (注意 1)		—		TAD		
132	TACQ	アキュイジション時間			—	—	μs	最小時間はアンプの安定時間です。この時間を使用するのは、(CHOLD で述べたように)「新規」入力電圧が最後にサンプルされた電圧から 1LSb (20.0mV, @ 5.12V) 以上変わらなかった場合です。
							μs	
134	TGO	A/D クロックスタートまでの Q4		—	—	—		A/D クロックソースに RC を選択している場合、A/D クロックの開始前に Tcy 時間を加えます。これにより SLEEP 命令が実行できます。

\* このパラメータは特性データです。テストはしていません。

† "Typ" の列のデータは、特に指定のない限り、5.0V、25 °C でテストしています。このパラメータは設計ガイダンスのためのもので、テストはしていません。

§ この仕様は設計により確認します。

注意 1: Tcy サイクルの後に ADRES レジスタをリードする場合があります。

2: 最低条件については、10.1 項を参照してください。

規格値については最新版データシート (英語) を参照してください。

## 16.0 DC および AC 特性 - グラフと表

この章に規定したグラフと表は設計ガイダンスを示すためのもので、テストはしていません。

いくつかのグラフと表では、データが規定の動作範囲から外れているものもあります。(例えば規定  $V_{DD}$  範囲外)。これは参考のためで、デバイスは規定の範囲内に限り正常に動作しています。

この章のデータは一定期間にわたってロットの異なる製品から採集したデータの統計をまとめたものです。‘Typical’ は 25 での平均を示し、‘max’ や ‘min’ はそれぞれ全温度範囲で(平均 + 3 )(平均 - 3 )を表します。( は標準偏差)。

今回、グラフと表はありません。

# PIC16F87X

---

NOTES:

## 17.0 パッケージ

### 17.1 パッケージマーキング

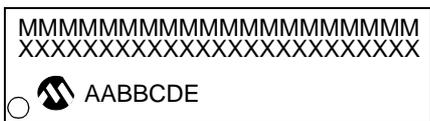
28-Lead PDIP (Skinny DIP)



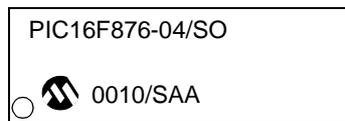
例



28-Lead SOIC



例



<b>凡例:</b>	MM...M	マイクロチップ製品番号
	XX...X	ユーザー情報 *
	AA	年 (西暦の下 2 桁)
	BB	週 (1 月の第 1 週は '01' 週)
	C	ウェハーが製造された工場コード
	O	外部ベンダー
	C = 5"	ライン
	S = 6"	ライン
	H = 8"	ライン
	D	マスキング番号
	E	部品が組み立てられた工場または地域のアセンブリコード
<b>注意:</b>	マイクロチップ製品番号を 1 行で表示できない場合は、次の行にまたがる ことがあります。この場合、ユーザー情報に使用できる文字数が制限されます。	

\* 標準 OTP マーキングは、マイクロチップ製品番号、年コード、週コード、工場コード、マスキング番号、およびアセンブリコードで構成されます。これを超える OTP マーキングについては、追加料金が加算されます。販売代理店にお問い合わせください。QTP デバイスについては、特別マーキングの追加料金が QTP 価格に含まれています。

# PIC16F87X

## パッケージマーキング ( 続き )

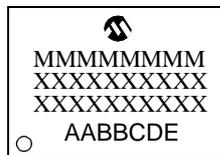
40-Lead PDIP



例



44-Lead TQFP



例



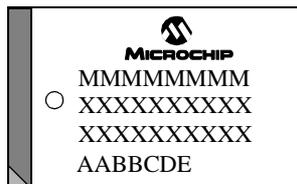
44-Lead MQFP



例



44-Lead PLCC

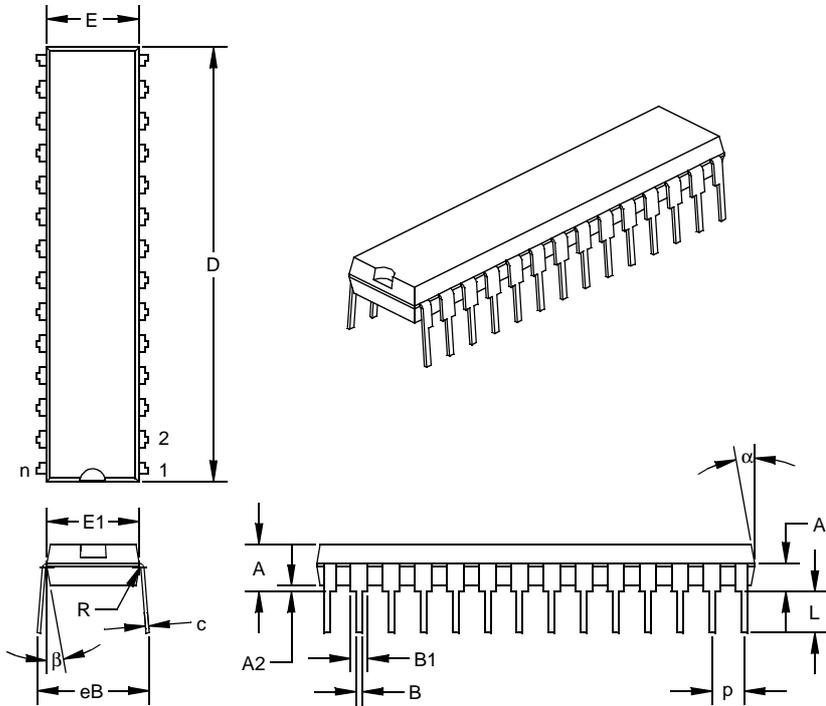


例



# PIC16F87X

## 17.2 K04-070 28-Lead Skinny Plastic Dual In-line (SP) – 300 mil



単位		インチ*			ミリメートル		
		最小	通常	最大	最小	通常	最大
寸法のリミット							
PCB 列スペース							
ピンの数	n						
ピッチ	p						
下部リード幅	B						
上部リード幅	B1†						
Shoulder Radius	R						
リードの厚さ	c						
最上部から まで	A						
リードの最上部から まで	A1						
ベースから まで	A2						
ティップから まで	L						
パッケージの長さ	D‡						
モールドパッケージ幅	E‡						
Radius から Radius までの幅	E1						
列全体の幅	eB						
モールドの上部傾斜角度	α						
モールドの下部傾斜角度	β						

\* コントロールパラメータ

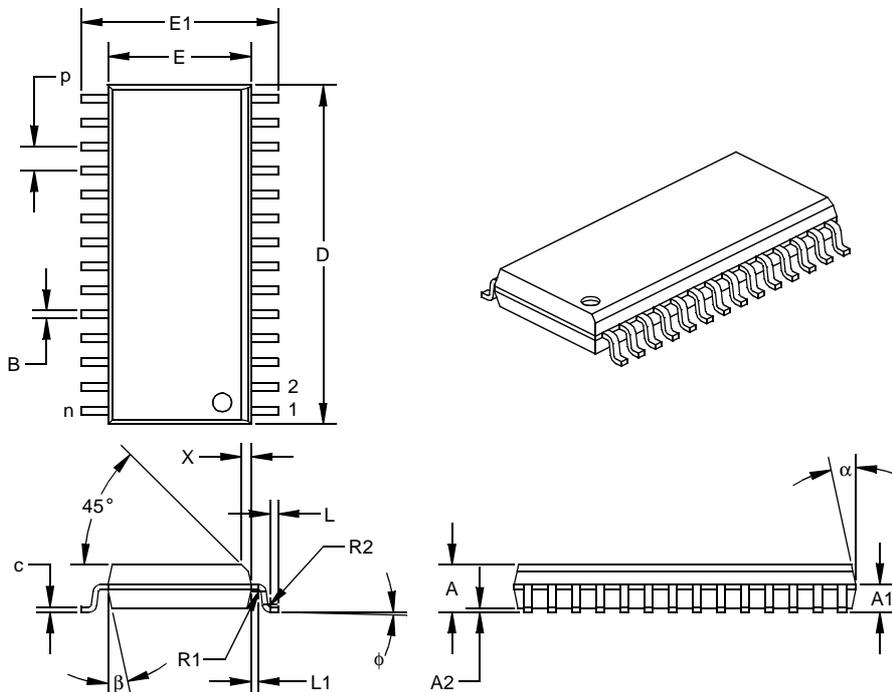
† "B1" には DAM バーの突出部は含まれません。DAM バーの突出部は、片側 0.003" (0.076mm) または "B1" の寸法より 0.006" (0.152mm) を超えません。

‡ "D" および "E" にはモールドフラッシュまたは突出部は含まれません。モールドフラッシュまたは突出部は片側 0.010" (0.254mm) または "D" や "E" の寸法より 0.020" (0.508mm) を超えません。

規格値については最新版データシート（英語）を参照してください。

# PIC16F87X

## 17.3 K04-052 28-Lead Plastic Small Outline (SO) – Wide, 300 mil



単位		インチ*			ミリメートル		
		最小	通常	最大	最小	通常	最大
寸法のリミット							
ピッチ	p						
ピン数	n						
全パッケージの高さ	A						
Shoulder の高さ	A1						
スタンドオフ	A2						
モールドパッケージの長さ	D†						
モールドパッケージの幅	E‡						
外部寸法	E1						
Chamfer の距離	X						
Shoulder Radius	R1						
Gull Wing Radius	R2						
足の長さ	L						
足の角度	φ						
Radius センターライン	L1						
リードの厚さ	c						
下部リードの幅	B†						
モールドの上部傾斜角度	α						
モールドの下部傾斜角度	β						

\* コントロールパラメータ

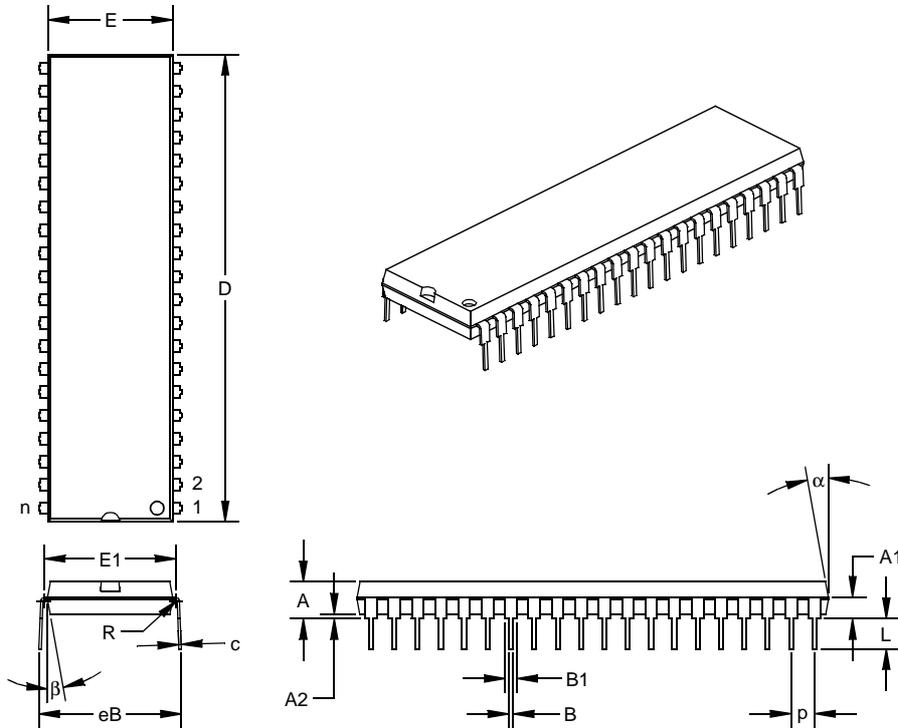
† "B1" には DAM バーの突出部は含まれません。DAM バーの突出部は、片側 0.003" (0.076mm) または "B1" の寸法より 0.006" (0.152mm) を超えません。

‡ "D" および "E" にはモールドフラッシュまたは突出部は含まれません。モールドフラッシュまたは突出部は片側 0.010" (0.254mm) または "D" や "E" の寸法より 0.020" (0.508mm) を超えません。

規格値については最新版データシート（英語）を参照してください。

# PIC16F87X

## 17.4 K04-016 40-Lead Plastic Dual In-line (P) – 600 mil



単位		インチ*			ミリメートル		
		最小	通常	最大	最小	通常	最大
寸法のリミット							
PCB 列スペース							
ピンの数	n						
ピッチ	p						
下部リード幅	B						
上部リード幅	B1†						
Shoulder Radius	R						
リードの厚さ	c						
最上部から まで	A	0.110					
リードの最上部から まで	A1	0.073					
ベースから まで	A2	0.020					
ティップから まで	L	0.125					
パッケージの長さ	D‡	2.013					
モールドパッケージ幅	E‡	0.530					
Radius から Radius までの幅	E1	0.545					
列全体の幅	eB	0.630					
モールドの上部傾斜角度	α	5					
モールドの下部傾斜角度	β	5					

\* コントロールパラメータ

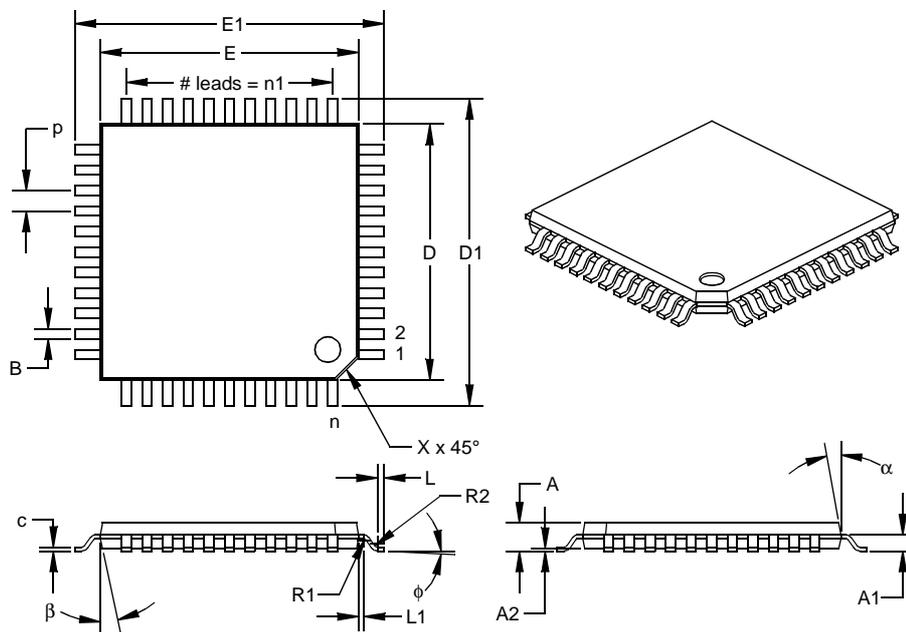
† "B1" には DAM バーの突出部は含まれません。DAM バーの突出部は、片側 0.003" (0.076mm) または "B1" の寸法より 0.006" (0.152mm) を超えません。

‡ "D" および "E" にはモールドフラッシュまたは突出部は含まれません。モールドフラッシュまたは突出部は片側 0.010" (0.254mm) または "D" や "E" の寸法より 0.020" (0.508mm) を超えません。

規格値については最新版データシート（英語）を参照してください。

# PIC16F87X

## 17.5 K04-076 44-Lead Plastic Thin Quad Flatpack (PT) 10x10x1 mm Body, 1.0/0.1 mm Lead Form



単位		インチ			ミリメートル*		
		最小	通常	最大	最小	通常	最大
寸法のリミット							
ピッチ	p						
ピン数	n						
一辺のピン配列幅	n1						
Overall Pack. Height	A						
Shoulder Height	A1						
スタンドオフ	A2						
Shoulder Radius	R1						
Gull Wing Radius	R2						
足の長さ	L						
足の角度	φ						
Radius センターライン	L1						
リードの厚さ	c						
下部リード幅	B†						
チップの端から端の長さ	D1						
Outside Tip Width	E1						
Molded Pack. Length	D‡						
Molded Pack. Width	E‡						
Pin 1 Corner Chamfer	X						
モールドの上部傾斜角度	α						
モールドの下部傾斜角度	β						

\* コントロールパラメータ

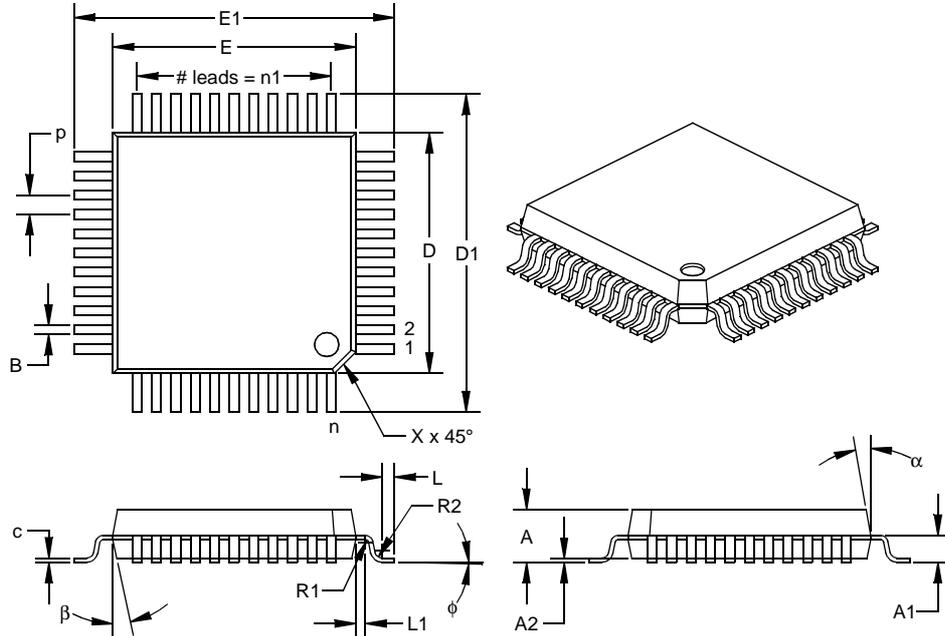
† "B1" には DAM バーの突出部は含まれません。DAM バーの突出部は、片側 0.003" (0.076mm) または "B1" の寸法より 0.006" (0.152mm) を超えません。

‡ "D" および "E" にはモールドフラッシュまたは突出部は含まれません。モールドフラッシュまたは突出部は片側 0.010" (0.254mm) または "D" や "E" の寸法より 0.020" (0.508mm) を超えません。

規格値については最新版データシート (英語) を参照してください。

# PIC16F87X

## 17.6 K04-071 44-Lead Plastic Quad Flatpack (PQ) 10x10x2 mm Body, 1.6/0.15 mm Lead Form



単位	寸法のリミット	インチ			ミリメートル*		
		最小	通常	最大	最小	通常	最大
	ピッチ	p	0.031				
	ピンの数	n	44				
	一辺のピン配列幅	n1					
	Overall Pack. Height	A					
	Shoulder Height	A1					
	スタンドオフ	A2					
	Shoulder Radius	R1					
	Gull Wing Radius	R2					
	足の長さ	L					
	Foot Angle	$\phi$					
	Radius センターライン	L1					
	リードの厚さ	c					
	下部リード幅	B†					
	ティップの端から端の長さ	D1					
	Outside Tip Width	E1					
	モールドパッケージの長さ	D‡					
	モールドパッケージの幅	E‡					
	Pin 1 Corner Chamfer	X					
	モールドの上部傾斜角度	$\alpha$					
	モールドの下部傾斜角度	$\beta$					

\* コントロールパラメータ

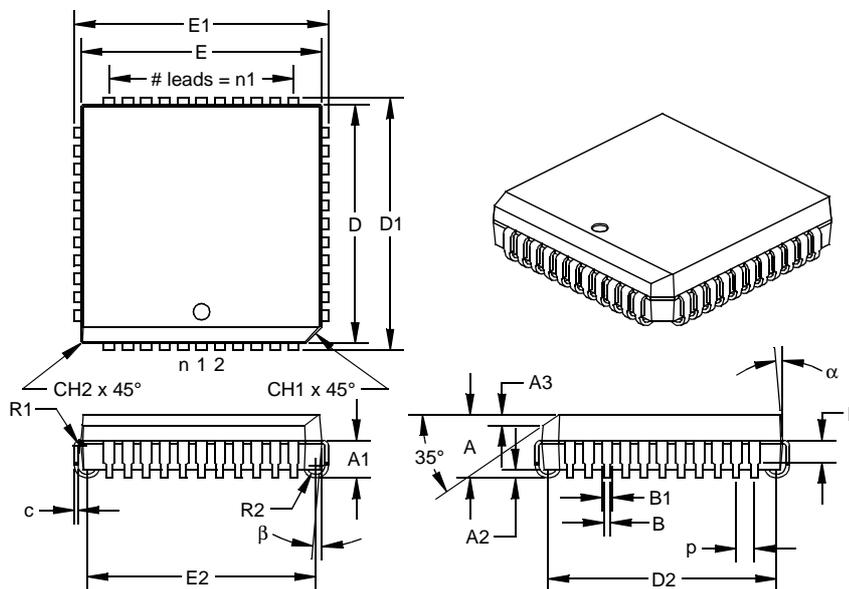
† "B1" には DAM バーの突出部は含まれません。DAM バーの突出部は、片側 0.003" (0.076mm) または "B1" の寸法より 0.006" (0.152mm) を超えません。

‡ "D" および "E" にはモールドフラッシュまたは突出部は含まれません。モールドフラッシュまたは突出部は片側 0.010" (0.254mm) または "D" や "E" の寸法より 0.020" (0.508mm) を超えません。

規格値については最新版データシート（英語）を参照してください。

# PIC16F87X

## 17.7 K04-048 44-Lead Plastic Leaded Chip Carrier (L) – Square



単位		INCHES*			MILLIMETERS		
寸法の限度		MIN	NOM	MAX	MIN	NOM	MAX
ピンの数	n						
ピッチ	p						
全パッケージの高さ	A						
Shoulder Height	A1						
スタンドオフ	A2						
Side 1 Chamfer Dim.	A3						
Corner Chamfer (1)	CH1						
Corner Chamfer (other)	CH2						
全パッケージの幅	E1						
全パッケージの長さ	D1						
モールドパッケージの幅	E <sup>‡</sup>						
モールドパッケージの長さ	D <sup>‡</sup>						
フットプリントの幅	E2						
フットプリントの長さ	D2						
一辺のピン配列幅	n1						
リードの厚さ	c						
上部リード幅	B1 <sup>†</sup>						
下部リード幅	B						
上部リードの長さ	L						
Shoulder Inside Radius	R1						
J-Bend Inside Radius	R2						
モールドの上部傾斜角度	α						
モールドの下部傾斜角度	β						

\* コントロールパラメータ

† "B1" には DAM バーの突出部は含まれません。DAM バーの突出部は、片側 0.003" (0.076mm) または "B1" の寸法より 0.006" (0.152mm) を超えません。

‡ "D" および "E" にはモールドフラッシュまたは突出部は含まれません。モールドフラッシュまたは突出部は片側 0.010" (0.254mm) または "D" や "E" の寸法より 0.020" (0.508mm) を超えません。  
JEDEC 同等品 :MO-047 AC

規格値については最新版データシート (英語) を参照してください。

# PIC16F87X

## 付録 A: 改訂履歴

バージョン	日付	改訂内容
A	00	これは新規のデータシートですが、デバイスはPIC16C7X データシート (DS30390) に記載した PIC16C7X と同等のものです。
B	98	PIC16F873/874 のデータメモリマップで、ADFM ビットを ADCON1<5> から ADCON1<7> へ移動させました。

## 付録 B: デバイスの相違点

このデータシートの中のデバイス間の相違点を、[表 B-1](#) に示します。

表 B-1: デバイスの相違点

相違点	PIC16F876/873	PIC16F877/874
A/D	5 チャンネル、10 ビット	8 チャンネル、10 ビット
パラレルスレーブポート	なし	あり
パッケージ	28 ピン PDIP、28 ピン窓付き CERDIP、28 ピン SOIC、28 ピン SSOP	40 ピン PDIP、40 ピン窓付き CERDIP、44 ピン TQFP、44 ピン MQFP、44 ピン PLCC

## 付録 C: コンバージョンの注意点

前のバージョンのデバイスから、このデータシートに記載されたデバイスへコンバージョンする際に注意すべき項目を、[表 C-1](#) にまとめました。

表 C-1: コンバージョンの注意

特性	PIC16C7X	PIC16F87X
ピン数	28/40	28/40
タイマ	3	3
割り込み	11 または 12	13 または 14
通信	PSP, USART, SSP (SPI, I <sup>2</sup> C スレーブ)	PSP, USART, SSP(SPI, I <sup>2</sup> C マスター/スレーブ)
周波数	20 MHz	20 MHz
A/D	8 ビット t	10 ビット
CCP	2	2
プログラムメモリ	4K, 8K EPROM	4K, 8K FLASH
RAM	192, 368 バイト	192, 368 バイト
EEPROM データ	なし	128, 256 バイト
その他	---	インサーキットデバッガ, 低電圧プログラミング

# PIC16F87X

---

NOTES:

# PIC16F87X

<b>A</b>			
A/D	121	ハス衝突	
精度 / エラー	130	セクション	98
ADCON0 レジスタ	121	繰り返しスタート時のハス衝突	101
ADCON1 レジスタ	122	スタート時のハス衝突	99
ADIF ビット	123	ストップ時のハス衝突	102
アナログ入力マルチプレクサ図	126	ハス衝突割り込みフラグビット, BCLIF	25
アナログポートピン	7, 8, 9, 37, 38		
プルアップ図	124	<b>C</b>	
アナログポートピンの構成	127	キャプチャ (CCP モジュール)	56
割り込みの構成	123	プルアップ図	56
モジュールの構成	123	CCP ピンの構成	56
接続の注意点	131	CCPR1H:CCPR1L レジスタ	56
変換加算	127	キャプチャ リサファ間の変更	56
変換	128	ソフトウェアでの割り込み	56
遅延	126	Timer1 モジュール選択	56
リセットの効果	130	キャプチャ / コンパリア/PWM (CCP)	55
公式	126	CCP1	55
A/D 動作のフローチャート	129	CCP1CON レジスタ	55
GO/DONE ビット	123	CCPR1H レジスタ	55
内部サブリングスイッチ (Rss) イニテリヤル	125	CCPR1L レジスタ	55
スリープ中の動作	129	RC2/CCP1 ピン	7, 9
サブリング条件	125	CCP2	55
サブリング時間	126	CCP2CON レジスタ	55
ソースイニテリヤル	125	CCPR2H レジスタ	55
スペシャルイベントリガ (CCP)	57	CCPR2L レジスタ	55
遅延時間	126	RC1/T1OSI/CCP2 ピン	7, 9
転送機能	131	2 つの CCP モジュールの相互作用	55
絶対最大 Ratings	157	タイマリサス	55
ACK	72	CCP1CON	18
アナログコンバータ デレイト, AKD	64	CCP1CON レジスタ	55
アナログハル	72	CCP1M3:CCP1M0 ビット	55
アナログシーケンスイネーブルビット, AKE	64	CCP1X:CCP1Y ビット	55
アナログステータスビット, AKS	64	CCP2CON	18
ADRES レジスタ	16, 121	CCP2CON レジスタ	55
AKD	64	CCP2M3:CCP2M0 ビット	55
AKE	64	CCP2X:CCP2Y ビット	55
AKS	64, 87	CCPR1H レジスタ	16, 18
アプリケーションノート AN578, "Use of the SSP"		CCPR1L レジスタ	18
I <sup>2</sup> C マルチマスター環境での SSP モジュール	71	CCPR2H レジスタ	16, 18
アプリケーション		CCPR2L レジスタ	16, 18
PIC16C63A/PIC16C73B プルアップ図	5	CKE	62
PIC16C65B/PIC16C74B プルアップ図	6	CKP	63
アプリケーション		クオック極性セクタビット, CKP	63
MPASM アプリケーション	154	コード例	
		SSPBUF レジスタの	66
		コードプルアウト	133, 148
		コンパリア (CCP モジュール)	57
		プルアップ図	57
		CCP ピンの構成	57
		CCPR1H:CCPR1L レジスタ	57
		ソフトウェアでの割り込み	57
		特別イベントリガ	51, 57
		Timer1 モード選択	57
		ソフトウェアレシヨルビット	133
		コンパリアの注意点	187
		<b>D</b>	
		D/A	62
		データレリ	12
		ビット選択 (RP1:RP0 Bits)	12, 19
		汎用レジスタ	12
		レジスタファイル配置図	13
		特殊機能レジスタ	15
		データ/アドレスビット, D/A	62
<b>B</b>			
ビット, データレリ	12, 19		
ホーレト発生器	81		
BCLIF	25		
BF	62, 72, 87, 90		
プルアップ図			
A/D	124		
アナログ入力マルチプレクサ	126		
ホーレト発生器	81		
I <sup>2</sup> C マスターモード	79		
I <sup>2</sup> C モジュール	71		
SSP (I <sup>2</sup> C モード)	71		
SSP (SPI モード)	65		
BRG	81		
ブランクアウトリセット (BOR)	133, 136, 138, 139, 140		
BOR ステータス (BOR ビット)	26		
ビット, BF	72		
ビット, BF	62		
ビットレシヨン	98		

# PIC16F87X

DC 特性		マスターモード スタートコンデ イジョン	82
PIC16C76	159	マスターモード 送信	87
PIC16C77	159	マスターモード 送信シークス	80
開発サポート	153	マスター送信のフローチャート	88
開発ツール	153	マルチマスター伝達	98
デバイス間の相違点	187	マルチマスターモード	80
直接アドレスリング	28	動作	71
<b>E</b>		繰り返しスタートコンデ イジョンのタイミング	84
電気的特性	157	繰り返しスタートコンデ イジョンのフローチャート	85
正誤表	4	スレーブ モード	72
外部パワーリセット回路	138	スレーブ 受信	73
<b>F</b>		スレーブ 送信	73
Firmware 命令	151	SSPBUF	72
フローチャート		スタートコンデ イジョンのフローチャート	83
アクリッジ	94	ストップ コンデ イジョンのフローチャート	96
マスターレシーブ	91	ストップ コンデ イジョン 受信または送信のタイミング	95
マスター送信	88	ストップ コンデ イジョンのタイミング	95
繰り返しスタートコンデ イジョン	85	7ビット受信に関する I <sup>2</sup> C の波形	73
スタートコンデ イジョン	83	7ビット送信に関する I <sup>2</sup> C の波形	74
ストップ コンデ イジョン	96	I <sup>2</sup> C モジュールアドレスレジスタ, SSPADD	72
FSR レジスタ	16, 17, 18	I <sup>2</sup> C スレーブ モード	72
フuzzy ロジック開発システム (fuzzyTECH <sup>®</sup> -MP)	155	ICEPIC 低価格 PIC16CXXX インサートエミュレータ	153
<b>G</b>		ID ロケーション	133, 148
GCE	64	インサートシリアル ロック ラミング (ICSP)	133, 148
ゼネラル コール アドレス シークス	77	INDF	18
ゼネラル コール アドレス ポート	77	INDF レジスタ	16, 17
ゼネラル コール アドレス ビット, GCE	64	間接アドレス	28
<b>I</b>		FSR レジスタ	12
I/O ポート	29	命令フォーマット	151
I <sup>2</sup> C	71	命令セット	151
I <sup>2</sup> C マスターモード レシーブ のフローチャート	91	Summary 表	152
I <sup>2</sup> C マスターモード 受信	90	INTCON	18
I <sup>2</sup> C マスターモード 再スタートコンデ イジョン	84	INTCON レジスタ	21
I <sup>2</sup> C モード 選択	71	GIE ビット	21
I <sup>2</sup> C モジュール		INTE ビット	21
アクリッジ フローチャート	94	INTF ビット	21
アクリッジ シークス タイミング	93	PEIE ビット	21
アドレス送信	72	RBIE ビット	21
ホールド発生器	81	RBIF ビット	21, 31
ブロック図	79	TOIE ビット	21
BRG ブロック図	81	TOIF ビット	21
SDA 衝突による BRG リセット	100	内部集積回路 (I <sup>2</sup> C)	61
BRG タイミング	81	内部サクリブル スイッチ (Rss) イレギュラシ	125
バスアービトレーション	98	割り込みソース	133, 143
バス衝突	98	ブロック図	144
アクリッジ	98	キャプチャ完了 (CCP)	56
再スタートコンデ イジョン	101	コンバー完了 (CCP)	57
再スタートコンデ イジョンのタイミング (Case1)	101	変化割り込み (RB7:RB4)	31
再スタートコンデ イジョンのタイミング (Case2)	101	RBO/INT ビン, 外部	7, 8, 145
スタートコンデ イジョン	99	TMR0 オフ - フロー	48, 145
スタートコンデ イジョンのタイミング	99, 100	TMR1 オフ - フロー	49, 51
ストップ コンデ イジョン	102	PR2 一致までの TMR2	54
ストップ コンデ イジョンのタイミング (Case1)	102	PR2 一致までの TMR2 (PWM)	53, 58
ストップ コンデ イジョンのタイミング (Case2)	102	USART 受信 / 送信の完了	105
送信のタイミング	98	割り込み	
バス衝突タイミング	98	バス衝突割り込み	25
クオックアビトレーション	97	同期リアルタイム割り込み	23
クオックアビトレーションタイミング (マスター送信)	97	割り込み中のコンテキストの保存	145
ACK バスを与えない状態	72	割り込み, イネーブル ビット	
ゼネラル コール アドレス ポート	77	CCP1 イネーブル (CCP1IE ビット)	56
マスターモード	79	グローバル割り込みイネーブル (GIE 割り込み)	21, 143
マスターモード 7ビット受信タイミング	92	変化割り込み (RB7:RB4) イネーブル (RBIE ビット)	21, 145
マスターモード 動作	80	周辺割り込みイネーブル (PEIE ビット)	21
		RBO/INT イネーブル (INTE ビット)	21
		TMR0 オフ - フローイネーブル (TOIE ビット)	21

# PIC16F87X

割り込み, フラグビット	
CCP1 フラグ (CCP1IF ビット) .....	56, 57
変化割り込み (RB7:RB4) フラグ (RBIF ビット) .....	21, 31, 145
RB0/INT フラグ (INTF ビット) .....	21
TMR0 オーバーフローフラグ (TOIF ビット) .....	21, 145

## K

KeeLoq® 評価およびプログラミングツール .....	155
-------------------------------	-----

## M

マスタークリア (MCLR) .....	7, 8
MCLR レジスタ, 通常動作 .....	136, 139, 140
MCLR レジスタ, スリープ .....	136, 139, 140
メモリー構成	
データメモリー .....	12
プログラムメモリー .....	11
MPLAB 統合開発環境ソフトウェア .....	154
マルチマスター通信 .....	98
マルチマスターモード .....	80

## O

OPCODE フィールドの説明 .....	151
OPTION .....	18
OPTION_REG レジスタ .....	20
INTEDG ビット .....	20
PS2:PS0 ビット .....	20, 47
PSA ビット .....	20, 47
RBPV ビット .....	20
T0CS ビット .....	20, 47
T0SE ビット .....	20, 47
OSC1/CLKIN ビン .....	7, 8
OSC2/CLKOUT ビン .....	7, 8
オシレーターコンフィグレーション .....	133, 134
HS .....	134, 139
LP .....	134, 139
RC .....	134, 135, 139
XT .....	134, 139
オシレーター, タイマー 1 .....	49, 51
オシレーター, WDT .....	146

## P

P .....	62
ページング .....	179
Paging, プログラムメモリー .....	11, 27
パルススレープモード (PSP) .....	9, 35, 38
ブロック図 .....	38
RE0/RD/AN5 ビン .....	9, 37, 38
RE1/WR/AN6 ビン .....	9, 37, 38
RE2/CS/AN7 ビン .....	9, 37, 38
リード波形 .....	39
レフト (PSPMODE ビット) .....	35, 36, 38
ライト波形 .....	38
PCL レジスタ .....	16, 17, 18
PCLATH レジスタ .....	16, 17, 18
PCON レジスタ .....	18, 26, 139
BOR ビット .....	26
POR ビット .....	26
PICDEM-1 低価格 PICmicro デモンストラションボード .....	154
PICDEM-2 低価格 PIC16CXX デモンストラションボード .....	154
PICDEM-3 低価格 PIC16CXXX デモンストラションボード .....	154
PICSTART® Plus 入門者向け開発システム .....	153
PIE1 レジスタ .....	18, 22
PIE2 レジスタ .....	18, 24

## Pinout 詳細

PIC16C63A/PIC16C73B .....	7
PIC16C65B/PIC16C74B .....	8
PIR1 レジスタ .....	23
PIR2 レジスタ .....	25
ピンタ, FSR .....	27
PORTA .....	7, 8, 18
アナログポートピン .....	7, 8
初期化 .....	29
PORTA レジスタ .....	29
RA3:RA0 and RA5 ポートピン .....	29
RA4/T0CKI ビン .....	7, 8, 29
RA5/SS/AN4 ビン .....	7, 8
TRISA レジスタ .....	29
PORTA レジスタ .....	16
PORTB .....	7, 8, 18
初期化 .....	31
PORTB レジスタ .....	31
プルアップレジスタ (RBPV ビット) .....	20
RB0/INT イッジレフト (INTEDG Bit) .....	20
RB0/INT ビン, 外部 .....	7, 8, 145
RB3:RB0 ポートピン .....	31
RB7:RB4 変化割り込み .....	145
RB7:RB4 変化割り込みレジスタ (RBIE ビット) .....	21, 145
RB7:RB4 フラグ 変化割り込み (RBIF ビット) .....	21, 31, 145
RB7:RB4 ポートピン .....	31
TRISB レジスタ .....	31
PORTB レジスタ .....	16
PORTC .....	7, 9, 18
ブロック図 .....	33
初期化 .....	33
PORTC レジスタ .....	33
RC0/T1OSO/T1CKI ビン .....	7, 9
RC1/T1OSI/CCP2 ビン .....	7, 9
RC2/CCP1 ビン .....	7, 9
RC3/SCK/SCL ビン .....	7, 9
RC4/SDI/SDA ビン .....	7, 9
RC5/SDO ビン .....	7, 9
RC6/TX/CK ビン .....	7, 9, 106
RC7/RX/DT ビン .....	7, 9, 106, 107
TRISC レジスタ .....	33, 105
PORTC レジスタ .....	16
PORTD .....	9, 18, 38
ブロック図 .....	35
パルススレープモード (PSP) 機能 .....	35
PORTD レジスタ .....	35
TRISD レジスタ .....	35
PORTD レジスタ .....	16
PORTE .....	9, 18
アナログポートピン .....	9, 37, 38
ブロック図 .....	36
入力バッファ・フルステータス (IBF ビット) .....	36
デュプリケートバッファ・オーバーフロー (IBOV ビット) .....	36
出力バッファ・フルステータス (OBF ビット) .....	36
PORTE レジスタ .....	36
PSP モード選択 (PSPMODE ビット) .....	35, 36, 38
RE0/RD/AN5 ビン .....	9, 37, 38
RE1/WR/AN6 ビン .....	9, 37, 38
RE2/CS/AN7 ビン .....	9, 37, 38
TRISE レジスタ .....	36
PORTE レジスタ .....	16

# PIC16F87X

ホ ストスケラ, タイマ- 2 セレクト (TOUTPS3:TOUTPS0 ビット) .....	53	RCSTA レジスタ .....	18, 106
ホ ストスケラ, WDT .....	47	CREN ビット .....	106
割り当て (PSA ビット) .....	20, 47	FERR ビット .....	106
ブロック図 .....	48	OERR ビット .....	106
レート選択 (PS2:PS0 Bits) .....	20, 47	RX9 ビット .....	106
Timer0 と WDT の切り替え .....	48	RX9D ビット .....	106
ハ ワンリセット (POR) .....	133, 136, 138, 139, 140	SPEN ビット .....	105, 106
オシレータースタートアップ タイマ- (OST) .....	133, 138	SREN ビット .....	106
POR ステータス (POR ビット) .....	26	リド / ライト ビット, R/W .....	62
パワーコントロール (PCON) レジスタ .....	139	受信オバ-フロー表示ビット, SSPOV .....	63
パワーダウン (PD ビット) .....	19, 136	レジスタファイル .....	12
パワーオンリセット回路, 外部 .....	138	レジスタファイル配置図 .....	13
パワーアップ タイマ- (PWRT) .....	133, 138	レジスタ	
タイムアウト (TO ビット) .....	19, 136	FSR	
タイムアウトシーケンス .....	139	一覧 .....	18
パワーアップ 時のタイムアウトシーケンス .....	141, 142	INDF	
PR2 .....	18	一覧 .....	18
PR2 レジスタ .....	17	INTCON	
ブ リスケラ, キャプ チャ .....	56	一覧 .....	18
ブ リスケラ, タイマ- 0 .....	47	OPTION	
割り当て (PSA ビット) .....	20, 47	一覧 .....	18
ブロック図 .....	48	PCL	
レートセレクト (PS2:PS0 ビット) .....	20, 47	一覧 .....	18
Timer0 と WDT の切り替え .....	48	PCLATH	
ブ リスケラ, タイマ- 1 .....	50	一覧 .....	18
選択 (T1CKPS1:T1CKPS0 ビット) .....	49	PORTB	
ブ リスケラ, タイマ- 2 .....	58	一覧 .....	18
選択 (T2CKPS1:T2CKPS0 ビット) .....	53	SSPSTAT .....	62
PRO MATE® II エンバ-ガブ ログ ラ	153	STATUS	
型番 / 品名 .....	199	一覧 .....	18
ブ ログ ラム カクタ		一覧 .....	16
PCL レジスタ .....	27	TMRO	
PCLATH レジスタ .....	27, 145	一覧 .....	18
リセットコンフィグ .....	139	TRISB	
ブ ログ ラム メモリ .....	11	一覧 .....	18
割り込みベクタ .....	11	リセット .....	133, 136
ページング .....	11, 27	ブロック図 .....	137
ブ ログ ラム メモリ配置図 .....	11	すべてのレジスタのリセット状態 .....	140
リセットベクタ .....	11	PCON レジスタのリセット状態 .....	139
ブ ログ ラム バリファイ .....	148	ブ ログ ラム カクタのリセット状態 .....	139
ブ ログ ラミング ビン (Vpp) .....	7, 8	STATUS レジスタのリセット状態 .....	139
ブ ログ ラミング, デバ イス命令 .....	151	WDT リセットは Watchdog Timer (WDT) をご覧下さい	
PWM (CCP モジュール) .....	58	再スタートコンフィグレーションビット, RSE .....	64
ブロック図 .....	58	改訂履歴 .....	187
CCPR1H:CCPR1L レジスタ .....	58	RSE .....	64
Duty Cycle .....	58	<b>S</b>	
Example Frequencies/Resolutions .....	59	S .....	62
出力図 .....	58	SAE .....	64
周期 .....	58	SCK .....	65
PWM オペレーションのセットアップ .....	59	SCL .....	72
PR2 一致までの TMR2 .....	53, 58	SDA .....	72
<b>Q</b>		SDI .....	65
Q-クロック .....	58	SDO .....	65
<b>R</b>		SEEVAL® 評価およびブ ログ ラミング システム .....	155
R/W .....	62	シリアルクロック, SCK .....	65
R/W ビット .....	72	シリアルクロック, SCL .....	72
R/W ビット .....	73	シリアルデータレ-ス, SDA .....	72
RCE, 受信ペ-ビット, RCE .....	64	シリアルデータイン, SDI .....	65
RCREG .....	18	シリアルデータアウト, SDO .....	65
		スレ-セレクト同期 .....	68
		スレ-選択, SS .....	65
		SLEEP .....	133, 136, 147
		SMP .....	62
		ソフトウェアシミュレータ (MPLAB-SIM) .....	155
		SPBRG .....	18

# PIC16F87X

SPBRG レジスタ	17	Stack	27
SPE	64	スタック (S)	62
CPU の特性	133	スタックコンフィギュレーションビット, SAE	64
特殊機能レジスタ	15	STATUS レジスタ	18, 19, 145
PIC16C73	16	Cビット	19
PIC16C73A	16	DCビット	19
PIC16C74	16	IRPビット	19
PIC16C74A	16	PDビット	19, 136
PIC16C76	16	RP1:RP0ビット	19
PIC16C77	16	TOビット	19, 136
スレートの動作	1	Zビット	19
SPI		ストップビット (P)	62
マスターモード	67	ストップコンフィギュレーションビット	64
シリアルクロック	65	同期シリアルポート	61
シリアルデータイン	65	同期シリアルポート制御ビット, SSPEN	63
シリアルデータアウト	65	同期シリアルポート割り込み	23
シリアル周辺インターフェイス (SPI)	61	同期シリアルポートモードセレクトビット, SSPM3:SSPM0	63
スレーブ選択	65	<b>T</b>	
SPIクロック	67	T1CON	18
SPIモード	65	T1CON レジスタ	18, 49
SPI クロックの選択, CKE	62	T1CKPS1:T1CKPS0ビット	49
SPI Data Input Sample Phase Select, SMP	62	T1QSCENビット	49
SPI マスター / スレーブ 接続	66	T1SYNCビット	49
SPI モジュール		TMR1CSビット	49
マスター / スレーブ 接続	66	TMR1ONビット	49
スレーブモード	68	T2CON レジスタ	18, 53
スレーブセレクト同期	68	T2CKPS1:T2CKPS0ビット	53
スレーブ同期タイミング	68	TMR2ONビット	53
<b>SS</b>	65	TOUTPS3:TOUTPS0ビット	53
SSP	61	TAD	127
ブロック図 (SPIモード)	65	タイマー 0	47
RA5/SS/AN4ピン	7, 8	ブロック図	47
RC3/SCK/SCLピン	7, 9	クロックソース選択 (T0SEビット)	20, 47
RC4/SDI/SDAピン	7, 9	クロックソース選択 (TOCSビット)	20, 47
RC5/SDOピン	7, 9	オーバーフローイベント (TOIEビット)	21
SPIモード	65	オーバーフローフラグ (TOIFビット)	21, 145
SSPAD	72	オーバーフロー割り込み	48, 145
SSPBUF	67, 72	RA4/T0CKIピン, 外部クロック	7, 8
SSPCON1	63	タイマー 1	49
SSPCON2	64	ブロック図	50
SSPSR	67, 72	コンフィギュレーション	51
SSPSTAT	62, 72	クロックソース選択 (TMR1CSビット)	49
クロック出力の TMR2 出力	53, 54	外部クロック入力同期 (T1SYNCビット)	49
SSP I <sup>2</sup> C		モジュールオン/オフ (TMR1ONビット)	49
SSP I <sup>2</sup> C 動作	71	オシレーター	49, 51
SSP モジュール		オシレーターイベント (T1QSCENビット)	49
SPI マスターモード	67	オーバーフロー割り込み	49, 51
SPI マスター / スレーブ 接続	66	RC0/T1OSO/T1CKIピン	7, 9
SPI スレーブモード	68	RC1/T1OSI/CCP2ピン	7, 9
SSPCON1 レジスタ	71	スケジューリング (CCP)	51, 57
SSP オーバーフロー検出ビット, SSPOV	72	T1CON レジスタ	49
SSPAD レジスタ	17, 18	TMR1H レジスタ	49
SSPBUF	18, 72	TMR1L レジスタ	49
SSPBUF レジスタ	16	タイマー 2	
SSPCON レジスタ	16	ブロック図	54
SSPCON1	63, 71	PR2 レジスタ	53, 58
SSPCON2	64	SSP クロック出力	53, 54
SSPEN	63	T2CON レジスタ	53
SSPIF	23, 73	TMR2 レジスタ	53
SSPM3:SSPM0	63	PR2 一致割り込みまでの TMR2	53, 54, 58
SSPOV	63, 72, 90		
SSPSTAT	62, 72		
SSPSTAT レジスタ	17, 18		

# PIC16F87X

タイミング図			
A/D変換	176		
アクリッジシーケンスタイミング	93		
クロックアビレション付きボーレート発生器	81		
SDA衝突によるBRGリセット	100		
プログラマブルリセット	166		
バス衝突			
スタートコンディションのタイミング	99		
繰り返しスタートコンディション中のバス衝突 (Case 1)	101		
繰り返しスタートコンディション中のバス衝突 (Case 2)	101		
スタートコンディション中のバス衝突 (SCL = 0)	100		
ストップコンディション中のバス衝突	102		
送信およびアクリッジに関するバス衝突	98		
キャプチャ/コンパリア/PWM	168		
CLKOUTとI/O	165		
I <sup>2</sup> Cバスステータス	173		
I <sup>2</sup> Cバススタート/ストップビット	172		
I <sup>2</sup> Cマスターモード第1スタートビットのタイミング	82		
I <sup>2</sup> Cマスターモード受信のタイミング	92		
I <sup>2</sup> Cマスターモード送信のタイミング	89		
マスターモード送信クロックアビレション	97		
パワーアップタイマー	166		
繰り返しスタートコンディション	84		
リセット	166		
スリーブ同期	68		
スタートアップタイマー	166		
ストップコンディション受信または送信	95		
パワーアップ時のタイムアウトシーケンス	141, 142		
タイマー0	167		
タイマー1	167		
USART非同期マスター送信	111		
USART同期レシーブ	174		
USART同期受信	117		
USART同期送信	116, 174		
USART,非同期受信	113		
割り込みによるスリーブからの起動	148		
ウォッチドッグタイマー	166		
TMR0	18		
TMR0レジスタ	16		
TMR1H	18		
TMR1Hレジスタ	16		
TMR1L	18		
TMR1Lレジスタ	16		
TMR2	18		
TMR2レジスタ	16		
TRISA	18		
TRISAレジスタ	17		
TRISB	18		
TRISBレジスタ	17		
TRISC	18		
TRISCレジスタ	17		
TRISD	18		
TRISDレジスタ	17		
TRISE	18		
TRISEレジスタ	17, 36		
IBFビット	36		
IBOVビット	36		
OBFビット	36		
PSPMODEビット	35, 36, 38		
TXREG	18		
TXSTA	18		
TXSTAレジスタ	105		
BRGHビット	105, 107		
CSRCビット	105		
SYNCビット	105		
TRMTビット	105		
TX9ビット	105		
TX9Dビット	105		
TXENビット	105		
U			
UA	62		
ユニバーサル同期非同期レシーブトランスミッター (USART)			
非同期レシーブ			
セツトアップ受信	112		
タイミング図	113		
アップデータレジスタ, UA	62		
USART	105		
非同期モード	110		
マスター送信	111		
受信ブロック図	113		
送信ブロック図	110		
ボーレート発生器 (BRG)	107		
ボーレートエラー, 計算	107		
ボーレートの式	107		
ボーレート, 非同期モード (BRGH=0)	108		
ボーレート, 非同期モード (BRGH=1)	109		
ボーレート, 同期モード	108		
ルックアップテーブル (BRGHビット)	105, 107		
サブリンク	107		
クロックソース選択 (CSRCビット)	105		
継続受信インテリビリティビット (CRENビット)	106		
フレームエラー (FERRビット)	106		
モード選択 (SYNCビット)	105		
オーバーランエラー (OERRビット)	106		
RC6/TX/CKピン	7, 9		
RC7/RX/DTピン	7, 9		
RCSTAレジスタ	106		
第9ビット (RX9Dビット) の受信データ	106		
第9ビット (RX9ビット) の受信インテリビリティ	106		
シリアルポートインテリビリティ (SPENビット)	105, 106		
シングル受信インテリビリティ (SRENビット)	106		
同期マスターモード	115		
受信	117		
送信	116		
同期スリーブモード	118		
第9ビット (TX9D) の送信データ	105		
送信インテリビリティ (TXENビット)	105		
第9ビット (TX9ビット) の送信インテリビリティ	105		
送信トリグジャステータス (TRMTビット)	105		
TXSTAレジスタ	105		

## W

W レジスタ.....	145
SLEEP からの起動 .....	133, 147
割り込み.....	139, 140
MCLR リセット.....	140
タイミング図.....	148
WDT リセット.....	140
ウォッチドッグタイマー (WDT) .....	133, 146
フロッグ図 .....	146
イネーブル (WDTE ビット) .....	146
フロッグタイミングの注意点.....	146
RC オスレータ .....	146
タイムアウト周期 .....	146
WDT リセット, 通常動作 .....	136, 139, 140
WDT リセット, スリープ .....	136, 139, 140
ゼネラル・コールド・レスポンスの波形 .....	77
WCOL .....	63, 82, 87, 90, 93, 95
WCOL ステータスフラグ .....	82
ライト衝突検出ビット, WCOL .....	63
WWW, オンラインポート .....	4

# PIC16F87X

---

---

## オンラインサポート

マイクロチップは、Microchip World Wide Web (WWW) サイトにオンラインサポートを用意しています。

Web サイトはユーザーがファイルや情報を簡単に入手できることを目的としています。サイトを表示するには、Netscape や Microsoft Explorer などの Web ブラウザを使用してインターネットにアクセスする必要があります。ファイルは FTP ダウンロードでも利用できます。

### マイクロチップのインターネット Web サイトへのアクセス

マイクロチップの Web サイトは、インターネットブラウザを使用して次のアドレスにアクセスすると利用できます。

[www.microchip.com](http://www.microchip.com)

FTP サービスには、次のサイトが利用できます。

<ftp://ftp.microchip.com>

Web サイトおよび FTP サイトでは、さまざまなサービスを提供しています。最新の開発ツール、データシート、アプリケーションノート、ユーザーズガイド、文献およびサンプルプログラムのファイルをダウンロードできます。マイクロチップの販売代理店、製品取扱店、工場窓口などのリストを含むさまざまな営業情報も入手できます。その他、ご利用いただけるデータは以下の通りです。

- 最新のマイクロチップ プレスリリース
- テクニカルサポートと FAQ
- デザインのコツ
- デバイスのエラッタ
- 求人情報
- マイクロチップ コンサルタントプログラムメンバーのリスト
- マイクロチップ製品に関連する Web サイトへのリンク
- 製品に関するお問い合わせ、開発システム、技術情報など
- セミナーやイベントのリスト

## システム情報とアップグレードホットライン

システム情報とアップグレードホットラインでは、マイクロチップの開発システムソフトウェア製品の最新版のリストを入手できます。さらに、このラインでは、現在の入手可能なアップグレードキットの入手方法についての情報をご提供します。ホットラインの電話番号は以下の通りです。(英語)

1-800-755-2345 (アメリカおよびカナダの大部分の地域にお住まいの方)

1-602-786-7302 (上記以外の国にお住まいの方)

981103

**Trademarks:** The Microchip name, logo, PIC, PICmicro, PICSTART, PICMASTER and PRO MATE are registered trademarks of Microchip Technology Incorporated in the U.S.A. and other countries. FlexROM, MPLAB and fuzzy-LAB are trademarks and SQTP is a service mark of Microchip in the U.S.A.

All other trademarks mentioned herein are the property of their respective companies.

# PIC16F87X

---

---

## アンケートにお答えください

マイクロチップ製品を正しくご理解いただけるように、より良いマニュアル作成を目指しております。ご意見は、FAX: 045-471-6122 までご送付ください。

宛先: マイクロチップテクノロジーPICmicro 技術担当 総ページ数

RE: アンケートにお答えください

差出人: 名前 \_\_\_\_\_

会社名 \_\_\_\_\_

アドレス \_\_\_\_\_

市町村 / 都道府県 / 郵便番号 \_\_\_\_\_

電話番号: (\_\_\_\_\_) \_\_\_\_\_ - \_\_\_\_\_ FAX 番号: (\_\_\_\_\_) \_\_\_\_\_ - \_\_\_\_\_

(差し支えなければ)アプリケーション:

回答をご希望ですか はい \_\_\_ いいえ \_\_\_

デバイス: PIC16F87X

文献番号: DS30292A-J

質問:

1. このマニュアルの最も良い点はどこですか？

\_\_\_\_\_  
\_\_\_\_\_

2. 開発するハードウェアおよびソフトウェアに必要な情報をこのマニュアルから得られましたか？

\_\_\_\_\_  
\_\_\_\_\_

3. このデータシートは理解しやすい構成になっていましたか？

\_\_\_\_\_  
\_\_\_\_\_

4. このデータシートに加えたほうが良いと思われることがあれば、教えてください。

\_\_\_\_\_  
\_\_\_\_\_

5. このデータシートから削除してもかまわないと思われることがあれば、教えてください。

\_\_\_\_\_  
\_\_\_\_\_

6. 誤りやわかりにくい記述がありましたら、お知らせください。

\_\_\_\_\_  
\_\_\_\_\_

7. このマニュアルについて何かご要望がありましたら、お知らせください。

\_\_\_\_\_  
\_\_\_\_\_

8. 弊社のソフトウェア、システム、シリコン製品について何かご要望がありましたら、お知らせください。

\_\_\_\_\_  
\_\_\_\_\_

# PIC16F87X

## PIC16F87X の型番 / 品名

ご注文や価格や納期などの情報については、販売代理店までお問い合わせください。

<u>PART NO.</u>	<u>-XX</u>	<u>X</u>	<u>/XX</u>	<u>XXX</u>
デバイス	周波数 範囲	温度 範囲	パッケージ	パターン
デバイス	PIC16F87X <sup>(1)</sup> , PIC16F87XT <sup>(2)</sup> ; VDD range 4.0V to 5.5V PIC16LF87X <sup>(1)</sup> , PIC16LF87XT <sup>(2)</sup> ; VDD range 2.0V to 5.5V PIC16F87X <sup>(1)</sup> , PIC16F87XT <sup>(2)</sup> ; VDD range 4.0V to 5.5V PIC16LF87X <sup>(1)</sup> , PIC16LF87XT <sup>(2)</sup> ; VDD range 2.0V to 5.5V			
周波数の範囲	04 = 4 MHz 20 = 20 MHz			
温度範囲	b <sup>(3)</sup> = 0°C to 70°C (商業用) I = -40°C to +85°C (工業用)			
パッケージ	PQ = MQFP (Metric PQFP) PT = TQFP (Thin Quad Flatpack) SO = SOIC SP = Skinny plastic dip P = PDIP L = PLCC			
パターン	QTP, SQTP, Code or Special Requirements (blank otherwise)			

**Examples:**

g) PIC16F877 -20/P 301 = Commercial temp., PDIP package, 4 MHz, normal VDD limits, QTP pattern #301.

h) PIC16F876 - 04I/SO = Industrial temp., SOIC package, 200 kHz, Extended VDD limits.

i) PIC16F877 - 04I/P = Industrial temp., PDIP package, 10MHz, normal VDD limits.

**Note 1:** C = CMOS  
LC = Low Power CMOS  
T = in tape and reel - SOIC, PLCC, MQFP, TQFP packages only.

**2:** b = blank

\* JW デバイスは紫外線でプログラム消去可能で、どのデバイス形体でもプログラムすることができます。JW デバイスは(LC デバイスを含む) 各オシレータタイプの電氣的条件を満たしています。



## WORLDWIDE SALES AND SERVICE

### AMERICAS

#### Corporate Office

Microchip Technology Inc.  
2355 West Chandler Blvd.  
Chandler, AZ 85224-6199  
Tel: 602-786-7200 Fax: 602-786-7277  
Technical Support: 602 786-7627  
Web: <http://www.microchip.com>

#### Atlanta

Microchip Technology Inc.  
500 Sugar Mill Road, Suite 200B  
Atlanta, GA 30350  
Tel: 770-640-0034 Fax: 770-640-0307

#### Boston

Microchip Technology Inc.  
5 Mount Royal Avenue  
Marlborough, MA 01752  
Tel: 508-480-9990 Fax: 508-480-8575

#### Chicago

Microchip Technology Inc.  
333 Pierce Road, Suite 180  
Itasca, IL 60143  
Tel: 630-285-0071 Fax: 630-285-0075

#### Dallas

Microchip Technology Inc.  
14651 Dallas Parkway, Suite 816  
Dallas, TX 75240-8809  
Tel: 972-991-7177 Fax: 972-991-8588

#### Dayton

Microchip Technology Inc.  
Two Prestige Place, Suite 150  
Miamisburg, OH 45342  
Tel: 937-291-1654 Fax: 937-291-9175

#### Detroit

Microchip Technology Inc.  
42705 Grand River, Suite 201  
Novi, MI 48375-1727  
Tel: 248-374-1888 Fax: 248-374-2874

#### Los Angeles

Microchip Technology Inc.  
18201 Von Karman, Suite 1090  
Irvine, CA 92612  
Tel: 714-263-1888 Fax: 714-263-1338

#### New York

Microchip Technology Inc.  
150 Motor Parkway, Suite 202  
Hauppauge, NY 11788  
Tel: 516-273-5305 Fax: 516-273-5335

#### San Jose

Microchip Technology Inc.  
2107 North First Street, Suite 590  
San Jose, CA 95131  
Tel: 408-436-7950 Fax: 408-436-7955

### AMERICAS (continued)

#### Toronto

Microchip Technology Inc.  
5925 Airport Road, Suite 200  
Mississauga, Ontario L4V 1W1, Canada  
Tel: 905-405-6279 Fax: 905-405-6253

### ASIA/PACIFIC

#### Hong Kong

Microchip Asia Pacific  
RM 3801B, Tower Two  
Metroplaza  
223 Hing Fong Road  
Kwai Fong, N.T., Hong Kong  
Tel: 852-2-401-1200 Fax: 852-2-401-3431

#### India

Microchip Technology Inc.  
India Liaison Office  
No. 6, Legacy, Convent Road  
Bangalore 560 025, India  
Tel: 91-80-229-0061 Fax: 91-80-229-0062

#### Japan

Microchip Technology Intl. Inc.  
Benex S-1 6F  
3-18-20, Shinyokohama  
Kohoku-Ku, Yokohama-shi  
Kanagawa 222-0033 Japan  
Tel: 81-45-471-6166 Fax: 81-45-471-6122

#### Korea

Microchip Technology Korea  
168-1, Youngbo Bldg. 3 Floor  
Samsung-Dong, Kangnam-Ku  
Seoul, Korea  
Tel: 82-2-554-7200 Fax: 82-2-558-5934

#### Shanghai

Microchip Technology  
RM 406 Shanghai Golden Bridge Bldg.  
2077 Yan'an Road West, Hong Qiao District  
Shanghai, PRC 200335  
Tel: 86-21-6275-5700 Fax: 86 21-6275-5060

### ASIA/PACIFIC (continued)

#### Singapore

Microchip Technology Singapore Pte Ltd.  
200 Middle Road  
#07-02 Prime Centre  
Singapore 188980  
Tel: 65-334-8870 Fax: 65-334-8850

#### Taiwan, R.O.C

Microchip Technology Taiwan  
10F-1C 207  
Tung Hua North Road  
Taipei, Taiwan, ROC  
Tel: 886-2-2717-7175 Fax: 886-2-2545-0139

### EUROPE

#### United Kingdom

Arizona Microchip Technology Ltd.  
505 Eskdale Road  
Winnersh Triangle  
Wokingham  
Berkshire, England RG41 5TU  
Tel: 44-1189-21-5858 Fax: 44-1189-21-5835

#### France

Arizona Microchip Technology SARL  
Zone Industrielle de la Bonde  
2 Rue du Buisson aux Fraises  
91300 Massy, France  
Tel: 33-1-69-53-63-20 Fax: 33-1-69-30-90-79

#### Germany

Arizona Microchip Technology GmbH  
Gustav-Heinemann-Ring 125  
D-81739 München, Germany  
Tel: 49-89-627-144 0 Fax: 49-89-627-144-44

#### Italy

Arizona Microchip Technology SRL  
Centro Direzionale Colleoni  
Palazzo Taurus 1 V. Le Colleoni 1  
20041 Agrate Brianza  
Milan, Italy  
Tel: 39-39-6899939 Fax: 39-39-6899883

10/27/98



Microchip received ISO 9001 Quality System certification for its worldwide headquarters, design, and wafer fabrication facilities in January, 1997. Our field-programmable PIC-micro<sup>®</sup> 8-bit MCUs, KEELOQ<sup>®</sup> code hopping devices, Serial EEPROMs, related specialty memory products and development systems conform to the stringent quality standards of the International Standard Organization (ISO).

All rights reserved. © 2000 Microchip Technology Incorporated. Printed in the USA. 1/00 Printed on recycled paper.

Information contained in this publication regarding device applications and the like is intended for suggestion only and may be superseded by updates. No representation or warranty is given and no liability is assumed by Microchip Technology Incorporated with respect to the accuracy or use of such information, or infringement of patents or other intellectual property rights arising from such use or otherwise. Use of Microchip's products as critical components in life support systems is not authorized except with express written approval by Microchip. No licenses are conveyed, implicitly or otherwise, under any intellectual property rights. The Microchip logo and name are registered trademarks of Microchip Technology Inc. in the U.S.A. and other countries. All rights reserved. All other trademarks mentioned herein are the property of their respective companies.